

ECOLE POLYTECHNIQUE FEDERALE DE LAUSANNE

**FACULTE DES SCIENCES ET TECHNIQUES DE L'INGENIEUR
SECTION D'ELECTRICITE**

CIRCUITS ET SYSTEMES ELECTRONIQUES

ELECTRICITE

**A. Ionescu
M. Kayal**

Lausanne, septembre 2021
Nouvelle édition

CIRCUITS ET SYSTEMES ELECTRONIQUES

LES AMPLIFICATEURS A UN TRANSISTOR

L'AMPLIFICATEUR DIFFERENTIEL

*LES ALIMENTATIONS STABILISEES
LINEAIRES SERIE*

LES AMPLIFICATEURS DE PUISSANCE

**CONVERTISSEURS
ANALOGIQUES / NUMERIQUES
ET
NUMERIQUES / ANALOGIQUES**

**LA REACTION NEGATIVE
LA STABILITE DES MONTAGES
A REACTION NEGATIVE**

**BOUCLES A VERROUILLAGE DE PHASE
(PLL)**

**OSCILLATEURS COMMANDES EN TENSION
(VCO)**

SYNTHETISEURS DE FREQUENCE A PLL

LES AMPLIFICATEURS A UN TRANSISTOR

1. LES AMPLIFICATEURS A UN TRANSISTOR

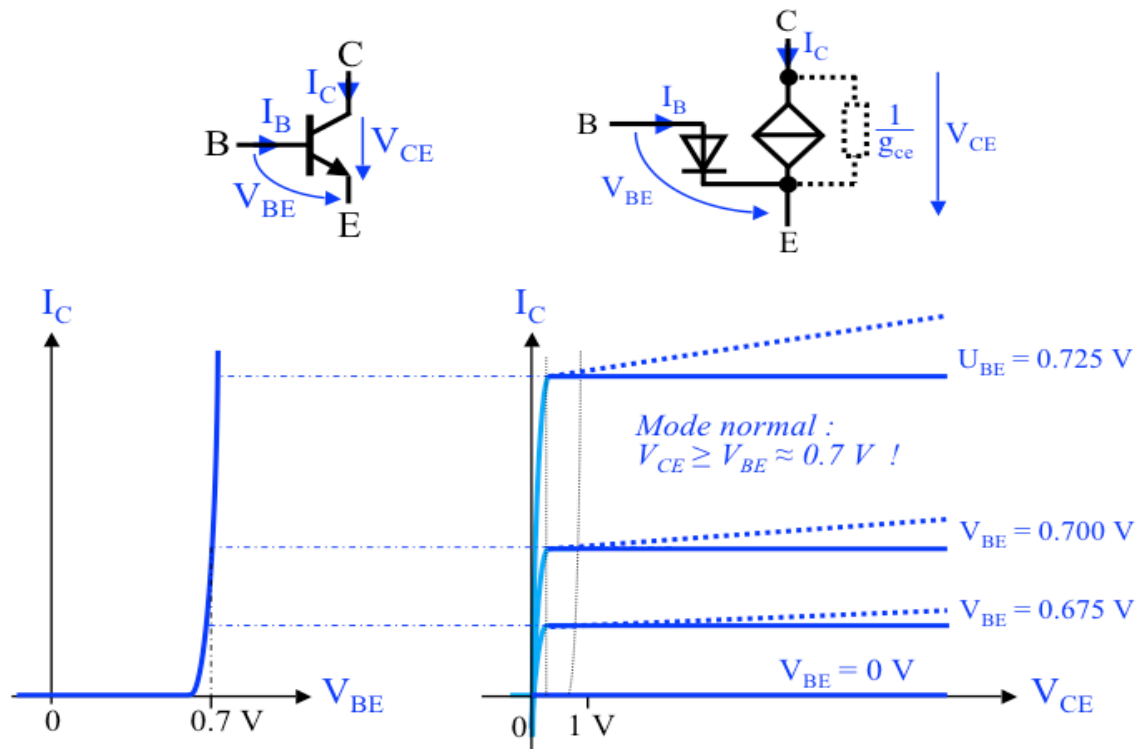
	page
1.1. MODELES NON LINEAIRES DES TRANSISTORS	3
1.1.1 Modèle non-linéaire du transistor bipolaire en mode normal direct	3
1.1.2 Modèle non-linéaire du transistor MOS en saturation	4
1.2. MODELE LINEAIRE DES TRANSISTORS	5
1.3. COMPARAISON BIPOLAIRE – MOS	5
1.4. MONTAGES DE BASE A UN TRANSISTOR	6
1.4.1 Définition des paramètres du quadripôle équivalent	6
1.4.2 Montage Emetteur Commun	7
1.4.3 Montage Base Commune	8
1.4.4 Montage Collecteur Commun	10
1.4.5 Montage Emetteur Commun Dégénéré	12
1.4.6 Montage Source Commune	14
1.4.7 Montage Grille Commune	15
1.4.8 Montage Drain Commun	16
1.4.9 Montage Source Commune Dégénérée	17
1.5. RESISTANCES AUX ACCES DES TRANSISTORS	19
1.5.1 Résumé synthétique des résistances aux accès du transistor bipolaire	19
1.5.2 Résumé synthétique des résistances aux accès du transistor MOS	20

1.1. MODELES NON LINEAIRES DES TRANSISTORS

Pour faire des fonctions analogiques, en particulier des amplificateurs, on utilise des transistors en source de courant commandée, c'est-à-dire en mode normal pour les transistors bipolaires, et en mode saturé pour les transistors à effet de champ JFET et MOS.

1.1.1 Modèle non-linéaire du transistor bipolaire en mode normal direct

Le modèle non-linéaire, appelé aussi modèle "grands signaux", du transistor NPN en mode normal est le suivant:



Les équations caractéristiques du modèle idéal (traits pleins) sont:

$$I_C = I_s \cdot e^{\frac{V_{BE}}{U_T}} \quad \text{et} \quad I_C = \beta \cdot I_B \quad \text{tant que} \quad V_{CE} \geq V_{BE} \quad \text{avec:} \quad U_T = \frac{k \cdot T}{q} \approx 26 \text{ mV} \quad \text{à} \quad 300^\circ \text{K}$$

Où I_s et le gain en courant β sont des paramètres propres à chaque composant.

Pour modéliser le fait que les caractéristiques $I_C = f(V_{CE})$ réelles (pointillés) ne sont pas parfaitement horizontales, appelé effet Early, une conductance g_{ce} (en pointillé) est ajoutée en parallèle avec la source commandée, ce qui donne:

$$I_C = I_s \cdot e^{\frac{V_{BE}}{U_T}} + g_{ce} \cdot V_{CE}$$

Pour le transistor bipolaire PNP, la diode base-émetteur ainsi que tous les courants et tensions sont inversés par rapport au NPN. Ce qui donne pour le modèle idéal:

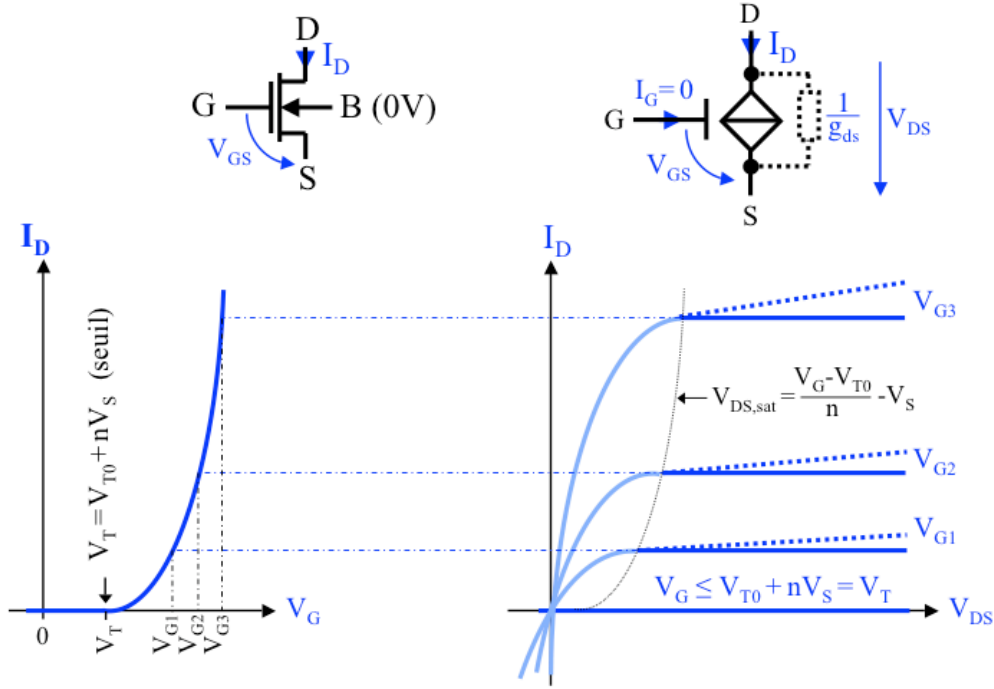
$$I_C = I_s \cdot e^{\frac{V_{EB}}{U_T}} \quad \text{et} \quad I_C = \beta \cdot I_B \quad \text{tant que} \quad V_{EC} \geq V_{EB}$$

Et en tenant compte de la conductance g_{ce} modélisant l'effet Early:

$$I_C = I_s \cdot e^{\frac{V_{EB}}{U_T}} + g_{ce} \cdot V_{EC}$$

1.1.2 Modèle non-linéaire du transistor MOS en saturation

Le modèle non-linéaire, appelé aussi modèle "grands signaux", du transistor MOS en saturation est le suivant:



Pour un transistor NMOS idéal (traits pleins) en forte inversion et saturation, c-à-d avec:

$$V_G \geq V_{T0} + nV_S \quad \text{et} \quad V_D \geq \frac{V_G - V_{T0}}{n}$$

$$I_D = \frac{\beta}{2n} \cdot (V_G - V_{T0} - nV_S)^2 \quad \text{avec} \quad \beta = \mu_n \cdot C_{ox} \cdot \frac{W}{L}$$

V_{T0} , n , μ_n et C_{ox} sont des paramètres technologiques, W/L est le rapport largeur/longueur du canal.

Pour un MOS discret, avec la source généralement reliée au substrat, et donc $V_S = 0$, ainsi que pour un MOS intégré dans une technologie moderne avec $n \approx 1$, les équations deviennent:

$$I_D = \frac{\beta}{2} \cdot (V_{GS} - V_{T0})^2 \quad \text{si} \quad V_{DS} \geq V_{GS} - V_{T0}$$

Pour modéliser le fait que les caractéristiques $I_D = f(V_{DS})$ réelles (pointillés) ne sont pas parfaitement horizontales, à cause de la modulation de la longueur du canal, une conductance g_{ds} (en pointillé) est ajoutée en parallèle avec la source commandée, ce qui donne:

$$I_D = \frac{\beta}{2} \cdot (V_{GS} - V_{T0})^2 + g_{ds} \cdot V_{DS}$$

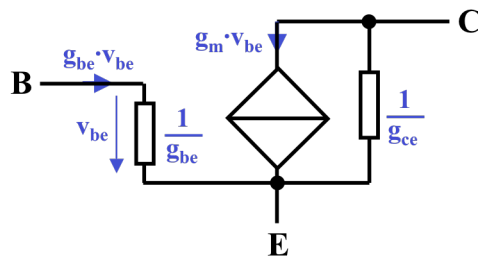
Pour le transistor PMOS, tous les courants et tensions sont inversés par rapport au NMOS, et les paramètres technologiques ont des valeurs différentes. Ce qui donne:

$$I_D = \frac{\beta}{2} \cdot (V_{SG} - V_{T0})^2 \quad \text{si} \quad V_{SD} \geq V_{SG} - V_{T0} \quad \text{modèle idéal}$$

$$I_D = \frac{\beta}{2} \cdot (V_{SG} - V_{T0})^2 + g_{ds} \cdot V_{SD} \quad \text{avec modulation de longueur du canal}$$

1.2. MODELE LINEAIRE DES TRANSISTORS

Le modèle linéaire, appelé aussi "petits signaux", d'un transistor est obtenu en linéarisant (dérivant) les lois "grands signaux" autour d'un point de repos. On obtient ainsi:



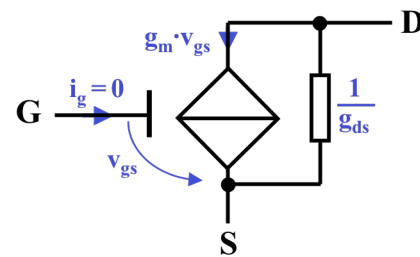
**Modèle "petits signaux"
du transistor bipolaire**

$$g_m = \frac{I_{C0}}{U_T} \quad g_{be} = \frac{I_{C0}}{\beta \cdot U_T} \quad g_{ce} \approx \frac{I_{C0}}{V_A}$$

Les paramètres "petits signaux" sont fonction du courant de repos et des paramètres technologiques et géométriques du transistor, dont la tension "Early" V_A .

Pour tout transistor bipolaire: $g_m \gg g_{be} \gg g_{ce}$

Le schéma "petit signaux" d'un PNP est identique à celui d'un NPN.



**Modèle "petits signaux"
du transistor MOS**

$$g_m = \sqrt{2 \cdot \beta \cdot I_{D0}} = \beta \cdot (V_{GS0} - V_{T0}) \quad g_{ds} \approx \frac{I_{D0}}{V_A}$$

Un MOS peut avoir g_m comparable à g_{ds}

Le schéma "petit signaux" d'un PMOS est identique à celui d'un NMOS.

1.3. COMPARAISON BIPOLAIRE - MOS

Avantage bipolaire:

- Loi exponentielle (et donc son inverse log) permettant la multiplication analogique.
- g_m plus élevé à courant donné.
- V_{BE} quasi constant ≈ 0.7 V.
- Densité de courant plus élevée par unité de surface.
- Moindre sensibilité aux variations du processus de fabrication.
- Zone utile $I_C = f(V_{CE})$ en source de courant plus étendue, en pratique dès que $V_{CE} \geq 0.2$ V.

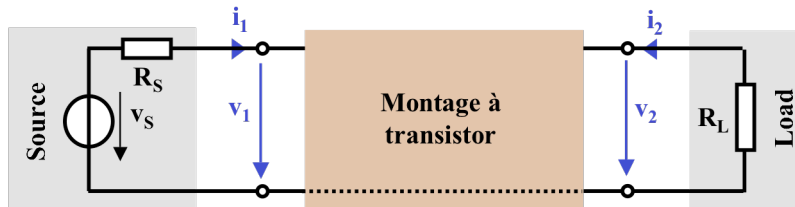
Avantage MOS:

- Surface minimale des dispositifs intégrés, très haute densité.
- Circuits à très faible puissance.
- Processus de fabrication à haut rendement.
- Courant de grille nul en DC et capacité de grille formant une mémoire intrinsèque.
- En circuit intégré, plusieurs modes de fonctionnement possibles: faible, moyenne ou forte inversion, suivant que V_G est inférieur, à peu près égal ou supérieur à V_{T0} , aboutissant à des comportements très différents (voir cours "Structures analogiques" du Prof. Kayal).

1.4. MONTAGES DE BASE A UN TRANSISTOR

1.4.1 Définition des paramètres du quadripôle équivalent

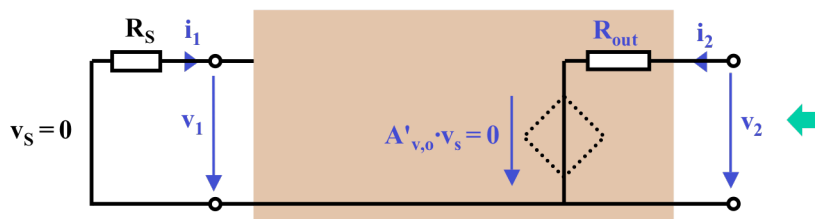
Un amplificateur à un transistor peut être représenté par un quadripôle, dont l'entrée est connectée à une source réelle (avec sa résistance interne), et la sortie à une charge. La source réelle peut aussi bien être représentée par son équivalent Thévenin, comme ci-dessous, que par son équivalent Norton.



On cherche à établir les relations liant les grandeurs pratiquement accessibles que sont v_1 , i_1 , v_2 et i_2 . On s'intéresse plus particulièrement aux paramètres suivants:

- le gain en tension: $A_v = \frac{v_2}{v_1}$ avec une charge R_L donnée
- la résistance d'entrée: $R_{in} = \frac{v_1}{i_1}$ avec une charge R_L donnée
- la résistance de sortie: $R_{out} = \frac{v_2}{i_2}$ avec $v_s = 0$ et une résistance de source R_s donnée

Pour déterminer R_{out} , il faut annuler la source indépendante à l'entrée, déconnecter la charge, et calculer ou mesurer la résistance vue des bornes de sortie.



On peut aussi définir :

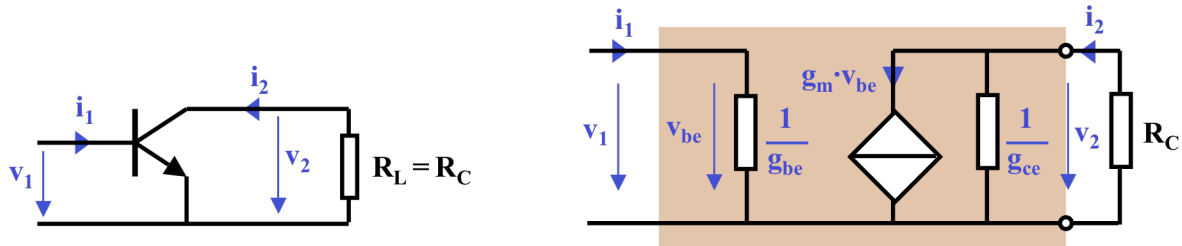
- le gain en courant: $A_i = \frac{i_2}{i_1}$ avec une charge R_L donnée
- la transrésistance: $R_m = \frac{v_2}{i_1}$ avec une charge R_L donnée
- la transconductance: $G_m = \frac{i_2}{v_1}$ avec une charge R_L donnée

En outre, tout quadripôle satisfait les relations générales:

$$A_v = -\frac{A_i \cdot R_L}{R_{in}} \qquad A_v = \frac{R_m}{R_{in}} \qquad A_v = -G_m \cdot R_L$$

1.4.2 Montage Emetteur Commun

Dans le schéma "petits signaux", l'émetteur est à la masse, borne commune à l'entrée et à la sortie:



$$v_1 = v_{be}$$

$$i_1 = g_{be} v_{be}$$

$$i_2 = g_m v_{be} + g_{ce} v_2$$

$$v_2 = -R_C i_2$$

D'où :

$$A_v = \frac{v_2}{v_1} = \frac{-g_m R_C}{1 + g_{ce} R_C} = -g_m \left(R_C // \frac{1}{g_{ce}} \right) \quad \text{et} \quad A_i = \frac{i_2}{i_1} = \frac{\beta}{1 + g_{ce} R_C}$$

Suivant la valeur de la charge extérieure R_C , on peut simplifier ces expressions ainsi :

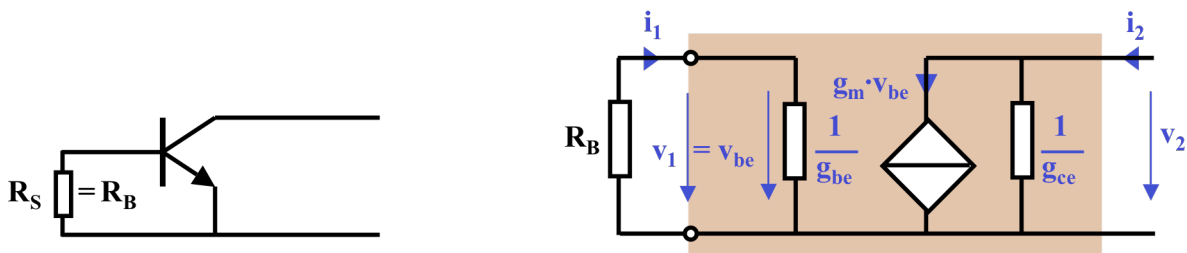
$$\text{si: } R_C \ll \frac{1}{g_{ce}} \quad A_v = -g_m R_C \quad A_i = \beta$$

$$\text{si : } \frac{1}{g_{ce}} \ll R_C \quad A_v = -\frac{g_m}{g_{ce}} \quad A_i = \frac{\beta}{g_{ce} R_C}$$

La résistance d'entrée est simplement :

$$R_{in} = \frac{v_1}{i_1} = \frac{1}{g_{be}} \quad \text{ne dépend pas de la charge extérieure } R_C.$$

Pour le calcul de la résistance de sortie, le schéma "petits signaux" est le suivant:



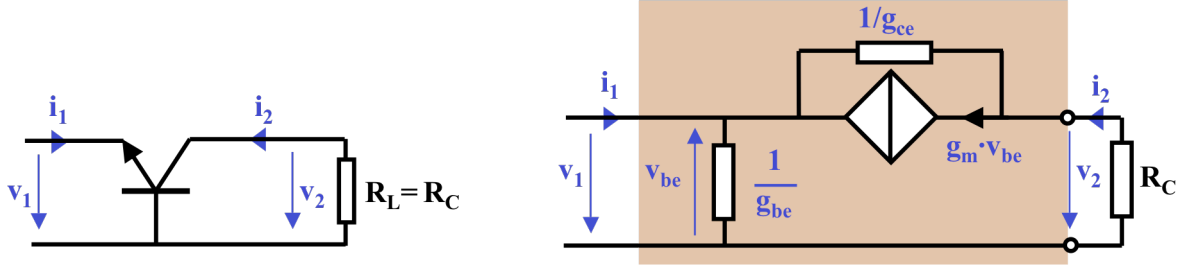
$$i_1 = g_{be} v_1 = -g_{be} R_B i_1 \quad \Rightarrow \quad i_1 = 0 \quad \Rightarrow \quad v_{be} = v_1 = 0$$

$$i_2 = g_m v_{be} + g_{ce} v_2 \quad \Rightarrow \quad i_2 = g_{ce} v_2$$

$$R_{out} = \frac{v_2}{i_2} = \frac{1}{g_{ce}} \quad \text{ne dépend pas de la résistance } R_B.$$

1.4.3 Montage Base Commune

Dans le schéma "petits signaux", la base est à la masse, borne commune à l'entrée et à la sortie:



$$v_1 = -v_{be}$$

$$i_1 = g_{be}v_1 - g_m v_{be} - g_{ce}(v_2 - v_1) = g_{be}v_1 + g_m v_1 + g_{ce}(v_1 - v_2)$$

$$i_2 = g_m v_{be} + g_{ce}(v_2 - v_1) = -g_m v_1 - g_{ce}(v_1 - v_2)$$

$$v_2 = -R_C i_2$$

De ces équations, en tenant compte que $g_{ce} \ll g_{be} \ll g_m$, on tire:

$$A_v = \frac{v_2}{v_1} = \frac{g_m R_C}{1 + g_{ce} R_C} = g_m \left(R_C \parallel \frac{1}{g_{ce}} \right)$$

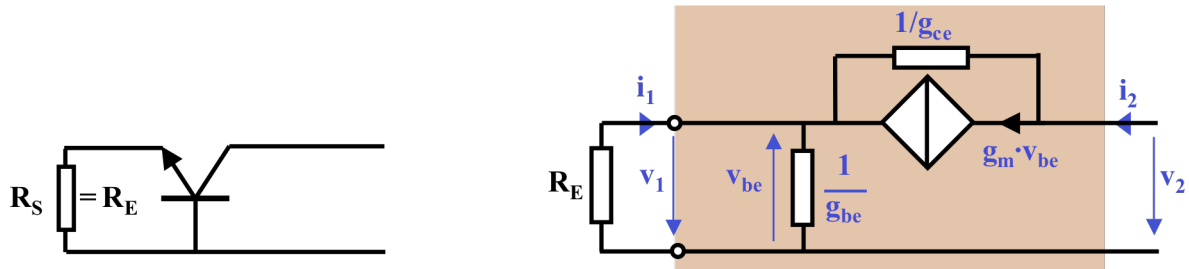
$$A_i = \frac{i_2}{i_1} = \frac{-1}{1 + \frac{g_{ce} R_C}{\beta}}$$

$$R_{in} = \frac{v_1}{i_1} = \frac{1 + g_{ce} R_C}{g_m \left(1 + \frac{g_{ce} R_C}{\beta} \right)}$$

Suivant la valeur de la charge extérieure R_C , on peut simplifier ces expressions ainsi :

si: $R_C \ll \frac{1}{g_{ce}}$	$A_v = g_m R_C$	$A_i = -1$	$R_{in} = \frac{1}{g_m}$
si : $\frac{1}{g_{ce}} \ll R_C \ll \frac{\beta}{g_{ce}}$	$A_v = \frac{g_m}{g_{ce}}$	$A_i = -1$	$R_{in} = \frac{g_{ce} R_C}{g_m}$
si : $\frac{\beta}{g_{ce}} \ll R_C$	$A_v = \frac{g_m}{g_{ce}}$	$A_i = \frac{-\beta}{g_{ce} R_C}$	$R_{in} = \frac{1}{g_{be}}$

Pour le calcul de la résistance de sortie, le schéma "petits signaux" est le suivant:



$$v_1 = -v_{be} = i_2 \left(R_E \parallel \frac{1}{g_{be}} \right) = i_2 \frac{R_E}{1 + g_{be} R_E}$$

$$i_2 = g_m v_{be} + g_{ce} (v_2 - v_1) = -g_m v_1 - g_{ce} (v_1 - v_2)$$

De ces équations, en tenant compte que $g_{ce} \ll g_{be} \ll g_m$, on tire:

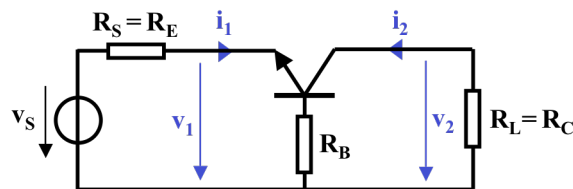
$$R_{out} = \frac{v_2}{i_2} = \frac{1}{g_{ce}} \cdot \frac{1 + g_m R_E}{1 + g_{be} R_E}$$

Suivant la valeur de la résistance globale d'émetteur R_E , R_{out} peut être simplifiée ainsi :

si : $R_E \ll \frac{1}{g_m}$	$R_{out} = \frac{1}{g_{ce}}$
si : $\frac{1}{g_m} \ll R_E \ll \frac{1}{g_{be}}$	$R_{out} = \frac{1}{g_{ce}} g_m R_E$
si : $\frac{1}{g_{be}} \ll R_E$	$R_{out} = \frac{\beta}{g_{ce}}$

Remarque:

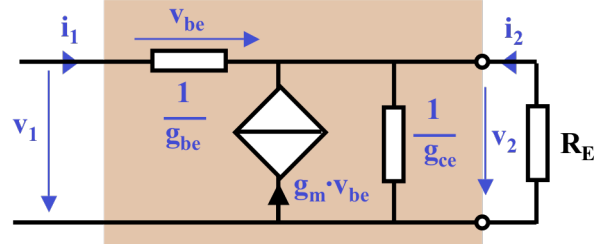
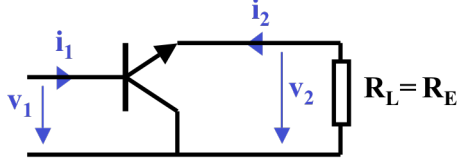
Dans la pratique, il arrive qu'il y aie une résistance R_B en série entre la base et la masse commune à l'entrée et à la sortie:



Tant que cette résistance R_B est bien inférieure à $1/g_{be}$, les résultats établis dans ce paragraphe restent valables.

1.4.4 Montage Collecteur Commun

Dans le schéma "petits signaux", le collecteur est à la masse, borne commune à l'entrée et à la sortie:



$$i_1 = g_{be} v_{be}$$

$$v_1 = v_{be} + v_2$$

$$i_2 = -g_m v_{be} - g_{be} v_{be} + g_{ce} v_2$$

$$v_2 = -R_E i_2$$

De ces équations, en tenant compte que $g_{ce} \ll g_{be} \ll g_m$, on tire:

$$A_v = \frac{v_2}{v_1} = \frac{g_m R_E}{1 + g_m R_E}$$

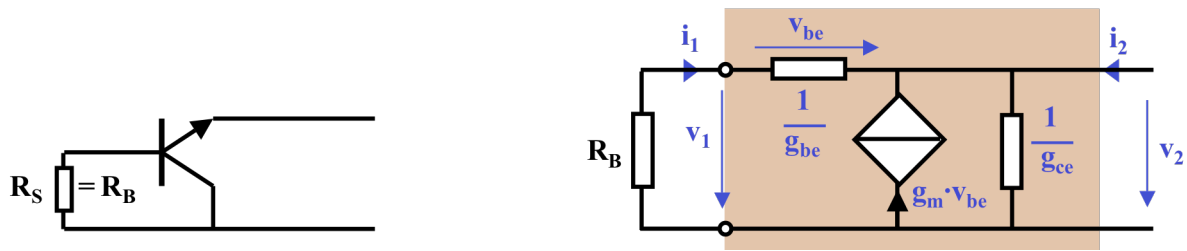
$$A_i = \frac{i_2}{i_1} = \frac{-\beta}{1 + g_{ce} R_E}$$

$$R_{in} = \frac{v_1}{i_1} = \frac{1}{g_{be}} + \frac{\beta R_E}{1 + g_{ce} R_E}$$

Suivant la valeur de la charge extérieure R_E , on peut simplifier ces expressions ainsi :

si: $R_E \ll \frac{1}{g_m}$	$A_v = g_m R_E < 1$	$A_i = -\beta$	$R_{in} = \frac{1}{g_{be}}$
si : $\frac{1}{g_m} \ll R_E \ll \frac{1}{g_{ce}}$	$A_v = 1$	$A_i = -\beta$	$R_{in} = \beta R_E$
si : $\frac{1}{g_{ce}} \ll R_E$	$A_v = 1$	$A_i = \frac{-\beta}{g_{ce} R_E}$	$R_{in} = \frac{\beta}{g_{ce}}$

Pour le calcul de la résistance de sortie, le schéma "petits signaux" est le suivant:



$$i_2 = -g_m v_{be} - g_{be} v_{be} + g_{ce} v_2 = -(\beta + 1)i_1 + g_{ce} v_2$$

$$v_2 = -i_1 \left(R_B + \frac{1}{g_{be}} \right)$$

De ces équations, en tenant compte que $g_{ce} \ll g_{be} \ll g_m$, on tire:

$$R_{out} = \frac{v_2}{i_2} = \left(\frac{1}{g_m} + \frac{R_B}{\beta} \right) \frac{1}{1 + g_{ce} R_B / \beta} \approx \left(\frac{1}{g_m} + \frac{R_B}{\beta} \right) // \frac{1}{g_{ce}}$$

Suivant la valeur de la résistance globale de source R_B , R_{out} peut être simplifiée ainsi :

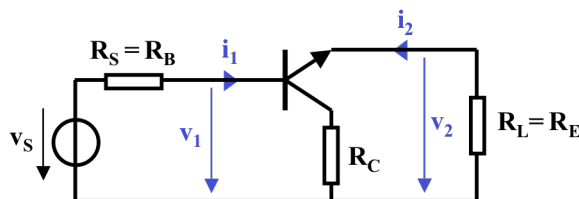
$$\text{si : } R_B \ll \frac{1}{g_{be}} \quad R_{out} = \frac{1}{g_m}$$

$$\text{si : } \frac{1}{g_{be}} \ll R_B \ll \frac{\beta}{g_{ce}} \quad R_{out} = \frac{R_B}{\beta}$$

$$\text{si : } \frac{\beta}{g_{ce}} \ll R_B \quad R_{out} = \frac{1}{g_{ce}}$$

Remarque:

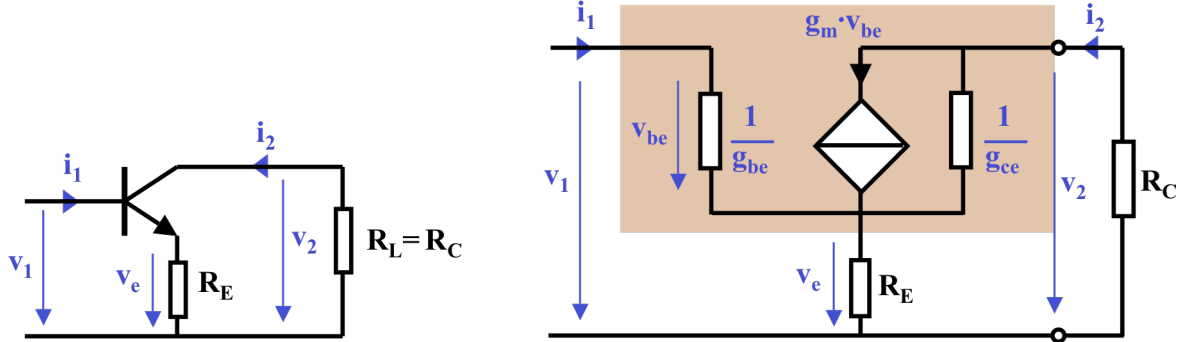
Dans la pratique, il arrive qu'il y ait une résistance R_C en série entre le collecteur et la masse commune à l'entrée et à la sortie:



Tant que cette résistance R_C est bien inférieure à $1/g_{ce}$, les résultats établis dans ce paragraphe restent valables.

1.4.5 Montage Emetteur Commun Dégénéré

Comme pour l'émetteur commun, l'entrée est sur la base et la sortie au collecteur. Mais dans le schéma "petits signaux", une résistance entre l'émetteur et la masse diminue (dégénère) le gain A_v .



$$i_1 = g_{be} v_{be}$$

$$v_1 = v_{be} + v_e$$

$$v_e = (g_m v_{be} + g_{be} v_{be} + g_{ce} (v_2 - v_e)) R_E$$

$$i_2 = g_m v_{be} + g_{ce} (v_2 - v_e)$$

$$v_2 = -R_C i_2$$

De ces équations, sachant que $g_{ce} \ll g_{be} \ll g_m$, on tire:

$$A_v = \frac{v_2}{v_1} = \frac{-g_m R_C (1 - g_{ce} R_E / \beta)}{1 + g_m R_E + g_{ce} R_C (1 + g_{be} R_E)}$$

$$A_i = \frac{i_2}{i_1} = \frac{\beta (1 - g_{ce} R_E / \beta)}{1 + g_{ce} (R_E + R_C)}$$

$$R_{in} = \frac{v_1}{i_1} = \frac{1 + g_m R_E + g_{ce} R_C (1 + g_{be} R_E)}{g_{be} (1 + g_{ce} (R_E + R_C))}$$

Dans la pratique, R_E est presque toujours bien inférieure à β/g_{ce} . Le terme $g_{ce} R_E / \beta$ est alors négligeable p.r. à 1, et l'on peut établir les expressions simplifiées suivantes :

$$A_v = \frac{-g_m R_C}{1 + g_m R_E + g_{ce} R_C (1 + g_{be} R_E)} = \frac{-g_m \left[R_C // \left(\frac{1}{g_{ce}} \cdot \frac{1 + g_m R_E}{1 + g_{be} R_E} \right) \right]}{1 + g_m R_E}$$

$$A_i = \frac{\beta}{1 + g_{ce} (R_E + R_C)}$$

$$R_{in} = \frac{1 + g_m R_E + g_{ce} R_C (1 + g_{be} R_E)}{g_{be} (1 + g_{ce} (R_E + R_C))}$$

Pour des valeurs de la charge extérieure R_C pas trop élevées, ces expressions deviennent:

$$R_C \ll \frac{1}{g_{ce}} \cdot \frac{1+g_m R_E}{1+g_{be} R_E} \Rightarrow A_v = \frac{-g_m R_C}{1+g_m R_E} \text{ tendant vers : } A_v = -\frac{R_C}{R_E} \text{ si } \frac{1}{g_m} \ll R_E$$

$$R_{in} = \frac{1/g_{be} + \beta R_E}{1+g_{ce}(R_E + R_C)}$$

Si la somme $(R_E + R_C)$ reste plus petite que $1/g_{ce}$, R_{in} et A_i deviennent indépendants de la charge:

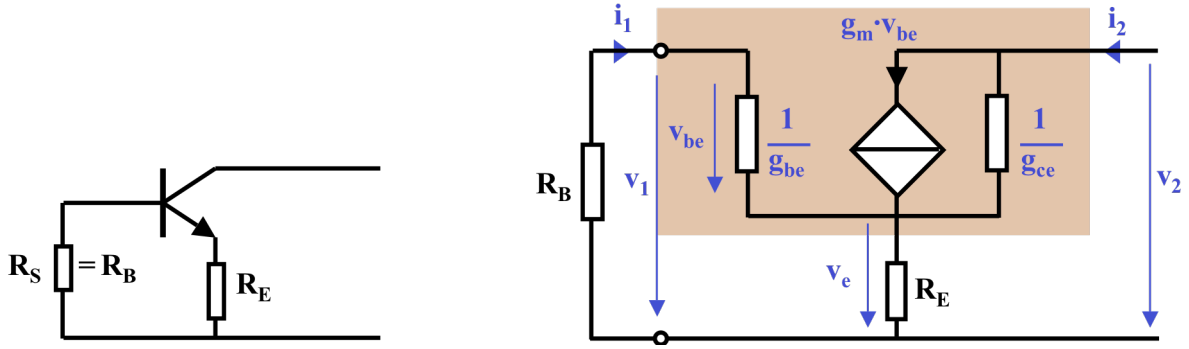
$$(R_E + R_C) \ll \frac{1}{g_{ce}} \Rightarrow R_{in} = \frac{1}{g_{be}} + \beta R_E \quad \text{et} \quad A_i = \beta$$

Si, par contre, la valeur de la charge extérieure R_C est très élevée:

$$R_C \gg \frac{1}{g_{ce}} \cdot \frac{1+g_m R_E}{1+g_{be} R_E} \Rightarrow A_v = \frac{-g_m}{g_{ce}(1+g_{be} R_E)} \quad A_i = \frac{\beta}{g_{ce} R_C}$$

$$R_{in} = \frac{1}{g_{be}} + R_E$$

Pour le calcul de la résistance de sortie, le schéma "petits signaux" est le suivant :



$$v_e = i_2 (R_E \parallel (R_B + \frac{1}{g_{be}})) = i_2 \frac{R_E (1 + g_{be} R_B)}{1 + g_{be} (R_B + R_E)}$$

$$v_{be} = \frac{1/g_{be}}{R_B + 1/g_{be}} v_e = \frac{1}{1 + g_{be} R_B} v_e$$

$$v_2 = v_e + \frac{1}{g_{ce}} (i_2 - g_m v_{be})$$

De ces équations, en tenant compte que $g_{ce} \ll g_{be} \ll g_m$, on tire:

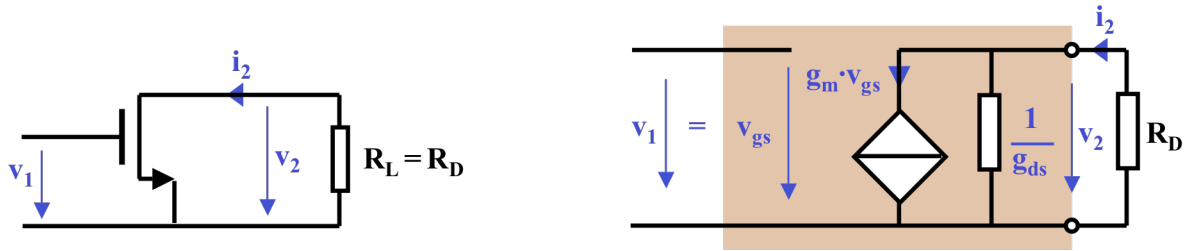
$$R_{out} = \frac{v_2}{i_2} = \frac{1}{g_{ce}} \cdot \frac{1 + g_m R_E + g_{be} R_B (1 + g_{ce} R_E)}{1 + g_{be} (R_B + R_E)} \Rightarrow \frac{1}{g_{ce}} \leq R_{out} \leq \frac{\beta}{g_{ce}}$$

Tant que R_E est inférieure à $1/g_{ce}$, cette expression se simplifie ainsi:

$$R_E \ll \frac{1}{g_{ce}} \Rightarrow R_{out} = \frac{1}{g_{ce}} \cdot \frac{1 + g_m R_E + g_{be} R_B}{1 + g_{be} (R_B + R_E)}$$

1.4.6 Montage Source Commune

Dans le schéma "petits signaux", la source est à la masse, borne commune à l'entrée et à la sortie:



$$v_2 = -g_m v_{gs} \left(\frac{1}{g_{ds}} // R_D \right) = -g_m v_1 \frac{R_D}{1 + g_{ds} R_D}$$

Le courant de grille est nul, c.-à-d. $i_1 = 0$

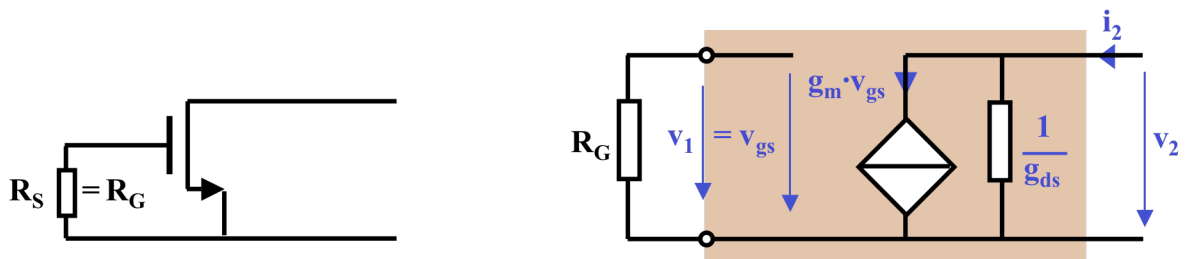
On en tire:

$$A_v = \frac{v_2}{v_1} = \frac{-g_m R_D}{1 + g_{ds} R_D} = -g_m \left(R_D // \frac{1}{g_{ds}} \right) \quad \Rightarrow \quad \text{si : } R_D \ll \frac{1}{g_{ds}} \quad A_v = -g_m R_D$$

$$\text{si : } \frac{1}{g_{ds}} \ll R_D \quad A_v = -\frac{g_m}{g_{ds}}$$

$$A_i = \infty \quad \text{et} \quad R_{in} = \infty$$

Pour le calcul de la résistance de sortie, le schéma "petits signaux" est le suivant :



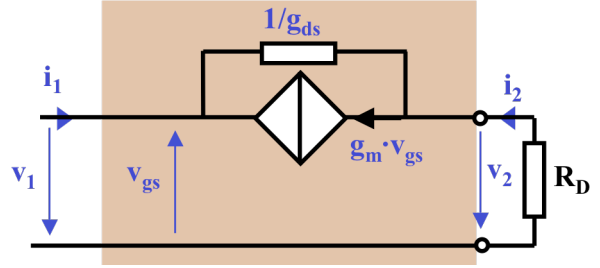
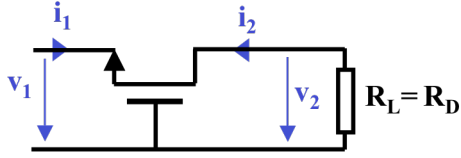
$$v_{gs} = v_1 = R_G i_g = 0$$

$$i_2 = g_m v_{gs} + g_{ds} v_2 \quad \Rightarrow \quad i_2 = g_{ds} v_2$$

$$R_{out} = \frac{v_2}{i_2} = \frac{1}{g_{ds}} \quad \text{est indépendante de } R_G$$

1.4.7 Montage Grille Commune

Dans le schéma "petits signaux", la grille est à la masse, borne commune à l'entrée et à la sortie:



$$v_1 = -v_{gs}$$

$$i_1 = -g_m v_{gs} - g_{ds}(v_2 - v_1) = g_m v_1 + g_{ds}(v_1 - v_2)$$

$$i_2 = +g_m v_{gs} + g_{ds}(v_2 - v_1) = -g_m v_1 - g_{ds}(v_1 - v_2)$$

$$v_2 = -R_D i_2$$

De ces équations, on tire:

$$A_v = \frac{v_2}{v_1} = \frac{(g_m + g_{ds})R_D}{1 + g_{ds}R_D}$$

$$R_{in} = \frac{v_1}{i_1} = \frac{1 + g_{ds}R_D}{g_m + g_{ds}}$$

$$A_i = \frac{i_2}{i_1} = -1$$

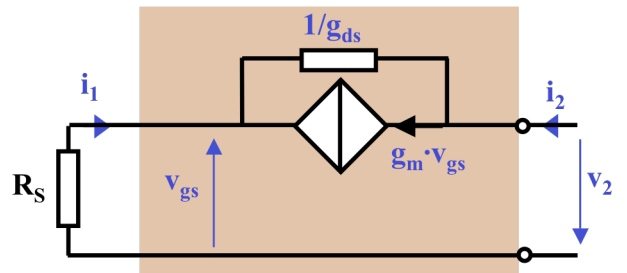
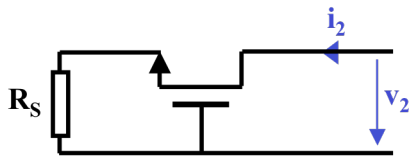
$$\Rightarrow \text{si : } R_D \ll \frac{1}{g_{ds}}$$

$$A_v = (g_m + g_{ds})R_D \quad \text{et} \quad R_{in} = \frac{1}{g_m + g_{ds}}$$

$$\text{si : } \frac{1}{g_{ds}} \ll R_D$$

$$A_v = \frac{g_m + g_{ds}}{g_{ds}} \quad \text{et} \quad R_{in} = \frac{g_{ds}R_D}{g_m + g_{ds}}$$

Pour le calcul de la résistance de sortie, le schéma "petits signaux" est le suivant :



$$-i_1 = i_2 = g_m v_{gs} + g_{ds}(v_2 + v_{gs})$$

$$v_{gs} = R_S i_1 = -R_S i_2$$

De ces équations, on tire:

$$R_{out} = \frac{v_2}{i_2} = \frac{1}{g_{ds}} [1 + (g_m + g_{ds})R_S]$$

$$\Rightarrow \text{si : } R_S \ll \frac{1}{g_m + g_{ds}}$$

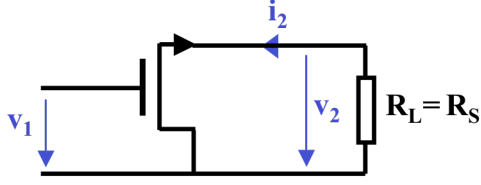
$$R_{out} = \frac{1}{g_{ds}}$$

$$\text{si : } \frac{1}{g_m + g_{ds}} \ll R_S$$

$$R_{out} = \frac{(g_m + g_{ds})R_S}{g_{ds}}$$

1.4.8 Montage Drain Commun

Dans le schéma "petits signaux", le drain est à la masse, borne commune à l'entrée et à la sortie:



$$i_2 = -g_m v_{gs} + g_{ds} v_2$$

$$v_2 = -R_S i_2$$

$$v_1 = v_{gs} + v_2$$

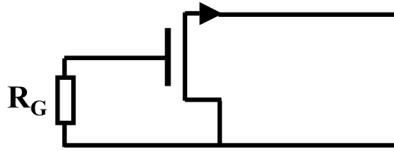
De ces équations, on tire:

$$A_v = \frac{v_2}{v_1} = \frac{g_m R_S}{1 + (g_m + g_{ds}) R_S} \quad \Rightarrow \quad \text{si : } R_S \ll \frac{1}{g_{ds}} \quad A_v = \frac{g_m R_S}{1 + g_m R_S}$$

$$\text{si : } \frac{1}{g_{ds}} \ll R_S \quad A_v = \frac{g_m}{g_m + g_{ds}}$$

$$A_i = \frac{i_2}{i_1} = \infty \quad \text{et} \quad R_{in} = \frac{v_1}{i_1} = \infty$$

Pour le calcul de la résistance de sortie, le schéma "petits signaux" est le suivant :



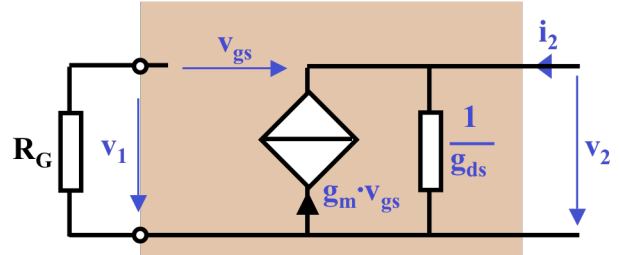
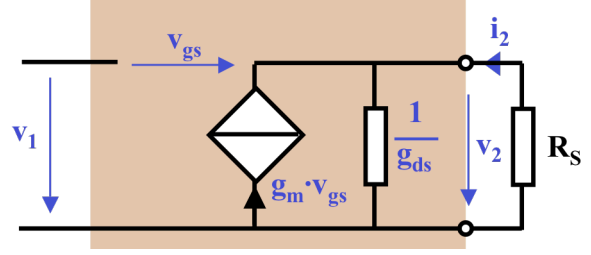
$$i_2 = -g_m v_{gs} + g_{ds} v_2$$

$$v_1 = 0$$

$$v_{gs} = v_1 - v_2 = -v_2$$

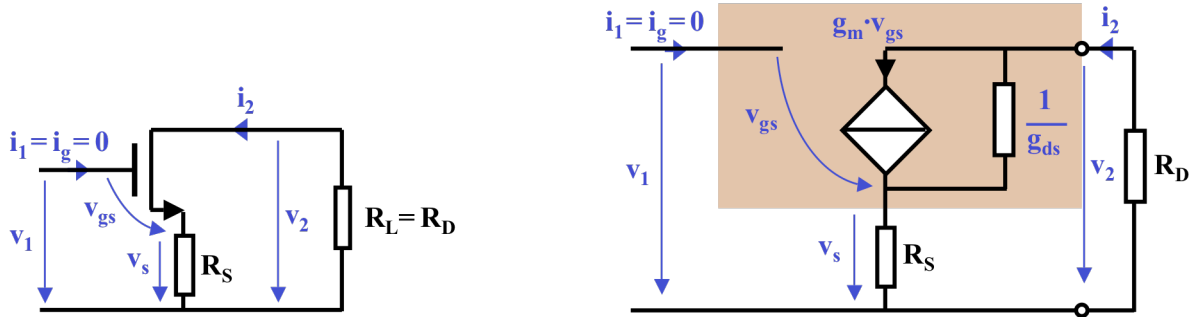
De ces équations, on tire:

$$R_{out} = \frac{v_2}{i_2} = \frac{1}{g_m + g_{ds}} \quad \text{est indépendante de } R_G$$



1.4.9 Montage Source Commune Dégénérée

Comme pour la source commune, l'entrée est sur la grille et la sortie au drain. Mais dans le schéma "petits signaux", une résistance entre la source et la masse diminue (dégénère) le gain A_v .



$$i_2 = g_m v_{gs} + g_{ds}(v_2 - v_s)$$

$$v_2 = -R_D i_2$$

$$v_s = i_2 R_S$$

$$v_1 = v_{gs} + v_s$$

De ces équations, on tire:

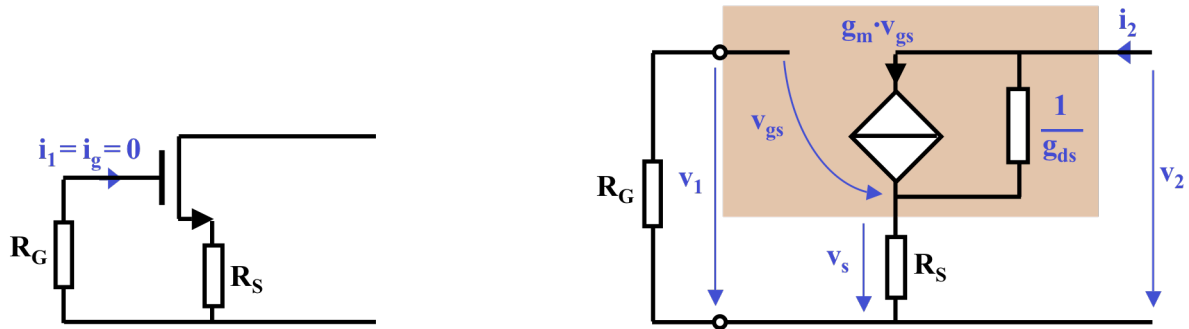
$$A_v = \frac{v_2}{v_1} = \frac{-g_m R_D}{1 + (g_m + g_{ds})R_S + g_{ds}R_D} = \frac{-g_m \left[R_D // \left(\frac{1}{g_{ds}} [1 + (g_m + g_{ds})R_S] \right) \right]}{1 + (g_m + g_{ds})R_S}$$

$$\Rightarrow \quad \text{si : } R_D \ll \frac{1}{g_{ds}} [1 + (g_m + g_{ds})R_S] \quad A_v = \frac{-g_m R_D}{1 + (g_m + g_{ds})R_S}$$

$$\text{si : } \frac{1}{g_{ds}} [1 + (g_m + g_{ds})R_S] \ll R_D \quad A_v = \frac{-g_m}{g_{ds}}$$

$$A_i = \frac{i_2}{i_1} = \infty \quad \text{et} \quad R_{in} = \frac{v_1}{i_1} = \infty$$

Pour le calcul de la résistance de sortie, le schéma "petits signaux" est le suivant :



$$i_2 = g_m v_{gs} + g_{ds}(v_2 - v_s)$$

$$v_s = i_2 R_S$$

$$v_1 = 0 \Rightarrow v_{gs} = v_1 - v_s = -v_s$$

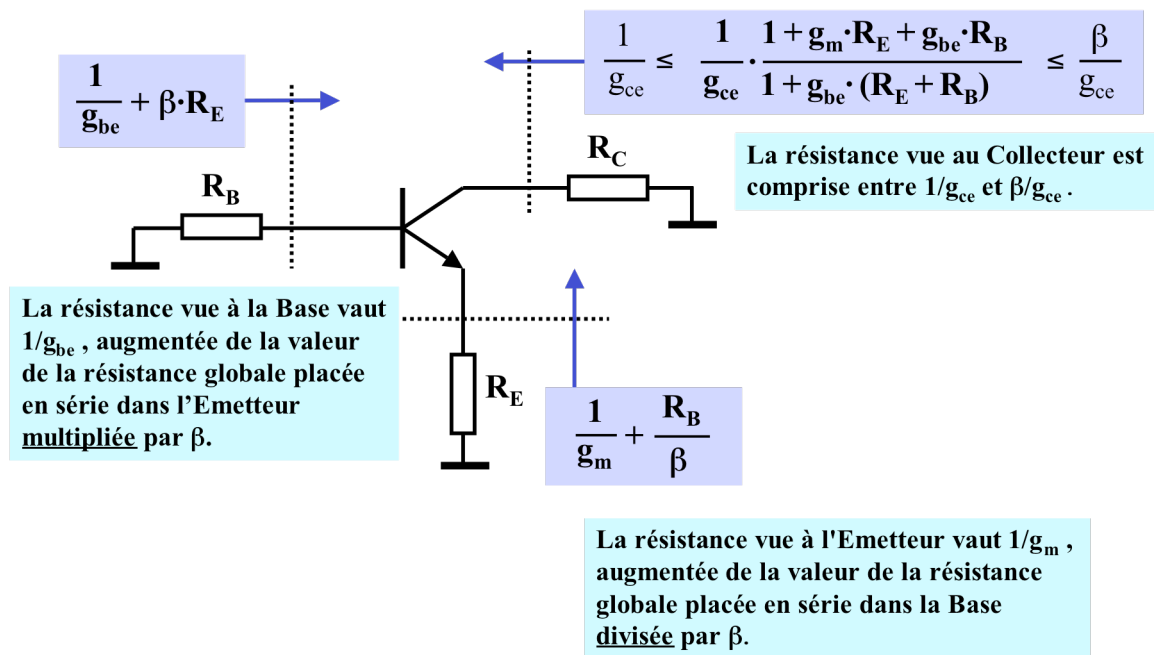
De ces équations, on tire:

$$R_{out} = \frac{v_2}{i_2} = \frac{1}{g_{ds}} [1 + (g_m + g_{ds})R_S] \Rightarrow \begin{aligned} \text{si : } R_S \ll \frac{1}{g_m + g_{ds}} & \quad R_{out} = \frac{1}{g_{ds}} \\ \text{si : } \frac{1}{g_m + g_{ds}} \ll R_S & \quad R_{out} = \frac{(g_m + g_{ds})R_S}{g_{ds}} \end{aligned}$$

1.5. RESISTANCES AUX ACCES DES TRANSISTORS

1.5.1 Résumé synthétique des résistances aux accès du transistor bipolaire

Dans des conditions d'utilisation courantes (attention aux limites de validité établies précédemment !), les résultats obtenus peuvent se résumer aux approximations de la figure ci-dessous :



Cette figure donne la résistance entre un accès du transistor et la masse en fonction des paramètres g_m , g_{be} et g_{ce} , et des résistances de charge des deux autres accès.

Pour rappel, le **gain en tension des montages classiques**, dans les mêmes conditions:

$$A_{v,EC} = \frac{v_C}{v_B} = \frac{-g_m R_C}{1 + g_{ce} R_C} = -g_m \left(R_C // \frac{1}{g_{ce}} \right)$$

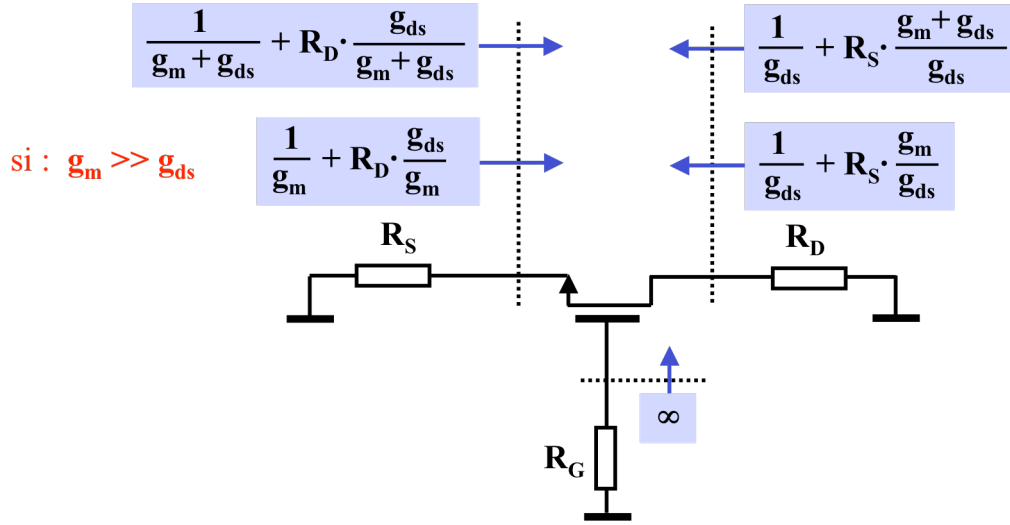
$$A_{v,BC} = \frac{v_C}{v_E} = \frac{g_m R_C}{1 + g_{ce} R_C} = g_m \left(R_C // \frac{1}{g_{ce}} \right)$$

$$A_{v,CC} = \frac{v_E}{v_B} = \frac{g_m R_E}{1 + g_m R_E} \quad \text{tendant vers l'unité lorsque } R_E > 1/g_m$$

$$A_{v,ECdégénéré} = \frac{v_C}{v_B} = \frac{-g_m R_C}{1 + g_m R_E + g_{ce} R_C (1 + g_{be} R_E)} = \frac{-g_m \left[R_C // \left(\frac{1}{g_{ce}} \cdot \frac{1 + g_m R_E}{1 + g_{be} R_E} \right) \right]}{1 + g_m R_E}$$

1.5.2 Résumé synthétique des résistances aux accès du transistor MOS

Les résultats obtenus précédemment peuvent être résumés dans la figure ci-dessous :



Cette figure donne la résistance entre un accès du transistor et la masse en fonction des paramètres g_m et g_{ds} , et des résistances de charge des deux autres accès.

Pour rappel, le **gain en tension des montages classiques**, dans les mêmes conditions:

$$A_{v,SC} = \frac{v_D}{v_G} = \frac{-g_m R_D}{1 + g_{ds} R_D} = -g_m \left(R_D // \frac{1}{g_{ds}} \right)$$

$$A_{v,GC} = \frac{v_D}{v_S} = \frac{(g_m + g_{ds}) R_D}{1 + g_{ds} R_D} = (g_m + g_{ds}) \left(R_D // \frac{1}{g_{ds}} \right)$$

$$A_{v,DC} = \frac{v_S}{v_G} = \frac{g_m R_S}{1 + (g_m + g_{ds}) R_S}$$

$$A_{v,SC \text{ dégénérée}} = \frac{v_D}{v_G} = \frac{-g_m R_D}{1 + (g_m + g_{ds}) R_S + g_{ds} R_D} = \frac{-g_m \left[R_D // \left(\frac{1}{g_{ds}} [1 + (g_m + g_{ds}) R_S] \right) \right]}{1 + (g_m + g_{ds}) R_S}$$

L'AMPLIFICATEUR DIFFERENTIEL

2. L'AMPLIFICATEUR DIFFERENTIEL

	page
2.1. INTRODUCTION	3
2.2. SCHEMA ET PRINCIPE DE FONCTIONNEMENT	5
2.3. FONCTION DE TRANSFERT "GRANDS SIGNAUX"	7
2.4. COMPORTEMENT "PETITS SIGNAUX" DE L'AMPLI DIFFERENTIEL A CHARGES RESISTIVES	10
2.4.1 Gain en tension différentiel A_d	10
2.4.2 Gain en tension différentiel A_d de l'ampli différentiel dégénéré	14
2.4.3 Gain en tension de mode commun A_c Taux de réjection de mode commun	16
2.4.4 Effets d'une charge externe	17
2.5. AMPLI DIFFERENTIEL A CHARGES ACTIVES	19
2.5.1 Principe des amplificateurs à charge active	19
2.5.2 Gain en tension différentiel A_d de l'ampli différentiel à charges actives	19
2.5.3 Gain en tension de mode commun A_c de l'ampli différentiel à charges actives	20
2.5.4 Variante de l'ampli différentiel à charge active à miroir de courant	21
2.5.5 Réalisation de miroir de courant en composants discrets	23
2.6. APPLICATION PARTICULIERE DE L'AMPLIFICATEUR DIFFERENTIEL: LE MULTIPLIEUR ANALOGIQUE	25
2.6.1 Amplificateur différentiel à transconductance variable, multiplieur analogique "deux quadrants"	25
2.6.2 Multiplieur analogique "quatre quadrants" à cellule de "Gilbert"	26
2.6.3 Applications du multiplieur analogique à cellule de "Gilbert"	27

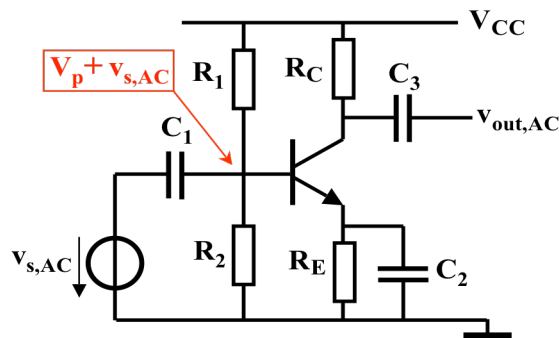
2.1. INTRODUCTION

L'amplificateur différentiel de base, encore appelé "paire différentielle", est un montage symétrique, basé sur deux transistors couplés par les émetteurs, pour des bipolaires, ou les sources, pour des MOS. C'est un bloc fonctionnel extrêmement important, utilisé de façon intensive dans les circuits électroniques, en particulier dans les circuits intégrés.

Dans les circuits analogiques, la paire différentielle est utilisée notamment comme étage d'entrée des amplificateurs opérationnels. Elle est à la base du multiplieur analogique à 4 quadrants (cellule de Gilbert). On l'utilise aussi dans certains circuits logiques, en particulier dans la famille ECL.

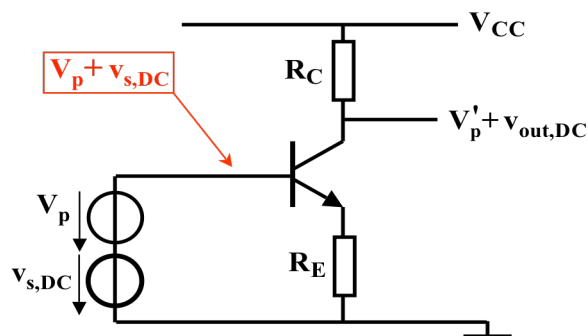
La paire différentielle est un amplificateur de signaux continus et alternatifs. Le couplage d'entrée est donc direct, sans capacité série, et aucune capacité de découplage n'est nécessaire. Malgré cette propriété, son point de fonctionnement au repos (ou sa polarisation) est très stable, et très peu influencé par la température ou les dispersions des caractéristiques des composants, et son gain en tension est élevé.

Dans l'amplificateur de signal alternatif (AC) classique ci-dessous, la polarisation V_p et le signal $v_{s,AC}$, sont traités différemment grâce aux capacités de couplage et de découplage.



Pour un amplificateur de petit signal continu (DC), l'utilisation de capacités de couplage et de découplage est exclue.

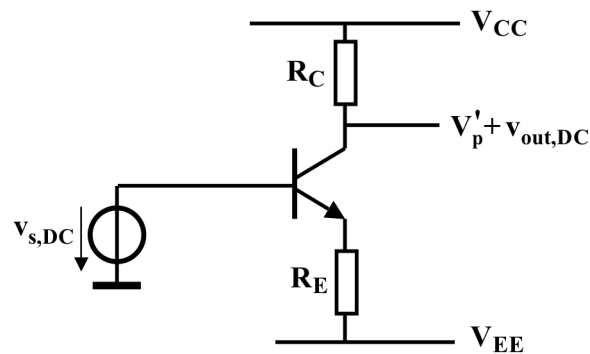
Avec le même principe de polarisation, un schéma possible est le suivant:



Cette solution est inacceptable, car:

- la source de polarisation doit être flottante,
- le point de repos doit être très précis et stable, car toute erreur se confond avec le signal utile DC,
- la sensibilité à la température est importante, puisque toute variation de V_{BE} ($-2 \text{ mV}/^\circ$) entraîne une variation du point de repos qui se confond avec le signal utile DC.
- le gain de l'étage est fortement limité $|A_v| = R_C/R_E$.

Un autre principe, ne nécessitant pas de source flottante, est une polarisation par une alimentation négative:



Cette solution est également inacceptable, car, à part la suppression de la source de polarisation flottante, les autres défauts subsistent, à savoir:

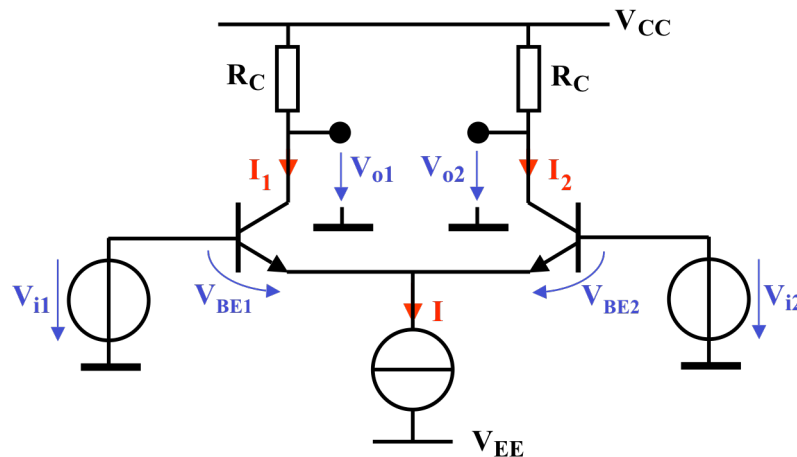
- l'alimentation V_{EE} doit être très précise et stable, car toute erreur se confond avec le signal utile DC,
- la sensibilité à la température est importante, puisque toute variation de V_{BE} ($-2 \text{ mV}/^\circ$) entraîne une variation du point de repos qui se confond avec le signal utile DC,
- le gain de l'étage est fortement limité $|A_v| = R_C/R_E$.

La paire différentielle permet de supprimer ces défauts, au prix de quelques composants actifs supplémentaires (au minimum 1).

2.2. SCHEMA ET PRINCIPE DE FONCTIONNEMENT

Un amplificateur différentiel peut être réalisé aussi bien avec des transistors bipolaires que MOS. L'explication qui suit se base sur l'utilisation de transistors bipolaires, mais elle peut immédiatement être transposée pour les transistors MOS.

L'amplificateur différentiel de base, ou paire différentielle, est constitué de deux transistors couplés par les émetteurs, et polarisés par une source de courant continu, selon le schéma suivant:



Pour garantir les meilleures performances, les deux transistors doivent, autant que possible, avoir des caractéristiques identiques, et se trouver à la même température. Ces conditions sont quasi-automatiquement remplies en circuits intégrés.

Les deux émetteurs reliés sont au même potentiel d'où : $V_{i1} - V_{BE1} = V_{i2} - V_{BE2}$

Tant que les deux bases sont au même potentiel $V_{i1} = V_{i2} = V_{ic}$, donc que la différence de potentiel entre les bases, dite *signal d'entrée différentiel*, est nulle, alors $V_{BE1} = V_{BE2}$, ce qui implique que les deux transistors identiques conduisent des courants égaux, chacun valant donc la moitié du courant constant de la source de polarisation. Par conséquent, les deux collecteurs restent à des potentiels constants et égaux: $V_{o1} = V_{o2} = V_{CC} - R_C I/2$

On conçoit que la température n'a pas d'influence sur cette situation car la variation thermique de V_{BE} affecte de façon identique les deux transistors, ce qui conserve l'équilibre de l'ensemble.

Une variation conjointe du potentiel des deux entrées $V_{i1} = V_{i2} = V_{ic}$, dit *signal d'entrée de mode commun*, ne modifie en rien l'équilibre, tant que ni les transistors ni la source de polarisation n'entrent en saturation.

Lorsqu'on impose une différence de potentiel entre les bases, dit *signal d'entrée différentiel*, on crée un déséquilibre entre les deux branches. Le courant I se répartit dès lors de façon inégale entre les deux transistors, ce qui fait varier le potentiel de chaque collecteur en sens opposé l'un de l'autre. Le signal de sortie peut être recueilli soit entre les deux collecteurs (sortie différentielle), soit entre un des collecteurs et un point fixe, tel que la masse (sortie "single ended" ou asymétrique).

Lorsque la différence de potentiel entre les bases dépasse un certain niveau, l'un des transistors est bloqué, et la totalité du courant I passe par l'autre transistor. A ce moment les potentiels des collecteurs ne changent plus: on peut dire que le signal de sortie "sature", mais cette saturation d'amplitude n'implique pas que le transistor qui conduit passe en mode saturé puisque son courant collecteur est limité à la valeur I , et donc le potentiel minimal de son collecteur est imposé à $(V_{CC} - R_C I)$.

Exemple numérique:

Soit $I = 2 \text{ mA}$, $R_C = 2,2 \text{ k}\Omega$, et $V_{CC} = 10 \text{ V}$. Pour une tension différentielle d'entrée nulle, chaque transistor est parcouru par 1 mA (en négligeant le courant de base), et chaque collecteur se trouve polarisé à $7,8 \text{ V}$. Si on applique une tension différentielle suffisante entre les 2 entrées, un des transistors sera parcouru par un courant nul, ce qui fera remonter son collecteur à 10 V , tandis que l'autre transistor sera parcouru par un courant de 2 mA et verra son collecteur chuter à $5,6 \text{ V}$. Il ne sera pas saturé tant que sa base n'est pas portée au dessus de ces $5,6 \text{ V}$.

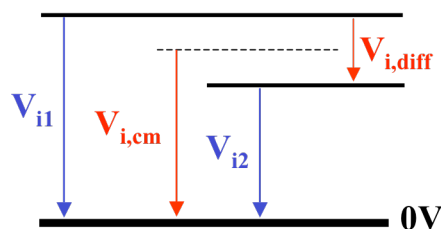
En conclusion, l'amplificateur différentiel idéal n'amplifie que la différence de potentiel entre les deux entrées, et n'est pas sensible au potentiel moyen, dit de "mode commun" de celles-ci.

Dans un amplificateur différentiel réel (ou non idéal), la source de courant I peut présenter une conductance de sortie g_s non nulle. Dans ce cas, un signal d'entrée de mode commun provoque une modification équivalente du potentiel des émetteurs, donc de la tension aux bornes de la source de courant, ce qui modifie légèrement sa valeur. Si le courant I varie, la chute de tension aux bornes des deux collecteurs varie également. Si la sortie de l'ampli se fait en mode différentiel, donc entre les deux collecteurs, l'effet sera nul à condition que les deux transistors soient parfaitement identiques. Par contre, si la sortie se fait entre un des collecteurs et la masse, une variation sera perceptible. Cette imperfection s'appelle le *gain de mode commun*.

Exemple numérique:

En reprenant l'exemple précédent avec une conductance g_s de $10^{-5} \Omega^{-1}$, une tension d'entrée de mode commun de 5 V provoquera une augmentation du courant de polarisation de $50 \mu\text{A}$, donc $25 \mu\text{A}$ supplémentaires dans chaque transistor, d'où une baisse de potentiel de 55 mV des deux collecteurs.

De façon générale, pour des signaux quelconques V_{i1} et V_{i2} appliqués aux entrées, on peut toujours définir ceux-ci comme la somme d'un signal d'entrée différentiel et d'un signal d'entrée de mode commun:



- Signal d'entrée de mode commun, appliqué simultanément aux deux entrées:

$$V_{ic} = \frac{V_{i1} + V_{i2}}{2}$$

- Signal d'entrée différentiel, appliqué de façon antisymétrique aux deux entrées (c'est-à-dire la moitié avec le signe positif à une entrée, et la moitié avec le signe négatif à l'autre entrée):

$$V_{id} = V_{i1} - V_{i2}$$

Lors de l'étude des propriétés de l'ampli différentiel en petits signaux, on étudiera séparément les effets des signaux différentiels et de mode commun. Dans un premier temps, on étudiera seulement l'amplification de mode différentiel, A_d , c'est à dire l'effet de la composante différentielle du signal d'entrée sur la sortie, en l'absence de signal d'entrée de mode commun. Dans un paragraphe ultérieur, on traitera le cas de l'amplification de mode commun, A_c , c'est-à-dire l'effet de la composante de mode commun du signal d'entrée sur la sortie. L'effet global s'obtiendra en appliquant le principe de superposition.

2.3. FONCTION DE TRANSFERT "GRANDS SIGNAUX"

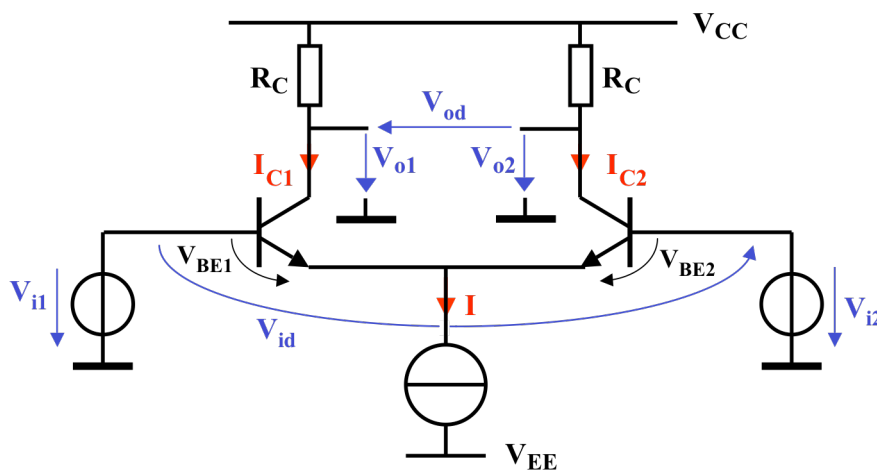
L'étude de la fonction de transfert de la paire différentielle pour les signaux de grande amplitude est importante à divers titres:

- elle permet d'illustrer dans quelles limites son comportement pourra être qualifié de "linéaire", et donc quelle sera l'amplitude maximum des "petits signaux" admissibles dans un ampli linéaire;
- elle montre que la tension de sortie n'atteint pas brutalement une limite de saturation, mais tend en douceur vers une amplitude limite sans que les transistors de la paire différentielle n'entre en mode saturé;
- certaines applications font directement usage de cette fonction non linéaire, comme le circuit de conversion d'un signal triangulaire en un signal quasi sinusoïdal.

Dans cette analyse non-linéaire, on admet, comme hypothèse, que la conductance de sortie g_s de la source de courant, ainsi que celle g_{ce} (effet Early) des transistors, sont négligeables.

Si les transistors sont identiques (appariement correct) et sont à la même température, on peut admettre que leurs paramètres I_s et β sont identiques:

$$I_{s1} = I_{s2} = I_s \quad \text{et} \quad \beta_1 = \beta_2 = \beta \gg 1$$



La tension d'entrée différentielle V_{id} peut aisément s'exprimer en fonction des courants de collecteurs par le développement suivant:

$$I_{C1} = I_s \cdot e^{\frac{V_{BE1}}{U_T}} \Rightarrow V_{BE1} = U_T \cdot \ln \frac{I_{C1}}{I_s}$$

$$I_{C2} = I_s \cdot e^{\frac{V_{BE2}}{U_T}} \Rightarrow V_{BE2} = U_T \cdot \ln \frac{I_{C2}}{I_s}$$

$$V_{id} = V_{BE1} - V_{BE2} = U_T \cdot \left[\ln \frac{I_{C1}}{I_s} - \ln \frac{I_{C2}}{I_s} \right] = U_T \cdot \ln \frac{I_{C1}}{I_{C2}}$$

$$I_{C1} + I_{C2} \cong I_{E1} + I_{E2} = I \Rightarrow I_{C1} = \frac{I}{2} + \Delta I \quad \text{et} \quad I_{C2} = \frac{I}{2} - \Delta I$$

$$V_{id} = U_T \cdot \ln \frac{\frac{I}{2} + \Delta I}{\frac{I}{2} - \Delta I} \Rightarrow e^{\frac{V_{id}}{U_T}} = \frac{\frac{I}{2} + \Delta I}{\frac{I}{2} - \Delta I}$$

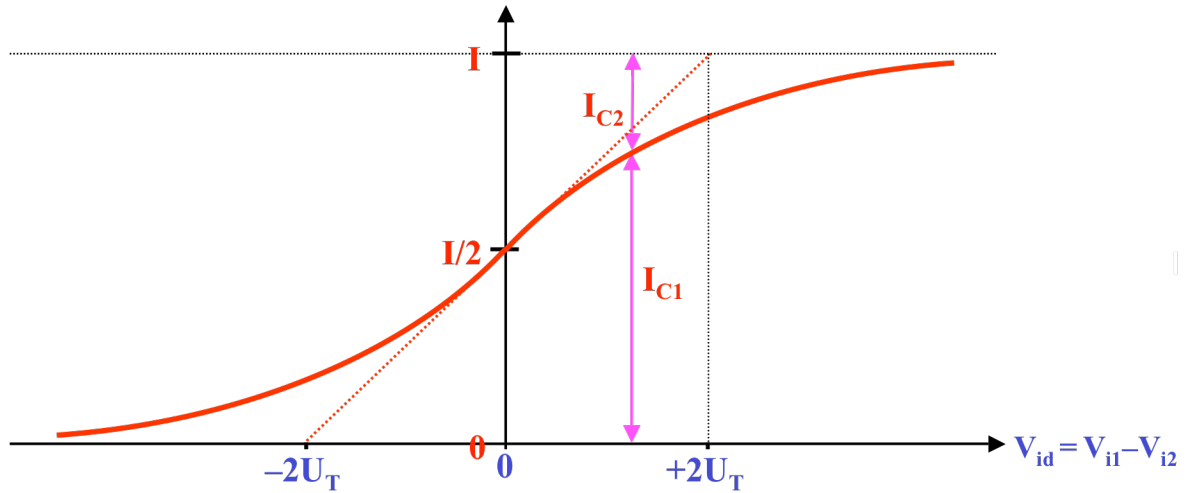
$$\frac{I}{2} + \Delta I = \left(\frac{I}{2} - \Delta I\right) \cdot e^{\frac{V_{id}}{U_T}} = \frac{I}{2} \cdot e^{\frac{V_{id}}{U_T}} - \Delta I \cdot e^{\frac{V_{id}}{U_T}}$$

$$\Delta I \cdot (e^{\frac{V_{id}}{U_T}} + 1) = \frac{I}{2} \cdot (e^{\frac{V_{id}}{U_T}} - 1)$$

$$\Delta I = \frac{I}{2} \cdot \frac{e^{\frac{V_{id}}{U_T}} - 1}{e^{\frac{V_{id}}{U_T}} + 1} \Leftrightarrow \Delta I = \frac{I}{2} \cdot \tanh\left(\frac{V_{id}}{2 \cdot U_T}\right)$$

Cette expression de ΔI permet d'écrire la valeur des courants de collecteur sous la forme:

$$I_{C1} = \frac{I}{2} \cdot \left[1 + \tanh\left(\frac{V_{id}}{2 \cdot U_T}\right)\right] \quad I_{C2} = \frac{I}{2} \cdot \left[1 - \tanh\left(\frac{V_{id}}{2 \cdot U_T}\right)\right]$$



Le déséquilibre de courant ΔI est donc lié à la tension d'entrée V_{id} par une loi en $\tanh$. Cette fonction est très linéaire autour de l'origine, puis tend lentement vers la saturation pour des valeurs de $|V_{id}|$ supérieures à U_T . Pour une différence des potentiels d'entrée plus grande que 200 mV ($\approx 8 \cdot U_T$), on peut considérer que tout le courant I passe dans l'un ou l'autre des transistors, car $\tanh(4) = 0.9993$.

Les courants de base s'expriment ainsi:

$$I_{B1} = \frac{I}{2 \cdot \beta} \cdot \left[1 + \tanh\left(\frac{V_{id}}{2 \cdot U_T}\right)\right] \quad I_{B2} = \frac{I}{2 \cdot \beta} \cdot \left[1 - \tanh\left(\frac{V_{id}}{2 \cdot U_T}\right)\right]$$

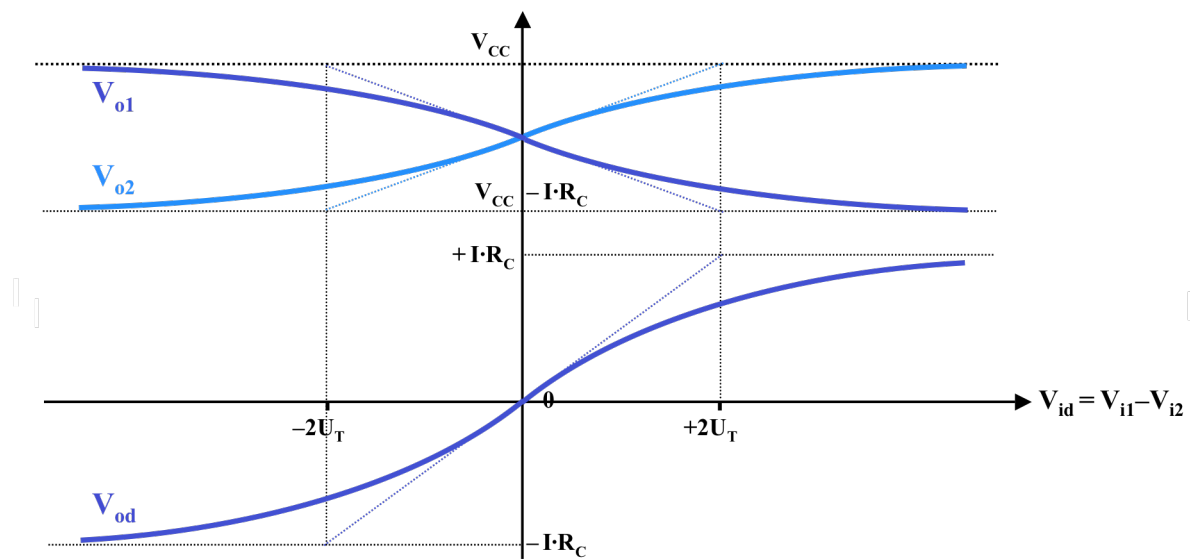
On peut déterminer les potentiels des collecteurs:

$$V_{o1} = V_{CC} - R_C \cdot I_{C1} = V_{CC} - \frac{R_C \cdot I}{2} - \frac{R_C \cdot I}{2} \cdot \tanh\left(\frac{V_{id}}{2 \cdot U_T}\right)$$

$$V_{o2} = V_{CC} - R_C \cdot I_{C2} = V_{CC} - \frac{R_C \cdot I}{2} + \frac{R_C \cdot I}{2} \cdot \tanh\left(\frac{V_{id}}{2 \cdot U_T}\right)$$

La tension différentielle de sortie est donnée par:

$$V_{od} = 2 \cdot R_C \cdot \Delta I = R_C \cdot I \cdot \tanh\left(\frac{V_{id}}{2 \cdot U_T}\right)$$



Comme on pouvait s'y attendre, quand V_{id} est nulle, V_{od} est également nulle. Il est donc possible de cascader directement plusieurs étages d'amplificateurs différentiels sans provoquer de décalage de la tension de repos de chaque étage.

2.4. COMPORTEMENT "PETITS SIGNAUX" DE L'AMPLI DIFFERENTIEL A CHARGES RESISTIVES

Lorsqu'on réalise un étage amplificateur différentiel à l'aide de composants discrets, on fait généralement usage de simples charges résistives aux collecteurs des deux transistors. Dans le cas d'un amplificateur intégré, les résistances sont souvent (mais pas forcément) remplacées par des charges actives, ce qui sera étudié au point 2.5.

2.4.1 Gain en tension différentiel A_d

Lorsque le signal d'entrée différentiel a une amplitude suffisamment faible, on peut linéariser la fonction de transfert aux environs de l'origine, et ainsi établir l'expression du gain différentiel A_d de l'ampli différentiel en "petits signaux".

Méthode 1: linéarisation de la fonction de transfert "grands signaux"

La fonction de transfert "grands signaux" peut aisément être linéarisée aux environs de l'origine. En effet, le développement de la fonction " $\tanh(x)$ " en série de Taylor limitée au premier terme se réduit à son argument " x ", d'où:

$$v_{od} = R_C \cdot I \cdot \frac{v_{id}}{2 \cdot U_T}$$

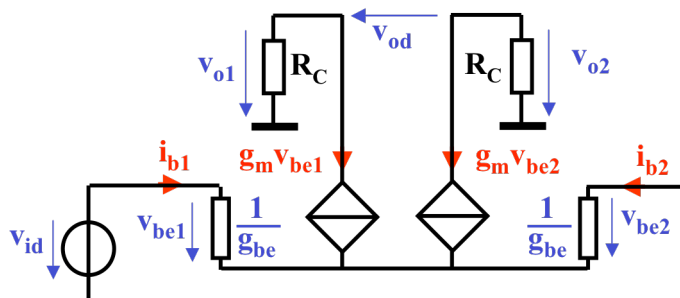
En se rappelant qu'aux environs de l'équilibre, chaque transistor est parcouru par un courant $I/2$, on voit que l'expression $(I/2U_T)$ n'est autre que la transconductance g_m de ces transistors.

$$A_d = \frac{v_{od}}{v_{id}} = \frac{I \cdot R_C}{2 \cdot U_T} = g_m \cdot R_C \quad \text{gain en mode différentiel à sortie différentielle}$$

Le gain (différentiel) de l'ampli différentiel est identique à celui du simple montage émetteur commun. Si la sortie se fait de façon asymétrique (entre un des collecteurs et la masse), la valeur du gain en valeur absolue est divisée par 2, l'un étant positif, l'autre négatif, puisque les deux collecteurs bougent en sens inverse.

Méthode 2: calcul à partir du schéma "petits signaux"

En négligeant la conductance de sortie de la source de courant ainsi que celle g_{ce} des transistors, le schéma "petits signaux" est le suivant:



$$g_m \cdot v_{be1} + g_{be} \cdot v_{be1} + g_m \cdot v_{be2} + g_{be} \cdot v_{be2} = 0$$

$$g_m \cdot v_{be1} + g_{be} \cdot v_{be1} + g_m \cdot v_{be2} + g_{be} \cdot v_{be2} = 0$$

$$\Rightarrow v_{be1} = -v_{be2} = \frac{v_{id}}{2}$$

$$v_{o1} = -g_m \cdot v_{be1} \cdot R_C = -g_m \cdot R_C \cdot \frac{v_{id}}{2}$$

$$v_{o2} = -g_m \cdot v_{be2} \cdot R_C = -g_m \cdot R_C \cdot \frac{-v_{id}}{2}$$

$$v_{od} = v_{o2} - v_{o1} = g_m \cdot R_C \cdot v_{id}$$

$$A_d = \frac{v_{od}}{v_{id}} = g_m \cdot R_C \quad \text{gain en mode différentiel à sortie différentielle}$$

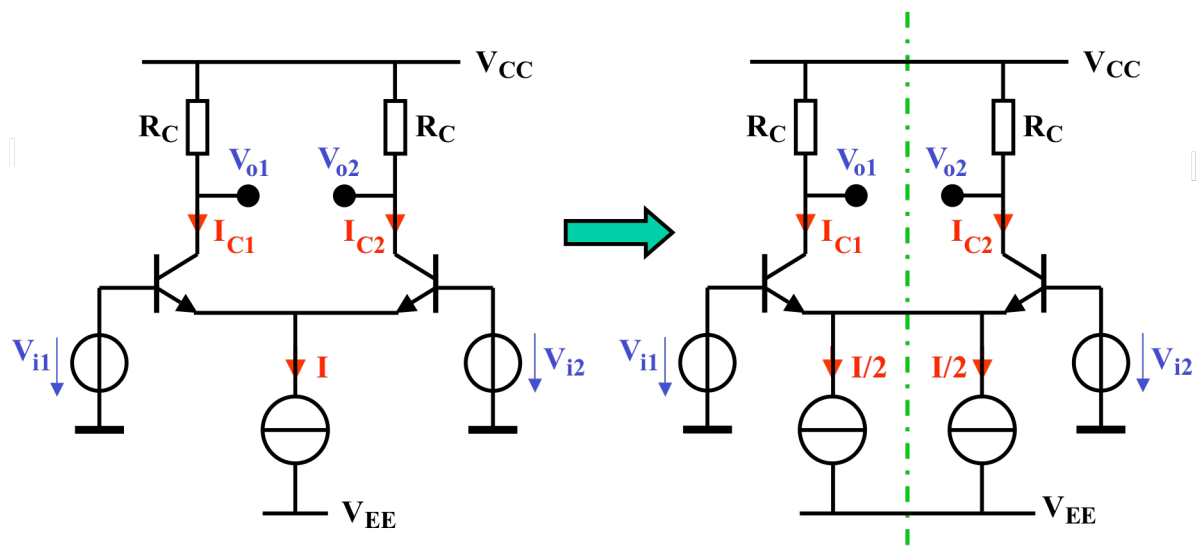
$$i_{b1} = g_{be} \cdot v_{be1} = g_{be} \cdot \frac{v_{id}}{2}$$

$$R_{id} = \frac{v_{id}}{i_{b1}} = \frac{2}{g_{be}} \quad \text{résistance différentielle d'entrée}$$

Méthode 3: méthode du "demi circuit équivalent"

L'amplificateur différentiel appartient à une classe particulière de circuits: celle des circuits symétriques. Dans ce cas, il est possible d'analyser les propriétés du circuit en petits signaux en utilisant le concept de "demi circuit équivalent". Ce concept permet d'obtenir le résultat en analysant seulement le comportement de la moitié du circuit.

L'idée est la suivante: on commence par remplacer la source de courant par deux sources de courant de valeur moitié, ce qui ne change absolument rien au fonctionnement du circuit, mais le rend totalement symétrique:



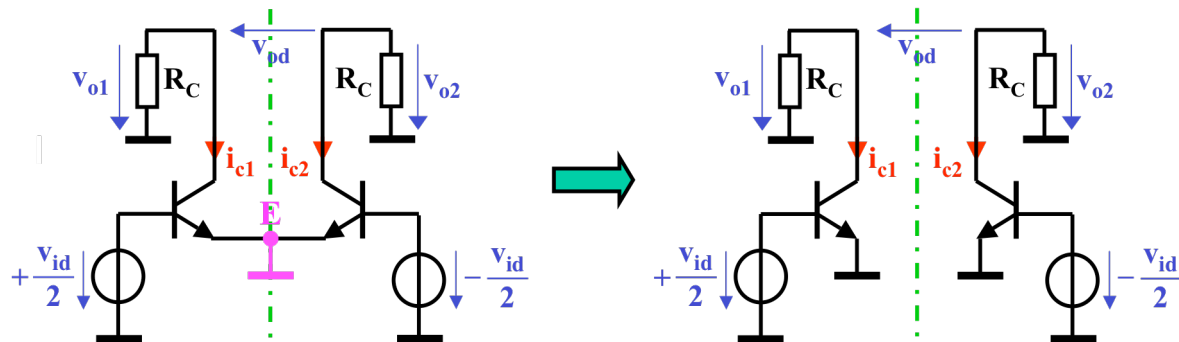
Si le circuit est excité par une tension purement différentielle v_{id} , donc sans composante de mode commun, les deux entrées voient des signaux opposés tels que $v_{i1} = -v_{i2} = v_{id}/2$.

Le comportement de la jonction émetteur-base étant linéarisé pour les petits signaux considérés, on voit que le point commun aux deux émetteurs reste à un potentiel constant, puisque les deux bases bougent symétriquement par rapport à la masse.

Dans un circuit équivalent "petits signaux", valable comme on l'a vu jusqu'à présent pour les variations de faible amplitude aux environs du point de fonctionnement, un point dont le potentiel est constant est équivalent à la masse. Dans le cas de l'ampli différentiel, le point de connexion des deux émetteurs est donc l'équivalent d'une masse virtuelle.

Toutes les autres règles habituelles pour le dessin du circuit équivalent "petits signaux" sont applicables, à savoir que les sources de tension constante sont annulées (et donc remplacées par des courts-circuits), et que les sources de courant constant sont également annulées (et donc remplacées par des circuits ouverts).

Le circuit équivalent "petits signaux" valable pour l'étude du gain différentiel peut donc se dessiner comme ci-dessous. Le point commun des émetteurs étant à la masse dans ce circuit équivalent, on ne change en rien son comportement si on le coupe en deux selon l'axe de symétrie, pour étudier séparément chacune des parties. D'où le demi circuit équivalent en mode différentiel résultant.



Le gain en tension d'une moitié de l'ampli différentiel est donc égal au gain d'un montage émetteur commun, soit $-g_m \cdot R_C$. En considérant l'ampli différentiel complet, l'écart de tension entre les deux entrées est doublé, ainsi qu'entre les deux sorties. On obtient donc aussi:

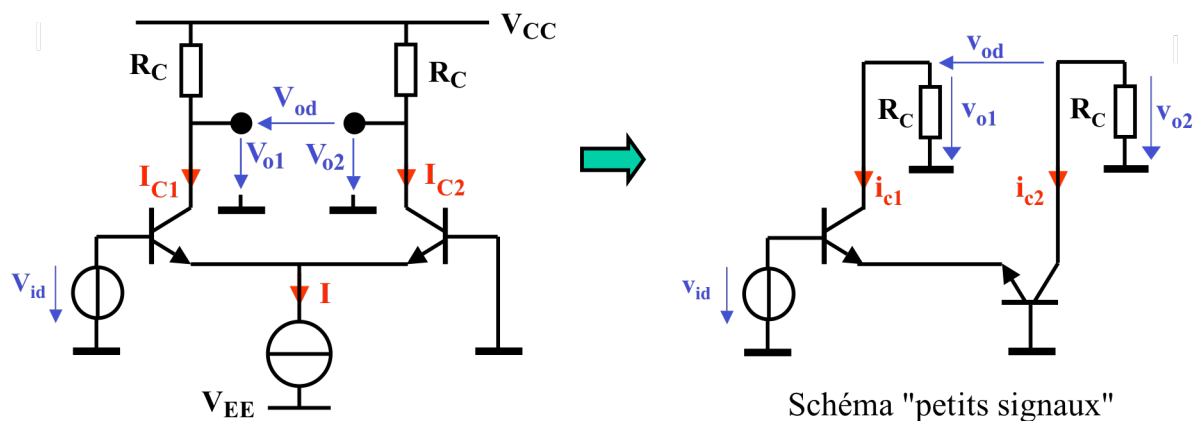
$$A_d = \frac{v_{od}}{v_{id}} = g_m \cdot R_C \quad \text{gain en mode différentiel à sortie différentielle}$$

$$R_{id} = \frac{v_{id}}{i_b} = \frac{2}{g_{be}} \quad \text{résistance différentielle d'entrée}$$

Cette résistance d'entrée est le double de celle d'un montage émetteur commun qui serait polarisé par un courant $I/2$.

Méthode 4: méthode de l'entrée asymétrique

Le gain différentiel ne se modifie pas si on change le niveau moyen des deux entrées. Au lieu d'appliquer la tension différentielle d'entrée v_{id} de façon antisymétrique, on va dès lors fixer la référence du zéro d'un côté de la source v_{id} , ce qui revient à connecter une des entrées à la masse et à appliquer la totalité de la tension v_{id} sur l'autre entrée.



Pour étudier le gain différentiel, on examine successivement l'effet du signal d'entrée de T_1 sur le collecteur de T_1 , puis sur le collecteur de T_2 .

En considérant tout d'abord la sortie sur le collecteur de T_1 , ce transistor se comporte comme un montage émetteur commun dégénéré par la présence d'une résistance entre son émetteur et la masse, qui n'est autre que la résistance d'entrée de T_2 monté en base commune, valant $1/g_m$. La tension de sortie v_{o1} peut dès lors se calculer aisément en se basant sur la formule du gain en tension d'un émetteur commun dégénéré:

$$v_{o1} = \frac{-g_m \cdot R_C}{1 + g_m \cdot R_E} \cdot v_{id} = \frac{-g_m \cdot R_C}{1 + g_m \cdot 1/g_m} \cdot v_{id} = \frac{-g_m \cdot R_C}{2} \cdot v_{id}$$

En considérant d'autre part la sortie vers T_2 via l'émetteur de T_1 , on voit que T_1 joue le rôle d'un collecteur commun, suivi d'un transistor T_2 monté en base commune.

$$v_{o2} = \frac{g_m \cdot R_E}{1 + g_m \cdot R_E} \cdot g_m \cdot R_C \cdot v_{id} = \frac{g_m \cdot 1/g_m}{1 + g_m \cdot 1/g_m} \cdot g_m \cdot R_C \cdot v_{id} = \frac{g_m \cdot R_C}{2} \cdot v_{id}$$

Sachant que $v_{od} = v_{o2} - v_{o1}$, on obtient:

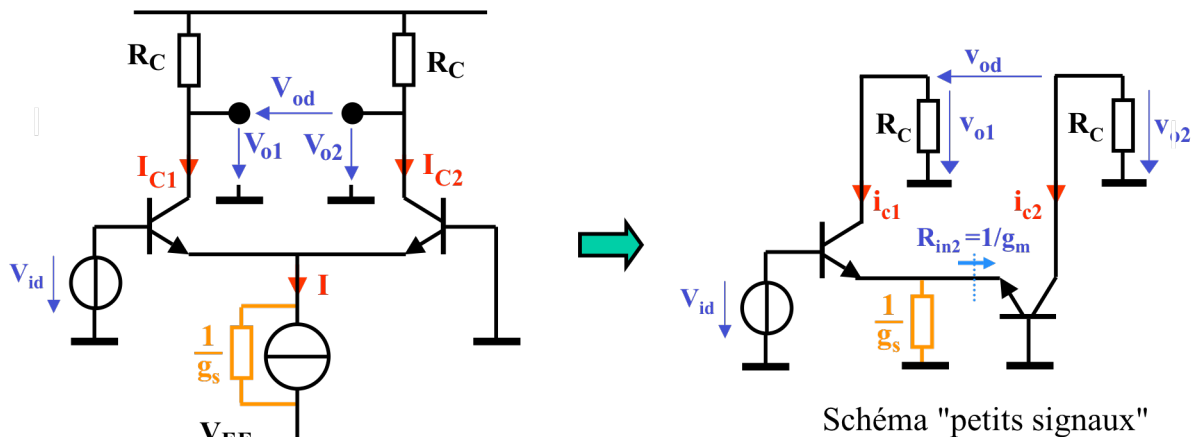
$$A_d = \frac{v_{od}}{v_{id}} = g_m \cdot R_C \quad \text{gain en mode différentiel à sortie différentielle}$$

La résistance d'entrée différentielle n'est autre que celle d'entrée de T_1 :

$$R_{id} = \frac{1}{g_{be}} + \beta \cdot R_E = \frac{1}{g_{be}} + \beta \cdot \frac{1}{g_m} = \frac{2}{g_{be}} \quad \text{résistance différentielle d'entrée}$$

Cette troisième méthode de calcul donne accès à un résultat supplémentaire intéressant. Elle permet en effet de visualiser clairement l'effet d'une conductance non nulle de la source de courant sur le gain différentiel.

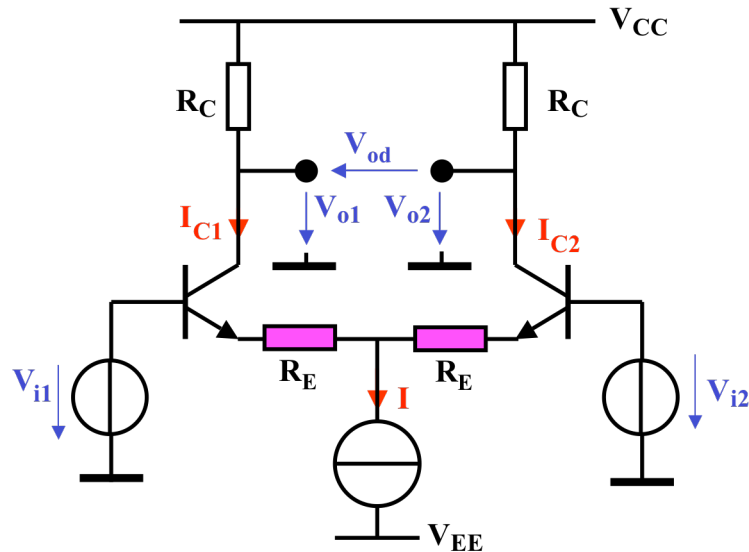
Au cas où l'admittance interne de la source de courant aurait une valeur g_s non nulle, le circuit se transforme comme suit:



Cette admittance se retrouve en parallèle sur l'admittance d'entrée de T_2 , c'est à dire g_m . Tant que g_s reste d'un ordre de grandeur inférieure à g_m , elle ne modifie donc pas les performances du circuit sur le plan du gain différentiel et de la résistance d'entrée différentielle. On verra ultérieurement que g_s affecte essentiellement le gain en mode commun de l'ampli différentiel.

2.4.2 Gain en tension différentiel A_d de l'ampli différentiel dégénéré

On parle d'ampli différentiel dégénéré lorsque le gain en tension est réduit par l'adjonction de résistances en série dans les émetteurs des deux transistors.

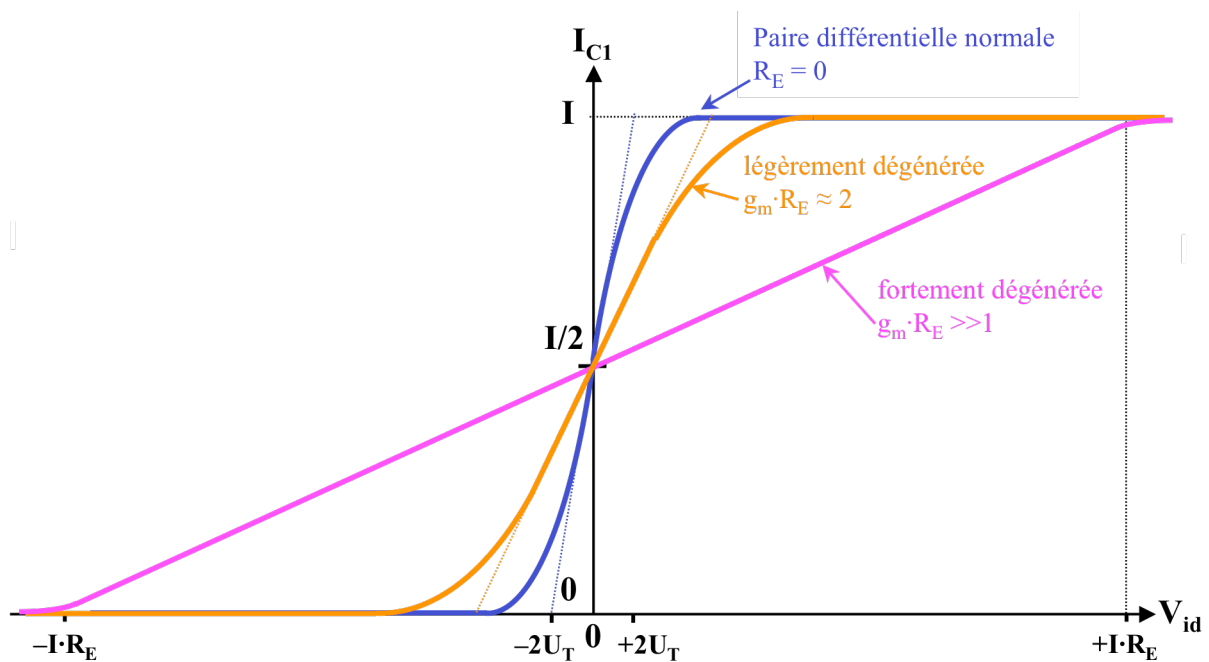


Cette technique permet un contrôle précis de la valeur du gain différentiel. Elle permet également d'augmenter considérablement la gamme des tensions d'entrée pour laquelle la paire différentielle peut être considérée comme linéaire.

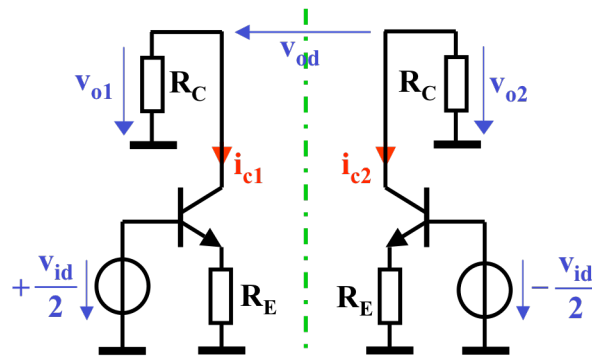
La fonction de transfert "grands signaux" répond à l'équation:

$$V_{id} = 2 \cdot U_T \cdot \tanh^{-1} \left(\frac{2 \cdot \Delta I}{I} \right) + 2 \cdot R_E \cdot \Delta I$$

Elle a l'allure suivante:



Le demi circuit équivalent en mode différentiel pour les petits signaux est le suivant:



Le gain en tension différentiel de la paire différentielle dégénérée s'obtient aisément à partir de l'expression du gain en tension du montage EC dégénéré, avec $R_C \ll 1/g_{ce}$:

$$A_d = \frac{v_{od}}{v_{id}} = \frac{g_m \cdot R_C}{1 + g_m \cdot R_E} \quad \text{gain en mode différentiel à sortie différentielle}$$

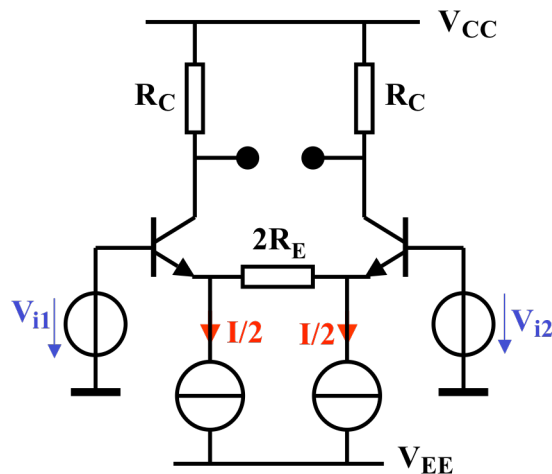
Si la paire différentielle est fortement dégénérée, c'est à dire si:

$$g_m \cdot R_E \gg 1 \quad \Leftrightarrow \quad I \cdot R_E \gg 2 \cdot U_T$$

alors:

$$A_d = \frac{v_{od}}{v_{id}} = \frac{R_C}{R_E} \quad \text{gain en mode différentiel à sortie différentielle}$$

Remarque: la paire différentielle dégénérée, avec le même comportement tel que décrit ci-dessus, peut aussi se réaliser sous la forme suivante:



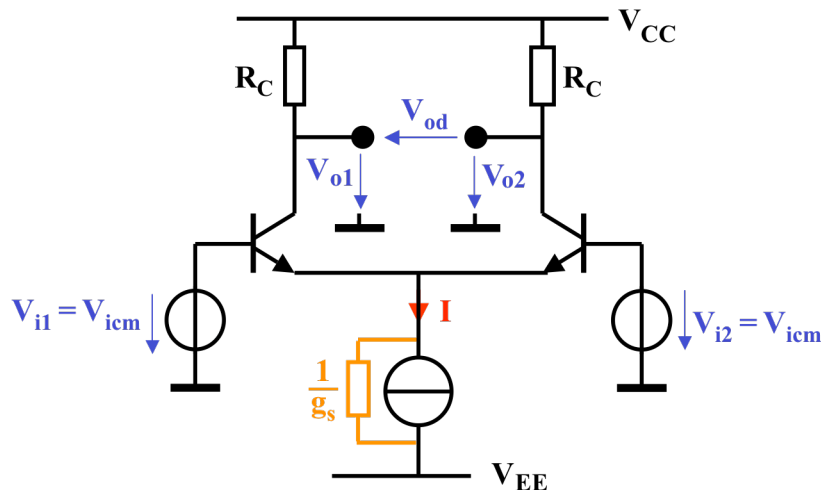
Dans ce montage, la résistance d'émetteur n'est parcourue que par le courant différentiel résultant de l'application d'un signal différentiel à l'entrée. Ceci représente un avantage par rapport au schéma classique à une seule source de courant, où les résistances R_E sont parcourues en plus par le courant de polarisation $I/2$, ce qui réduit la dynamique d'entrée de mode commun.

2.4.3 Gain en tension de mode commun A_c

Taux de réjection de mode commun

Le gain de mode commun est une imperfection des amplis différentiels, que l'on s'efforce de minimiser. Il résulte du fait que les sorties de l'ampli ne sont pas totalement insensibles à l'application d'un même signal sur les deux entrées. Contrairement au cas du gain différentiel, l'admittance parasite g_s de la source de courant ne peut plus être négligée pour l'étude du gain de mode commun, car c'est précisément cette admittance qui en est la cause principale.

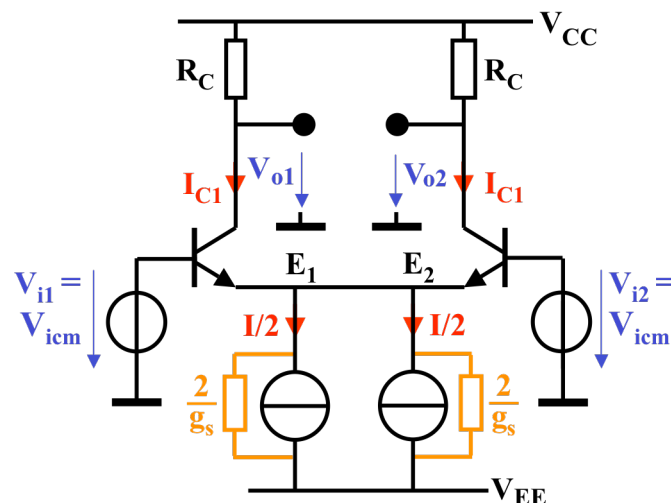
Pour étudier le gain de mode commun, on applique un signal identique sur les 2 entrées:



Le principe d'un demi circuit équivalent peut à nouveau être appliqué pour l'étude du gain de mode commun.

Attention! : en mode commun, on attaque l'ampli avec 2 signaux identiques, et le demi circuit équivalent correspondant n'est pas le même qu'en mode différentiel.

Le circuit ci-dessus est tout d'abord représenté sous la forme équivalente suivante:

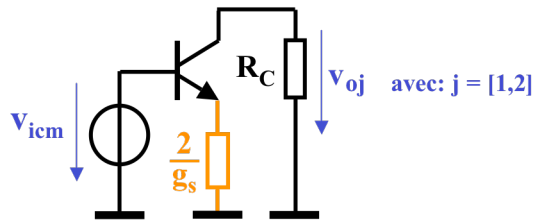


Lorsque les deux entrées d'un circuit symétrique sont excitées par un même signal, en l'occurrence une tension appelée "tension de mode commun" V_{icm} , les courants et les tensions dans le circuit ne sont pas perturbés si les branches joignant les deux parties symétriques du circuit sont coupées. Dans ce cas, les deux segments de la connexion d'émetteurs coupée sont simplement laissés flottants, et ne sont donc pas reliés à la masse, car leur potentiel se modifie

avec le signal d'entrée V_{icm} . En mode commun, aucun courant ne circule dans les branches reliant les deux parties symétriques, ce qui autorise la coupure effectuée.

Le comportement de la paire différentielle soumise à un signal de mode commun peut donc s'étudier sur le demi circuit équivalent, c'est à dire une seule des deux moitiés identiques.

Pour l'étude du gain en "petits signaux", on annule les sources constantes, ce qui donne le circuit équivalent suivant:



Le gain de mode commun A_c se définit comme le rapport entre les variations de la tension collecteur et la variation de la tension commune appliquée aux deux entrées de l'ampli différentiel. C'est le gain en tension d'un EC fortement dégénéré, car g_s est toujours $\ll g_m$.

$$A_c = \frac{v_{o1/2}}{v_{icm}} = -\frac{R_C}{2/g_s} = -\frac{g_s \cdot R_C}{2}$$

Pour réduire le gain de mode commun, on a donc intérêt à utiliser une "bonne" source de courant, avec une conductance de sortie g_s très faible.

Il faut noter que lorsque les 2 transistors sont identiques, comme on l'a supposé jusqu'ici, le gain de mode commun n'existe que pour une sortie asymétrique de l'ampli différentiel (sortie entre un des collecteurs et la masse).

Pour une sortie différentielle, le gain de mode commun est nul si les composants sont parfaitement appariés, car les deux branches symétriques se comportent de façon identique.

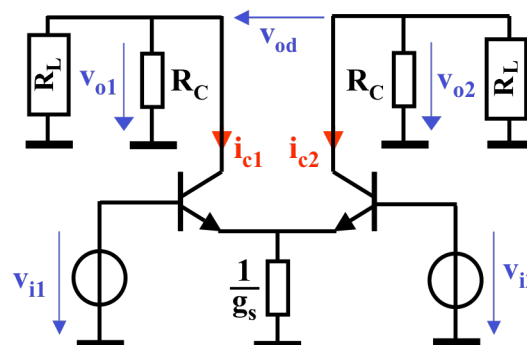
Le taux de réjection du mode commun (Common Mode Rejection Ratio ou CMRR) se définit finalement comme le rapport entre le gain différentiel et le gain de mode commun:

$$CMRR = \frac{|A_d|}{|A_c|} \quad \text{ou} \quad CMRR [dB] = 20 \cdot \log \frac{|A_d|}{|A_c|} = A_d [dB] - A_c [dB]$$

2.4.4 Effets d'une charge externe

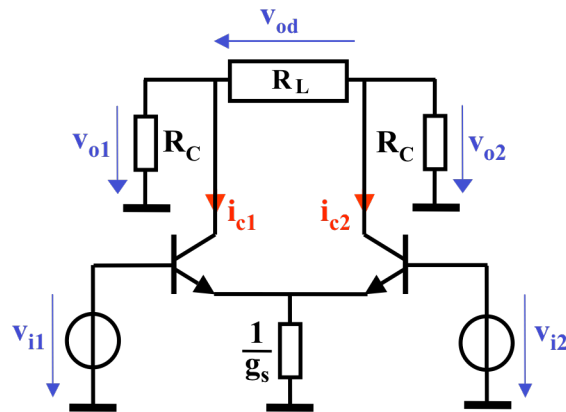
Du point de vue "petits signaux", tout ce qui est connecté aux sorties de l'ampli différentiel peut être modélisé par une résistance de charge.

Dans le cas de charges asymétriques, les charges sont entre chaque collecteur et la masse:



Dans les expressions des gains, tant différentiel que de mode commun, R_C est remplacée par $R_C // R_L$.

Dans le cas d'une charge symétrique, placée entre les collecteurs:



En mode différentiel, par symétrie, dans un schéma "petits signaux", tout se passe comme si le point milieu de R_L était à la masse, ce qui revient à avoir deux charges asymétriques de valeur $R_L/2$. Dans l'expression du gain différentiel, R_C est remplacée par $R_C \parallel (R_L/2)$.

En mode commun, les deux collecteurs bougent de manière identique et R_L n'a donc aucun effet sur le gain de mode commun.

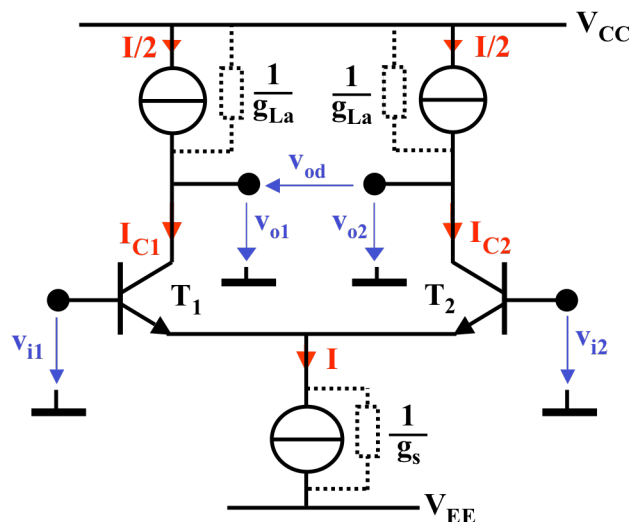
2.5. AMPLI DIFFERENTIEL A CHARGES ACTIVES

2.5.1 Principe des amplificateurs à charge active

Que ce soit pour le simple montage émetteur commun ou pour l'ampli différentiel, on sait que le gain en tension dépend directement de la valeur de la résistance de charge R_C . L'usage d'une résistance de valeur élevée exigerait aussi une tension d'alimentation de valeur élevée en raison de la chute de tension provoquée par le courant de polarisation. Dans les circuits intégrés, la tension d'alimentation maximum est imposée par la technologie, et il n'est pas économique de réaliser des résistances de valeur élevée.

Pour contourner ces limitations, on peut utiliser le principe de la charge active. Cette technique consiste à remplacer la résistance de charge par une source de courant. Sur le plan de la polarisation, la source de courant fournit le courant de collecteur désiré. Pour les petits signaux variables superposés à la polarisation, cette charge se comporte comme une résistance de valeur très élevée, correspondant à la résistance de sortie de la source de courant.

Ce principe est fréquemment appliqué à la paire différentielle intégrée. En prenant certaines précautions, dont il sera question plus loin, il peut aussi être appliqué aux circuits à composants discrets. Le schéma de principe est le suivant:

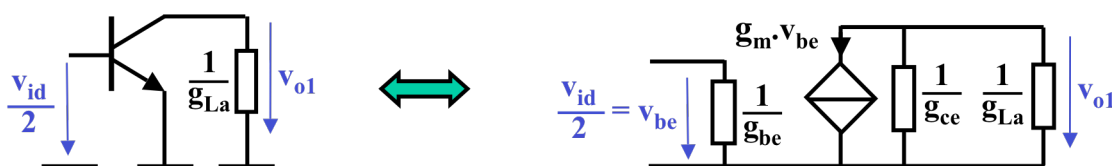


Ce schéma est utilisé principalement pour une sortie différentielle. Lorsqu'on souhaite utiliser une sortie asymétrique, c'est-à-dire entre un des collecteurs et la masse, on verra qu'il est possible de modifier légèrement la connexion des transistors réalisant les charges actives pour améliorer considérablement les performances.

2.5.2 Gain en tension différentiel A_d de l'ampli différentiel à charges actives

Lorsque la résistance équivalente de la charge de collecteur est comparable ou supérieure à $1/g_{ce}$, il n'est plus possible de négliger cette dernière.

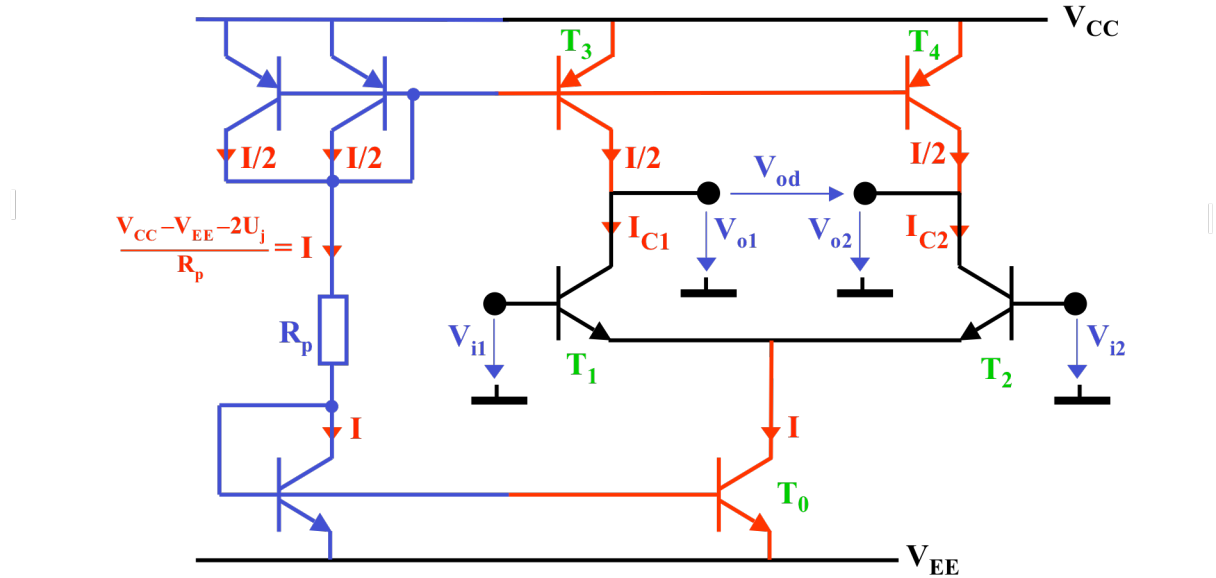
Pour les "petits signaux", le demi circuit équivalent en mode différentiel de l'ampli avec charges actives est le suivant:



Le gain différentiel est égal (en valeur absolue) à celui de l'émetteur commun, et vaut:

$$A_d = \frac{v_{od}}{v_{id}} = g_m \cdot \frac{1}{g_{ce} + g_{La}} \quad \text{gain en mode différentiel à sortie différentielle}$$

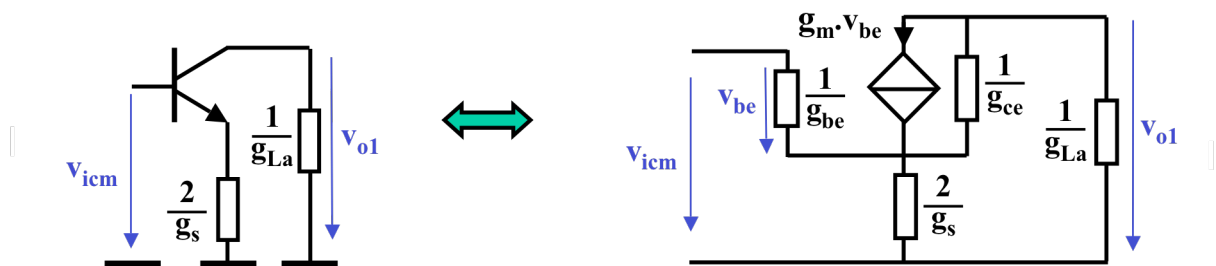
La réalisation pratique des sources de courant se fait à l'aide de miroirs de courant, ainsi:



Ce type de circuit a un gain extrêmement élevé. Il est toutefois délicat à utiliser car son point de fonctionnement au repos dépend de l'équilibre précis des sources de courant du bas et du haut, qui est notamment influencé par la tension de mode commun appliquée aux entrées. Le "gain de mode commun" est en effet particulièrement élevé, comme démontré ci-dessous.

2.5.3 Gain en tension de mode commun A_c de l'ampli différentiel à charges actives

Pour les "petits signaux", le demi circuit équivalent en mode commun de l'ampli avec charges actives est le suivant:



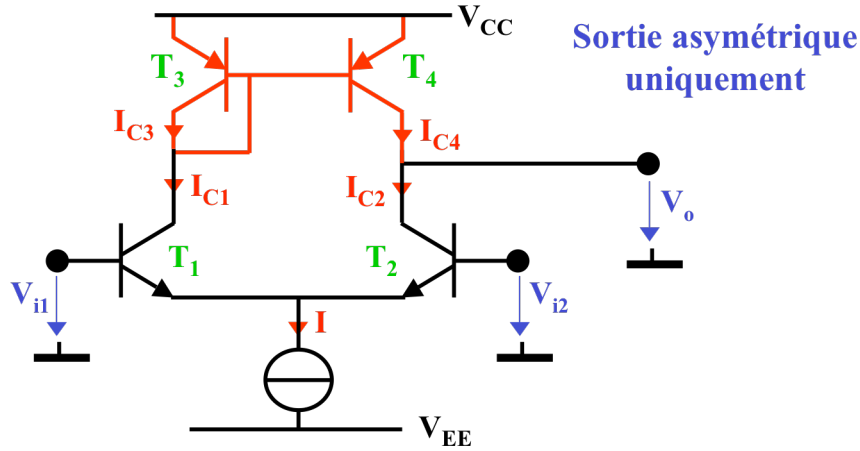
Le "gain de mode commun" est identique à celui d'un EC fortement dégénéré:

$$A_c = \frac{v_{o1/2}}{v_{icm}} \approx -\frac{1/g_{La}}{2/g_s} = -\frac{g_s}{2 \cdot g_{La}}$$

Le "gain de mode commun" est particulièrement élevé en raison de la forte résistance de la charge active. Si les paires T_1 - T_3 et T_2 - T_4 sont parfaitement identiques, le gain de mode commun n'existe pas pour une sortie différentielle. Toutefois, la dérive du point de fonctionnement peut être suffisamment grande pour réduire considérablement la dynamique de sortie du signal utile, voire même saturer l'un des transistors T_1 à T_4 .

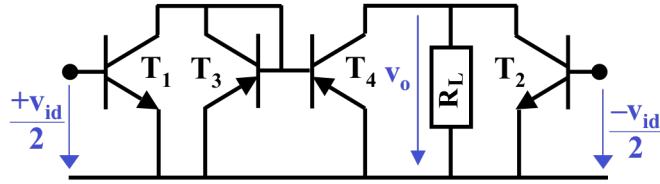
2.5.4 Variante de l'ampli différentiel à charge active à miroir de courant

Lorsque seule une sortie asymétrique est désirée, on adopte généralement le schéma suivant:

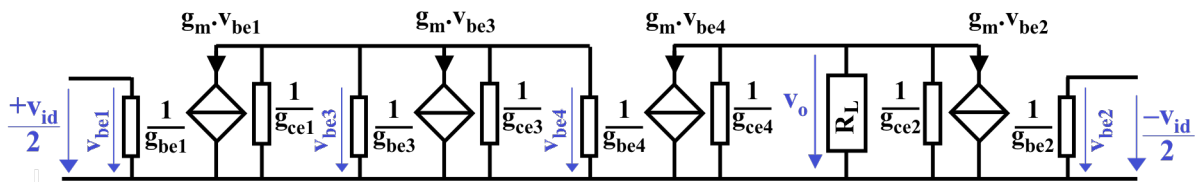


Dans ce circuit, la paire T_3 - T_4 joue le rôle de miroir de courant, T_4 étant la charge active de T_2 . Cette configuration permet notamment de doubler le gain en tension ou la transconductance pour une sortie asymétrique.

En mode différentiel $v_{i1} = -v_{i2} = v_{id}/2$, on peut considérer que pour les "petits signaux" les émetteurs sont à la masse. Le schéma "petits signaux", avec une éventuelle charge R_L extérieure en sortie, est alors le suivant:



Avec le schéma équivalent détaillé des transistors, tous parcourus par le même courant de repos $I/2$, donc ayant tous le même g_m , cela donne:



$$g_m \cdot v_{be1} + g_m \cdot v_{be3} + g_{be3} \cdot v_{be3} + g_{ce1} \cdot v_{be3} + g_{ce3} \cdot v_{be3} + g_{be4} \cdot v_{be4} = 0$$

$$v_{be3} = v_{be4}$$

Comme $g_m \gg g_{be} \gg g_{ce}$, on en tire:

$$v_{be3} = v_{be4} = -v_{be1}$$

$$v_o = -(g_m \cdot v_{be4} + g_m \cdot v_{be2}) \cdot \frac{1}{g_{ce2} + g_{ce4} + G_L}$$

$$v_o = g_m \cdot (v_{be1} - v_{be2}) \cdot \frac{1}{g_{ce2} + g_{ce4} + 1/R_L} = g_m \cdot v_{id} \cdot \frac{1}{g_{ce2} + g_{ce4} + 1/R_L}$$

$$A_d = \frac{v_o}{v_{id}} = \frac{g_m}{g_{ce2} + g_{ce4} + 1/R_L} \quad \text{gain en mode différentiel à sortie asymétrique !}$$

$$\text{si: } R_L \ll \frac{1}{g_{ce2} + g_{ce4}} \quad \text{alors: } A_d = g_m \cdot R_L$$

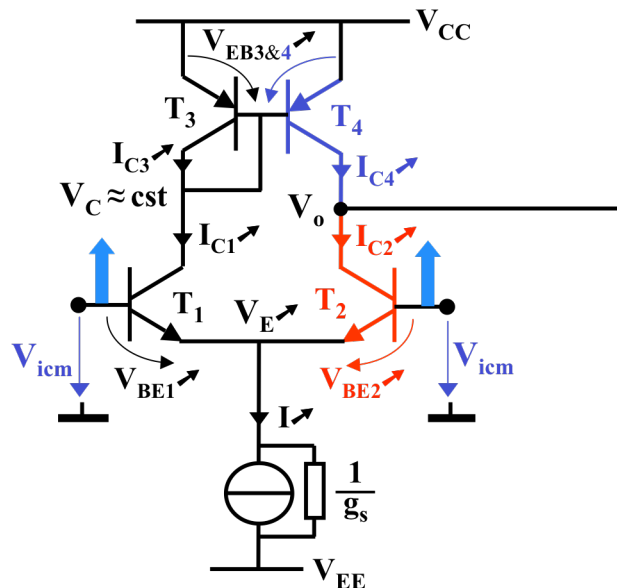
$$\text{si: } \frac{1}{g_{ce2} + g_{ce4}} \ll R_L \quad \text{alors: } A_{d,max} = \frac{g_m}{g_{ce2} + g_{ce4}}$$

Malgré son unique sortie asymétrique, la paire différentielle à charge active par miroir de courant a un gain différentiel égal à celui à sortie différentielle de la paire différentielle classique à charges actives par sources de courant, alors que cette dernière voit son gain différentiel diminué de moitié lorsqu'on l'utilise avec une sortie asymétrique.

En tenant compte du fait que le miroir de courant peut être plus sophistiqué, avec une résistance de sortie plus élevée que $1/g_{ce4}$, on peut écrire plus généralement:

$$A_d = \frac{v_o}{v_{id}} = \frac{g_m}{g_{ce2} + g_{out,miroir} + \frac{1}{R_L}} = g_m \left(\frac{1}{g_{ce2} // R_{out,miroir} // R_L} \right)$$

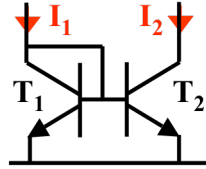
Une autre propriété avantageuse de cette paire différentielle avec charge active à miroir de courant est sa faible sensibilité à la tension d'entrée de mode commun.



En effet, lors de l'application d'un signal de mode commun, l'augmentation éventuelle du courant débité par la source se retrouve répartie de façon égale entre les deux transistors T_1 et T_2 . L'augmentation du courant collecteur de T_1 traverse T_3 , est recopiée par T_4 et vient compenser celle dans T_2 . Ce système permet donc de garder l'équilibre. Le potentiel V_o ne bouge pas. L'étude détaillée du gain de mode commun de cet étage sort toutefois du cadre de ce cours, et est traitée dans le cours de conception des circuits intégrés analogiques.

2.5.5 Réalisation de miroir de courant en composants discrets

Un miroir de courant intégré jouit d'une excellente précision en raison de l'appariement quasi-idéal des transistors qui le composent. Le courant dans les deux branches est donc pratiquement identique.

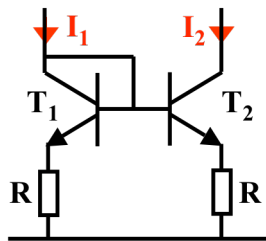


Sachant que le gain en courant des transistors est grand (facilement plus de 100):

$$\frac{I_2}{I_1} = \frac{I_{C2}}{I_{C1} + I_{B1} + I_{B2}} \approx \frac{I_{C2}}{I_{C1}} = \frac{I_{s2} \cdot e^{V_{BE}/U_T}}{I_{s1} \cdot e^{V_{BE}/U_T}} = \frac{I_{s2}}{I_{s1}} \approx 1$$

Dans le cas d'une réalisation en composants discrets, les différences entre composants se répercutent directement sur la précision. Pour une différence de 10% entre I_{s1} et I_{s2} , on observera donc directement la même différence entre les courants des collecteurs.

L'ajout d'une petite résistance en série dans la connexion des deux émetteurs permet de réduire considérablement cet écart:



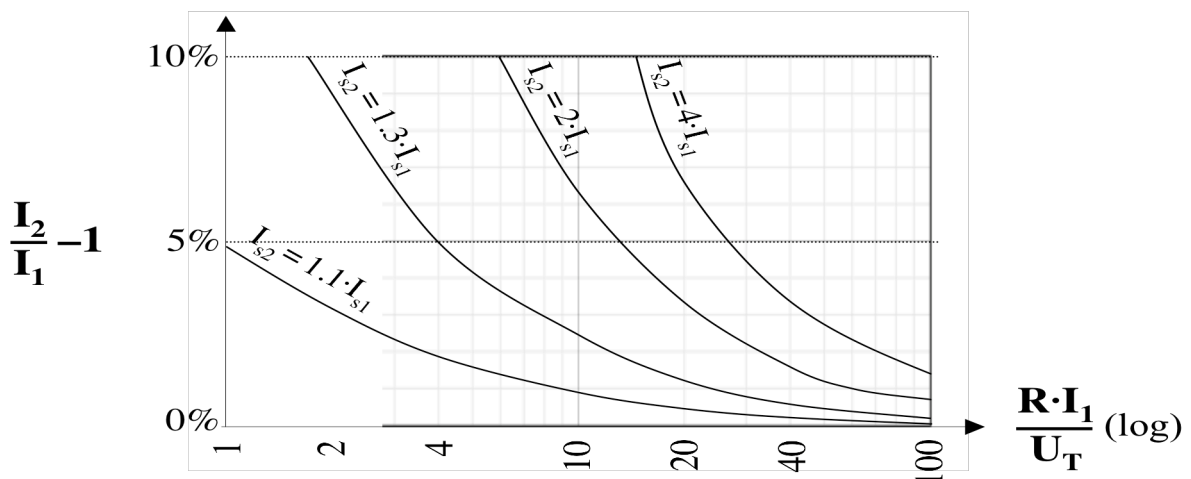
Sachant que le gain en courant des transistors est grand (facilement plus de 100):

$$V_{BE1} + I_1 \cdot R = V_{BE2} + I_2 \cdot R$$

$$I_2 = I_1 + \frac{1}{R} \cdot (V_{BE1} - V_{BE2}) = I_1 + \frac{1}{R} \cdot (U_T \cdot \ln \frac{I_1}{I_{s1}} - U_T \cdot \ln \frac{I_2}{I_{s2}}) = I_1 + \frac{1}{R} \cdot U_T \cdot \ln \frac{I_1}{I_2}$$

Cette équation transcendante doit être résolue par approximations successives.

La figure ci-dessous montre l'amélioration de la symétrie obtenue en fonction de la chute de tension sur les résistances:



Exemple numérique:

Pour $I_1 = 1 \text{ mA}$, $R = 1 \text{ k}\Omega$, et un écart de 10% entre I_{s1} et I_{s2} , on trouve $I_2 = 1.0025 \text{ mA}$.

La présence des résistances a aussi comme avantage d'augmenter la résistance de sortie d'un facteur $g_m R$.

Si: $I \cdot R \gg U_T$ alors
$$R_{\text{out}} = \frac{1}{g_{ce}} \cdot g_m \cdot R = \frac{1}{g_{ce}} \cdot \frac{I \cdot R}{U_T}$$

Par contre la dynamique de tension de sortie est réduite de $I \cdot R$.

2.6. APPLICATION PARTICULIERE DE L'AMPLIFICATEUR DIFFERENTIEL: LE MULTIPLIEUR ANALOGIQUE

Comme l'indique son nom, l'amplificateur différentiel est principalement utilisé pour faire de l'amplification. Une autre application remarquable de cette structure est la multiplication de deux signaux analogiques.

2.6.1 Amplificateur différentiel à transconductance variable, multiplieur analogique "deux quadrants"

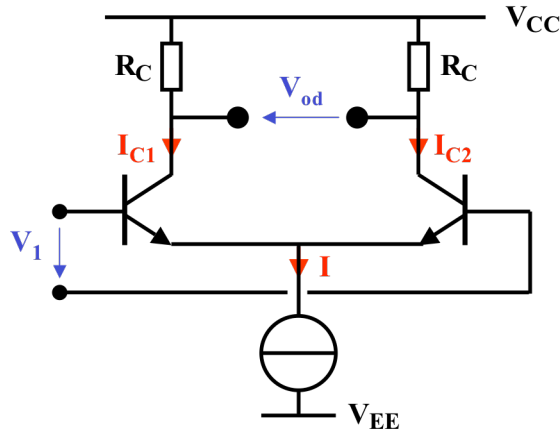
On a démontré (§2.3.) que l'amplificateur différentiel de base, représenté ci-dessous, avait la caractéristique de transfert suivante:

$$V_{od} = 2 \cdot R_C \cdot \Delta I = R_C \cdot I \cdot \tanh\left(\frac{V_1}{2 \cdot U_T}\right)$$

Pour des signaux V_1 limités à ± 10 mV autour de zéro, l'approximation linéaire suivante présente une erreur maximum de 1% :

$$V_{od} = R_C \cdot I \cdot \frac{V_1}{2 \cdot U_T}$$

On a donc une multiplication de V_1 par I .



Pour obtenir le produit de deux tensions V_1 et V_2 , il suffit de remplacer la source de courant constant par une source de courant commandée par la seconde tension d'entrée V_2 , selon une relation linéaire, telle que $I = G \cdot V_2$.

Ce qui donnera finalement:

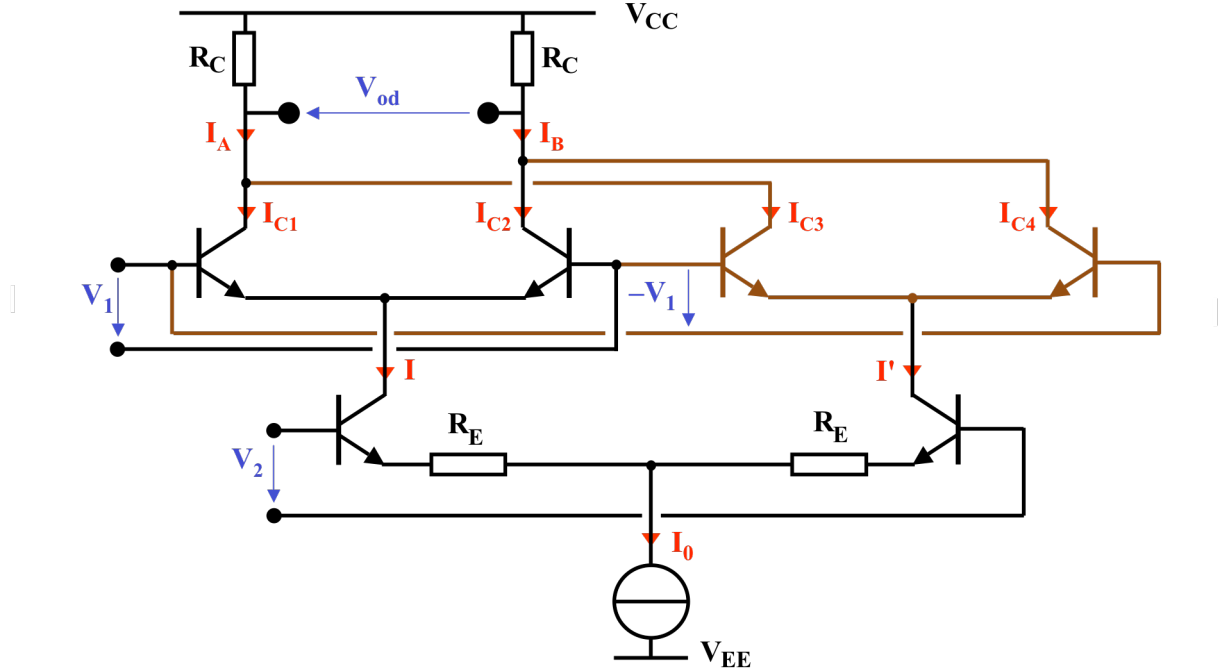
$$V_{od} = R_C \cdot G \cdot V_2 \cdot \frac{V_1}{2 \cdot U_T} = \frac{R_C \cdot G}{2 \cdot U_T} \cdot V_1 \cdot V_2$$

Ce multiplieur est dit "deux quadrants" (dans un plan V_1, V_2) car, si V_1 peut être positif ou négatif, $G \cdot V_2$ doit toujours être positif, donc V_2 d'une seule polarité.

Le nom d'amplificateur différentiel à transconductance variable, vient du fait que V_2 fait varier le courant I , donc la transconductance $g_m = I/2U_T$ des transistors.

2.6.2 Multiplieur analogique "quatre quadrants" à cellule de "Gilbert"

La limitation à une seule polarité pour V_2 peut être éliminée par l'utilisation du circuit décrit ci-après, connu sous le nom de "multiplieur de Gilbert" ou "cellule de Gilbert", du nom de son inventeur, Mr. Barie Gilbert. Son schéma est le suivant:



Dans ce circuit, la simple source de courant commandée par V_2 est remplacée par la paire différentielle du bas dont V_2 est l'entrée. Ses deux collecteurs constituent donc deux sources de courant I et I' , qui vont chacun polariser l'une des deux paires différentielles à transconductance variable du haut, l'une amplifiant $+V_1$, l'autre $-V_1$. Les collecteurs gauches, respectivement droites, des deux paires sont connectées en parallèle afin d'additionner leurs courants.

Si la paire différentielle du bas est fortement dégénérée :

$$I = \frac{I_0}{2} + \frac{V_2}{2 \cdot R_E} \quad \text{et} \quad I' = \frac{I_0}{2} - \frac{V_2}{2 \cdot R_E}$$

Pour la paire supérieure gauche :

$$I_{C1} = \frac{I}{2} + \frac{I}{2} \tanh\left(\frac{V_1}{2 \cdot U_T}\right) = \left(\frac{I_0}{4} + \frac{V_2}{4 \cdot R_E}\right) + \left(\frac{I_0}{4} + \frac{V_2}{4 \cdot R_E}\right) \tanh\left(\frac{V_1}{2 \cdot U_T}\right)$$

$$I_{C2} = \frac{I}{2} - \frac{I}{2} \tanh\left(\frac{V_1}{2 \cdot U_T}\right) = \left(\frac{I_0}{4} + \frac{V_2}{4 \cdot R_E}\right) - \left(\frac{I_0}{4} + \frac{V_2}{4 \cdot R_E}\right) \tanh\left(\frac{V_1}{2 \cdot U_T}\right)$$

Pour la paire supérieure droite, dont l'entrée est inversée :

$$I_{C3} = \frac{I'}{2} + \frac{I'}{2} \tanh\left(\frac{-V_1}{2 \cdot U_T}\right) = \left(\frac{I_0}{4} - \frac{V_2}{4 \cdot R_E}\right) + \left(\frac{I_0}{4} - \frac{V_2}{4 \cdot R_E}\right) \tanh\left(\frac{-V_1}{2 \cdot U_T}\right)$$

$$I_{C4} = \frac{I'}{2} - \frac{I'}{2} \tanh\left(\frac{-V_1}{2 \cdot U_T}\right) = \left(\frac{I_0}{4} - \frac{V_2}{4 \cdot R_E}\right) - \left(\frac{I_0}{4} - \frac{V_2}{4 \cdot R_E}\right) \tanh\left(\frac{-V_1}{2 \cdot U_T}\right)$$

Les courants des collecteurs connectés s'additionnant, et sachant que $\tanh(-x) = -\tanh(x)$:

$$I_A = I_{C1} + I_{C3} = \frac{I_0}{2} + \frac{V_2}{2 \cdot R_E} \cdot \tanh\left(\frac{V_1}{2 \cdot U_T}\right)$$

$$I_B = I_{C2} + I_{C4} = \frac{I_0}{2} - \frac{V_2}{2 \cdot R_E} \cdot \tanh\left(\frac{V_1}{2 \cdot U_T}\right)$$

Et enfin:

$$V_{od} = R_C \cdot (I_A - I_B) = R_C \cdot \frac{V_2}{R_E} \cdot \tanh\left(\frac{V_1}{2 \cdot U_T}\right) = \frac{R_C}{R_E} \cdot V_2 \cdot \tanh\left(\frac{V_1}{2 \cdot U_T}\right)$$

Pour des signaux V_1 limités à ± 10 mV autour de zéro, les approximations linéaires suivantes présentent une erreur maximum de 1% :

$$I_A = \frac{I_0}{2} + \frac{V_2 \cdot V_1}{2 \cdot R_E \cdot 2 \cdot U_T} \quad \text{et} \quad I_B = \frac{I_0}{2} - \frac{V_2 \cdot V_1}{2 \cdot R_E \cdot 2 \cdot U_T}$$

$$V_{od} = \frac{R_C}{R_E} \cdot V_2 \cdot \frac{V_1}{2 \cdot U_T} = \frac{V_1 \cdot V_2}{2 \cdot U_T \cdot R_E / R_C}$$

On a bien le produit des signaux V_1 et V_2 , chacun pouvant être positif ou négatif, indépendamment l'un de l'autre, d'où l'appellation multiplicateur "quatre quadrants" (dans un plan V_1, V_2).

La dynamique utile du signal V_2 peut être fixée librement par le produit $I_0 R_E$, par contre celle de V_1 est limitée à environ ± 10 mV autour de 0 V.

Pour élargir la dynamique de l'entrée V_1 , il n'est malheureusement pas possible de dégénérer les deux paires différentielles supérieures, car leur gain en tension ne serait alors plus proportionnel à g_m , ce qui supprimerait la fonction de multiplication recherchée.

2.6.3 Applications du multiplieur analogique à cellule de "Gilbert"

Les principales applications de la cellule de "Gilbert", appelée aussi modulateur équilibré (balanced modulator, balanced mixer), sont les suivantes:

- Modulation d'amplitude (AM): $s_{AM}(t) = s_{source}(t) \cdot \sin(2\pi \cdot f_{porteuse} \cdot t)$

- Démodulation AM synchrone:

$$\begin{aligned} s_{AM}(t) \cdot \sin(2\pi \cdot f_{porteuse} \cdot t) &= [s_{source}(t) \cdot \sin(2\pi \cdot f_{porteuse} \cdot t)] \cdot \sin(2\pi \cdot f_{porteuse} \cdot t) \\ &= \frac{1}{2} \cdot s_{source}(t) - \frac{1}{2} \cdot s_{source}(t) \cdot \cos(2\pi \cdot 2f_{porteuse} \cdot t) \\ &= \frac{1}{2} \cdot s_{source}(t) \quad \text{après filtrage passe-bas} \end{aligned}$$

- Changement de fréquence:

$$\begin{aligned} \sin(2\pi \cdot f_1 \cdot t) \cdot \sin(2\pi \cdot f_2 \cdot t) &= \frac{1}{2} \cdot \cos(2\pi \cdot (f_2 - f_1) \cdot t) - \frac{1}{2} \cdot \cos(2\pi \cdot (f_2 + f_1) \cdot t) \\ &= \frac{1}{2} \cdot \cos(2\pi \cdot (f_2 - f_1) \cdot t) \quad \text{après filtrage passe-bande} \\ \text{ou } \frac{1}{2} \cdot \cos(2\pi \cdot (f_2 + f_1) \cdot t) &\quad \text{après filtrage passe-bande} \end{aligned}$$

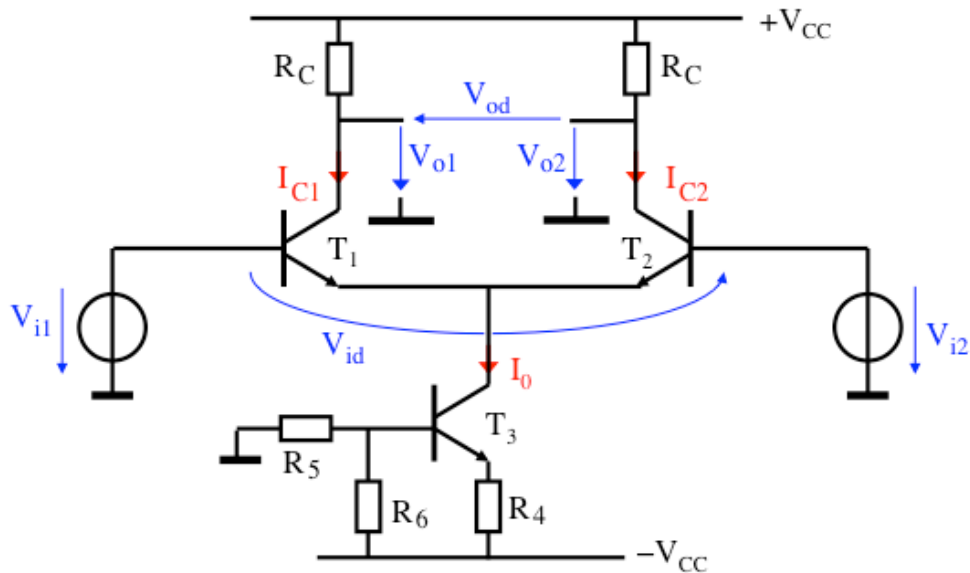
- Détection de phase:

$$\begin{aligned} \sin(2\pi \cdot f_1 \cdot t + \phi) \cdot \sin(2\pi \cdot f_1 \cdot t) &= \frac{1}{2} \cdot \cos(\phi) - \frac{1}{2} \cdot s_{source}(t) \cdot \cos(2\pi \cdot 2f_1 \cdot t) \\ &= \frac{1}{2} \cdot \cos(\phi) \quad \text{après filtrage passe-bas} \end{aligned}$$

Circuits et Systèmes Electroniques

Exercice Paire Différentielle

Soit la paire différentielle T_1 - T_2 avec sa source de courant de polarisation réalisée par T_3 :



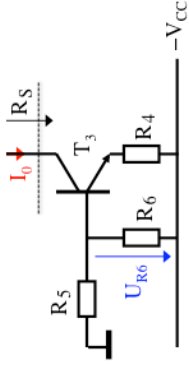
Tous les transistors sont identiques : $\beta = 300$, $V_A = 75 \text{ V}$
 $R_C = 2 \text{ k}\Omega$, $R_4 = 1.5 \text{ k}\Omega$, $R_5 = 6.8 \text{ k}\Omega$, $R_6 = 3.9 \text{ k}\Omega$, $V_{CC} = 10 \text{ V}$

Calculer :

- le courant de polarisation I_0 ainsi que la résistance de sortie R_s de la source de courant ;
- la résistance d'entrée différentielle ;
- le gain en tension en mode différentiel des sorties asymétriques et différentielle (dite aussi symétrique) ;
- la résistance de sortie différentielle et celle des sorties asymétriques ;
- le gain en tension en mode commun des sorties asymétriques, ainsi que le taux de réjection de mode commun ;
- la dynamique des sorties ;
- la dynamique d'entrée en mode commun, garantissant encore un fonctionnement inchangé en mode différentiel avec la pleine dynamique de sortie.

Circuits et Systèmes Electroniques Exercice Corrigé

a) Source de courant constant



Si l'on néglige le courant de base par rapport à celui à travers R5 et R6

$$U_{R6} = V_{CC} \frac{R_6}{R_5 + R_6} \approx 3.64 \text{ V} \quad \text{et} \quad I_0 = \frac{R_6}{R_4} \frac{V_{CC} \frac{R_6}{R_5 + R_6} - U_j}{R_4} \approx 2 \text{ mA}$$

La résistance de sortie est celle d'accès au collecteur de T3 :

$$R_S = \frac{1}{g_{ce3}} \cdot \frac{1 + g_{m3}R_E + g_{be3}R_B}{1 + g_{be3}(R_E + R_B)}$$

avec:

$$g_{m3} = \frac{I_0}{U_T} = 77 \text{ mA/V} \quad g_{be3} = \frac{g_{m3}}{\beta_3} = 0.26 \text{ mA/V} \quad g_{ce3} = \frac{I_0}{V_{A3}} = 27 \mu\text{A/V}$$

$$R_E = R_4 = 1500 \Omega \gg \frac{1}{g_{m3}} = 13 \Omega \quad R_B = R_5/R_6 = 2500 \Omega < \frac{1}{g_{be3}} = 3900 \Omega$$

$$R_E + R_B = R_4 + (R_5/R_6) = 4000 \Omega \approx \frac{1}{g_{be3}} = 3900 \Omega$$

$$\Rightarrow R_S \approx \frac{1}{g_{ce3}} \cdot \frac{g_{m3}R_4}{1 + g_{be3}(R_4 + (R_5/R_6))} \approx 2 \text{ M}\Omega$$

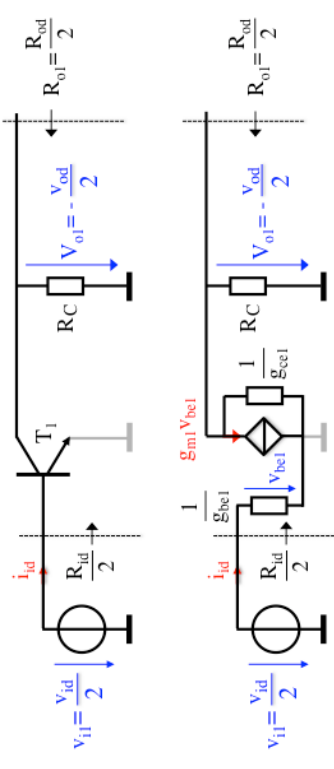
Au repos, chacun des transistors T1 et T2 est parcouru par $\frac{I_0}{2} = 1 \text{ mA}$.

$$g_{m1\text{out}2} = \frac{I_0/2}{U_T} = 38 \text{ mA/V}$$

$$g_{be1\text{out}2} = \frac{I_0/2}{\beta_{1\text{out}2}U_T} = 0.13 \text{ mA/V}$$

$$g_{ce1\text{out}2} = \frac{I_0/2}{V_{A1\text{out}2}} = 13 \mu\text{A/V}$$

b), c) et d) Le demi-schéma équivalent en mode différentiel est :



Il s'agit donc d'un amplificateur Emetteur Commun

$$\frac{V_{o1}}{v_{i1}} = \frac{V_{o1}}{V_{id}/2} = -g_{m1}(R_C // \frac{1}{g_{ce1}}) \approx -g_{m1}R_C \quad \text{car } R_C = 2 \text{ k}\Omega \ll \frac{1}{g_{ce1}} = 77 \text{ k}\Omega$$

$$A_{vd1} = \frac{V_{o1}}{V_{id}} = -\frac{g_{m1}R_C}{2} = -38 \quad (\text{sortie asymétrique})$$

$$A_{vd2} = \frac{V_{o2}}{V_{id}} = +\frac{g_{m2}R_C}{2} = +38 \quad (\text{sortie asymétrique})$$

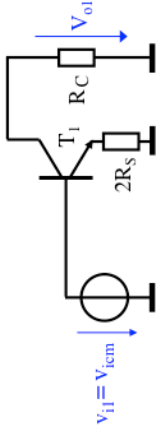
$$A_{vd} = \frac{V_{od}}{V_{id}} = +g_{m1\text{out}2}R_C = +\frac{I_0R_C}{2U_T} = +76 \quad (\text{sortie différentielle})$$

$$R_{id} = \frac{v_{id}}{i_{id}} = \frac{2}{g_{be}} = 15 \text{ k}\Omega$$

$$R_{o1} = R_{o2} = (R_C // \frac{1}{g_{ce1\text{out}2}}) \approx R_C = 2 \text{ k}\Omega \quad \text{car } R_C = 2 \text{ k}\Omega \ll \frac{1}{g_{ce1\text{out}2}} = 75 \text{ k}\Omega$$

$$R_{od} = R_{o1} + R_{o2} \approx 2R_C = 4 \text{ k}\Omega$$

e) Le demi-schéma équivalent en mode commun est :



Il s'agit donc d'un amplificateur Emetteur Commun Dégénéré

En négligeant g_{ce} (voir cours):

$$A_{vcm} = \frac{V_{oc}}{V_{icm}} = - \frac{g_{m1} R_C}{1 + g_{m1} R_C} \approx - \frac{R_C}{2R_S} = - 5 \cdot 10^{-4}$$

$$CMRR = \frac{|A_{vd1}|}{|A_{vcm}|} = \frac{I_0 R_C}{4U_T} \frac{2R_S}{R_C} = \frac{I_0 2R_S}{4U_T} = 7.6 \cdot 10^4 \quad \text{soit } 98 \text{ dB}$$

f) La dynamique de sortie.

Avec une tension différentielle d'entrée $v_{id} \approx \pm 100 \text{ mV}$, et si aucun transistor ne sature, tout le courant I_0 (à moins de 2% près) passe dans l'un des transistors de la paire différentielle, et quasiment rien dans l'autre.

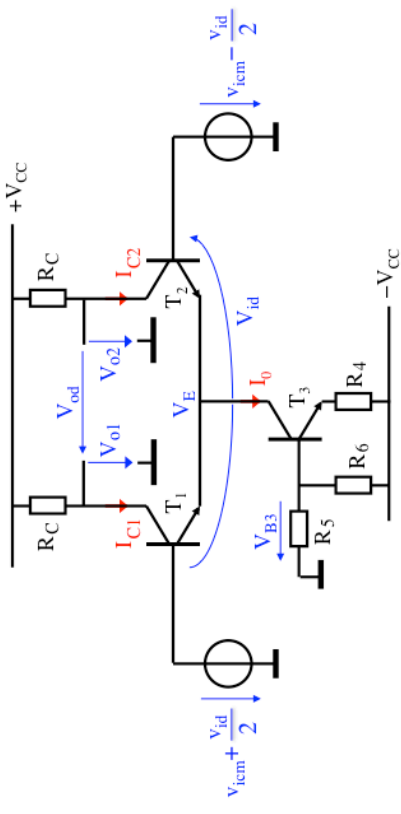
$$V_{o1,2,max} = V_{CC} - R_C \cdot I_0 = +10 \text{ V}$$

$$V_{o1,2,min} = V_{CC} - R_C \cdot I_0 = +6 \text{ V}$$

$$V_{od,max} = + R_C \cdot I_0 = +4 \text{ V}$$

$$V_{od,min} = - R_C \cdot I_0 = -4 \text{ V}$$

g) En présence de mode commun, la situation est la suivante :



La condition théorique pour qu'un transistor NPN ne sature pas est :

$$V_{CB} \geq 0 \quad \Leftrightarrow \quad V_C \geq V_B \quad \Leftrightarrow \quad V_{CE} \geq U_j \approx 0.7 \text{ V}$$

Dans la pratique on peut tolérer :

$$V_{CB} \geq -0.4 \text{ V} \quad \Leftrightarrow \quad V_{CE} \geq 0.3 \text{ V}$$

Pour qu'aucun des transistors T_1 ou T_2 ne sature, tout en gardant la dynamique de sortie maximum, et en négligeant $v_{id}/2$ par rapport à V_{icm} , il faut théoriquement :

$$V_{icm} \leq V_{o1,2,min} = V_{CC} - R_C \cdot I_0 \quad \Rightarrow \quad V_{icm} \leq V_{CC} - R_C \cdot I_0$$

$$V_{icm,max} = V_{CC} - R_C \cdot I_0 = +6 \text{ V}$$

Pour que T_3 ne sature pas, afin que la source de polarisation fonctionne correctement, et en négligeant $v_{id}/2$ par rapport à V_{icm} , il faut théoriquement :

$$V_{C3} = V_E = V_{icm} - U_j \geq V_{B3} = -V_{CC} \frac{R_5}{R_5 + R_6} = -6.4 \text{ V} \quad (\text{en négligeant } I_{B3})$$

$$V_{icm,min} = -V_{CC} \frac{R_5}{R_5 + R_6} + U_j = -5.7 \text{ V}$$

**LES ALIMENTATIONS
STABILISEES LINEAIRES SERIE**

3. LES ALIMENTATIONS STABILISEES LINEAIRES SERIE

	page
3.1. INTRODUCTION GENERALE	3
3.1.1 Alimentation stabilisée, définition	3
3.1.2 Régulateur linéaire série	3
3.1.3 Régulateur à découpage	3
3.2. REGULATEURS LINEAIRES SERIE	5
3.2.1 Introduction	5
3.2.2 Principe du régulateur de tension linéaire série	5
3.2.3 Schéma de principe de l'amplificateur d'erreur dans le régulateur de tension linéaire série	7
3.2.4 Limitation du courant de sortie	8
3.3. REFERENCES DE TENSION	12
3.3.1 Références de tension à diode Zener	12
3.3.2 Références de tension du type "Band Gap"	16
3.4. EXEMPLES PRATIQUES DE REGULATEURS DE TENSION LINEAIRES SERIE	20

3.1. INTRODUCTION GENERALE

3.1.1 Alimentation stabilisée, définition

Les circuits électroniques sont conçus, dans leur grande majorité, pour être alimentés par une (ou plusieurs) source(s) de tension continue fixe. L'alimentation stabilisée est le bloc de base qui va délivrer cette tension continue, aussi constante que possible, à partir d'une source d'énergie réelle, dans des conditions de charge et de température variables.

Le cœur d'une alimentation stabilisée est le régulateur (ou stabilisateur) de tension. Son rôle est de fournir une tension continue, de valeur précise, aussi constante que possible, en présence de variations du courant débité dans la charge et de la température ambiante, ceci à partir d'une source de tension continue réelle de valeur imprécise et peu stable. Cette dernière peut être d'origine continue (batterie, panneau photovoltaïque) ou le résultat d'une conversion AC→DC par redressement et filtrage (alimentation secteur).

On distingue deux grandes familles d'alimentations stabilisées en fonction du type de régulateur correspondant: les alimentations à régulateur linéaire (on dit aussi "continu") principalement de type série, et les alimentations à découpage (on dit aussi "switching").

3.1.2 Régulateur linéaire série

Le régulateur linéaire série est basé sur un amplificateur linéaire de puissance, type classe B, avec une boucle de réaction négative. Les alimentations utilisant ce type de régulateur (ou stabilisateur) sont caractérisées par:

- une très haute qualité de la tension de sortie (excellente stabilisation, ondulation et bruit parasites très faibles);
- une réponse rapide en cas de perturbation ou de variation de charge;
- la possibilité de régler aisément la tension de sortie sur une large gamme;
- la possibilité d'y raccorder une charge quelconque, allant du circuit ouvert à la charge maximum admissible, sans problème de stabilité;
- un rendement relativement faible, surtout pour les alimentations variables;
- un encombrement relativement important, surtout pour les alimentations tirant leur énergie du réseau domestique 50 Hz ou 60 Hz, qui nécessitent un transformateur et un redresseur avec une grosse capacité de filtrage.

Ces alimentations sont typiquement utilisées comme alimentations de laboratoire, alimentations de faible ou moyenne puissance pour applications à faible bruit, ou encore alimentations de puissance à hautes exigences (amplis audio classe A, très haut de gamme).

3.1.3 Régulateur à découpage

Les régulateurs à découpage fonctionnent selon un principe similaire à celui des amplificateurs de puissance classe D. Ils sont fondamentalement basés sur 4 éléments:

- un interrupteur (réalisé par un transistor), qui commute à haute fréquence (plusieurs centaines de kHz) pour interrompre et de rétablir cycliquement le passage du courant dans une branche particulière du circuit;
- une inductance, chargée d'accumuler l'énergie durant une fraction du cycle, et de la restituer durant le reste du cycle;

- une diode de "roue libre" permettant d'assurer la continuité du courant dans l'inductance;
- un condensateur de filtrage, servant de "tampon" d'énergie à la sortie du régulateur.

Les alimentations à découpage (switching) sont caractérisées par:

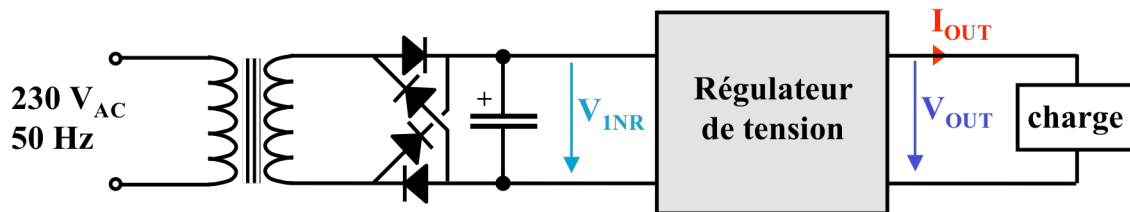
- une légère ondulation à haute fréquence de la tension de sortie (typiquement quelques dizaine de $mV_{\text{crête-crête}}$);
- un très haut rendement (souvent plus de 90 %);
- un faible encombrement;
- un réglage plus délicat, en fonction de la tension de sortie désirée et de la charge (par rapport aux alimentations à régulateur linéaire série);
- une réponse plus lente aux perturbations (par rapport aux alimentations à régulateur linéaire série).

Ces alimentations sont très répandues dans les appareils électroniques de grande diffusion comme les PCs, les téléviseurs, ... ou dans des appareils plus spécialisés, comme les émetteurs radio de puissance à transistors, qui ont une charge relativement stable et où une légère ondulation résiduelle n'a pratiquement pas d'importance. Elles sont également très répandues dans les appareils portables à cause de leur excellent rendement.

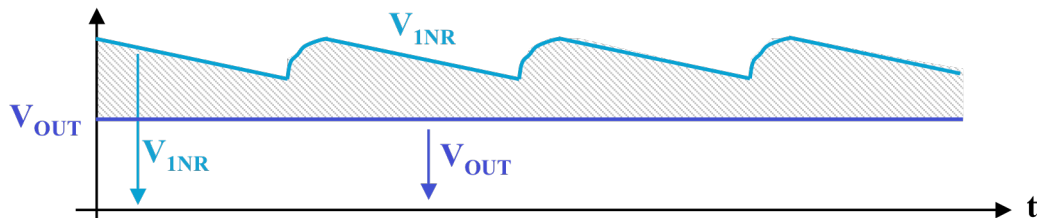
3.2. REGULATEURS LINEAIRES SERIE

3.2.1 Introduction

De nombreuses alimentations basse tension tirent leur énergie du réseau électrique domestique et font appel à un transformateur abaisseur, un redresseur et un régulateur linéaire série, selon le schéma de principe suivant:



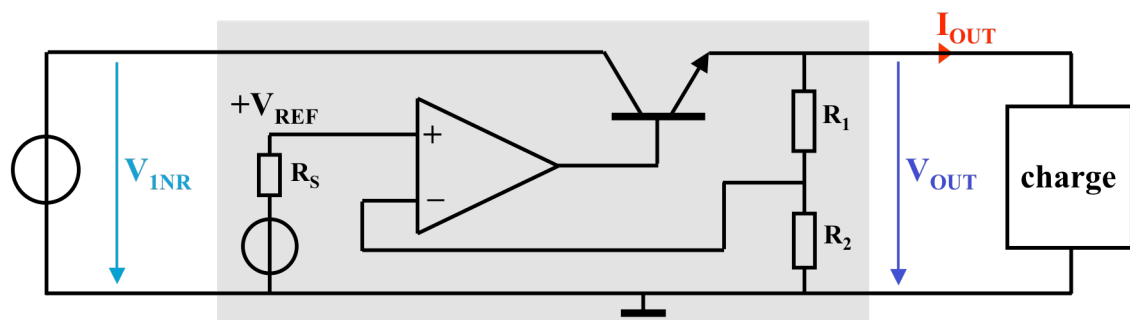
Les tensions avant et après le régulateur ont l'allure suivante:



Le rôle du régulateur linéaire série est de provoquer une chute de tension variable pour maintenir V_{OUT} constante, malgré les variations de V_{INR} et de I_{OUT} , ainsi que de la température.

3.2.2 Principe du régulateur de tension linéaire série

Le schéma de principe d'un régulateur de tension linéaire série est le suivant:



Un régulateur de tension linéaire série classique est un circuit à réaction négative, constitué des éléments suivants:

- une référence de tension V_{REF} , stable en température, dont la réalisation sera étudiée plus loin dans ce chapitre;
- un transistor série, qui provoque la chute de tension variable entre la source non régulée V_{INR} et la sortie stabilisée V_{OUT} ;
- un diviseur de tension résistif, qui fabrique une fraction précise $R_2/(R_1+R_2)$ de V_{OUT} ;
- un amplificateur d'erreur à grand gain, qui commande le transistor série de façon à minimiser la différence entre la tension de référence et la fraction donnée de la tension de sortie.

Si, dans ce circuit à réaction négative, l'amplificateur d'erreur a un très grand gain, sa tension différentielle d'entrée tend vers zéro, et donc:

$$V_{OUT} = V_{REF} \cdot \frac{R_1 + R_2}{R_2}$$

En théorie, si l'ampli op et la référence de tension étaient parfaits, la tension de sortie serait constante, indépendante du courant de sortie et de la tension d'alimentation non régulée, à condition toutefois qu'elle soit supérieure à la tension de sortie stabilisée, avec une marge de sécurité qui dépend de la structure interne détaillée du régulateur.

En pratique, la tension de sortie régulée V_{OUT} est influencée essentiellement par trois paramètres: la tension d'entrée non régulée $V_{IN} = V_{INR}$, le courant continu de sortie I_{OUT} et la température T . La variation globale de la tension régulée peut ainsi être exprimée par:

$$\Delta V_{OUT} = \frac{\delta V_{OUT}}{\delta V_{IN}} \cdot \Delta V_{IN} + \frac{\delta V_{OUT}}{\delta I_{OUT}} \cdot \Delta I_{OUT} + \frac{\delta V_{OUT}}{\delta T} \cdot \Delta T$$

La sensibilité aux variations de la tension d'entrée non-régulée a deux causes:

- Dans le cas habituel où la référence est elle-même faite à partir de la tension d'entrée non-régulée, la sensibilité de la tension de référence à la tension d'entrée non-régulée est le facteur dominant, car:

$$\Delta V_{OUT} = \frac{R_2 + R_1}{R_2} \cdot \Delta V_{REF} = \frac{R_2 + R_1}{R_2} \cdot \frac{\delta V_{REF}}{\delta V_{INR}} \cdot \Delta V_{INR}$$

On verra plus loin dans ce chapitre différentes manières d'obtenir une tension de référence peu sensible aux variations de la tension d'entrée non-régulée.

- Le taux de réjection d'alimentation (PSRR) de l'ampli op, qui est généralement suffisamment élevé pour que cet effet soit négligeable.

La sensibilité aux variations de charge est liée à la résistance de sortie:

$$R_{OUT} = \frac{\Delta V_{OUT}}{\Delta I_{OUT}} \quad \text{à } V_{REF} = \text{cst}$$

On la détermine en utilisant la théorie de la réaction négative série-parallèle.

La sensibilité aux variations de température est principalement due à la sensibilité de la tension de référence, car:

$$\Delta V_{OUT} = \frac{R_2 + R_1}{R_2} \cdot \Delta V_{REF} = \frac{R_2 + R_1}{R_2} \cdot \frac{\delta V_{REF}}{\delta T} \cdot \Delta T$$

On verra plus loin dans ce chapitre différentes manières d'obtenir une tension de référence peu sensible aux variations de température.

Cette approche, découlant d'un modèle linéaire, n'est toutefois valable que pour des variations limitées autour d'un point de fonctionnement. C'est la raison pour laquelle on définit également des paramètres qui rendent compte des performances du régulateur de tension dans tout son domaine d'utilisation:

- le coefficient de régulation de ligne (line regulation) est le pourcentage de variation de la tension régulée lorsque la tension moyenne d'entrée du régulateur passe de sa valeur admissible la plus faible (ou d'une valeur minimale spécifiée) à sa valeur admissible la plus élevée (ou une valeur maximale spécifiée);

- le coefficient de régulation de charge (load regulation) est le pourcentage de variation de la tension régulée lorsque le courant continu soutiré passe d'une valeur nulle (ou d'une valeur minimale spécifiée) à sa valeur maximale admissible (ou une valeur maximale spécifiée);
- le taux de réjection de l'ondulation (ripple rejection) est le rapport, exprimé en dB, entre l'amplitude crête-à-crête de l'ondulation du signal d'entrée et l'amplitude crête-à-crête de l'ondulation du signal régulé.

En supposant que le courant principal I_{OUT} est bien supérieur au courant consommé par la référence de tension et l'ampli d'erreur, le rendement du régulateur linéaire série vaut:

$$\eta = \frac{P_{OUT}}{P_{IN}} = \frac{V_{OUT} \cdot I_{OUT}}{V_{INR} \cdot I_{OUT}} = \frac{V_{OUT}}{V_{INR}}$$

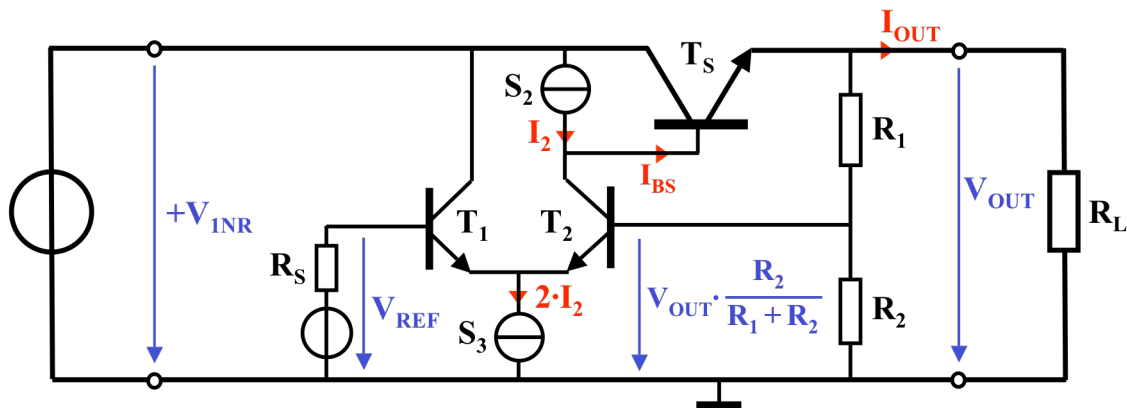
L'essentiel de la puissance dissipé par le régulateur, l'est dans le transistor série, et vaut:

$$P_{Qs} = (V_{INR} - V_{OUT}) \cdot I_{OUT}$$

3.2.3 Schéma de principe de l'amplificateur d'erreur dans le régulateur de tension linéaire série

Dans les régulateurs de tension linéaire série intégrés, l'ampli d'erreur est traditionnellement une paire différentielle, dont l'équilibre est très peu sensible à la température, avec charge active (source de courant constant ou miroir de courant) pour avoir un gain élevé, et sortie asymétrique, pour commander le transistor série.

Un schéma de principe classique est le suivant:



Le choix du courant de polarisation $2 \cdot I_2$ doit satisfaire deux conditions contradictoires:

- il faut que $I_2 \gg I_{BS} = I_{OUT} / \beta_S$ pour que la paire différentielle travaille quasiment à l'équilibre, donc avec une différence de tension quasi nulle entre les deux bases;
- il faut que $R_1 \cdot I_{B2} = R_1 \cdot I_2 / \beta_2$ soit inférieure à l'erreur maximum tolérable sur V_{OUT} .

Heureusement, il est aisé de trouver un compromis, d'une part en utilisant des résistances R_1 et R_2 assez faibles, d'autre part en augmentant β_S avec un montage darlington.

Une analyse en "petits signaux" de ce circuit en réaction série – parallèle réelle, selon la méthode présentée au chapitre 5, donne l'estimation suivante de la résistance de sortie:

$$R_{outF} \approx \frac{2}{\beta_S \cdot g_m} \cdot \frac{R_2 + R_1}{R_2} = \frac{2 \cdot U_T}{\beta_S \cdot I_2} \cdot \frac{R_2 + R_1}{R_2}$$

Ce résultat confirme l'intérêt d'augmenter β_S , en utilisant un montage darlington.

3.2.4 Limitation du courant de sortie

Si l'on court-circuite la sortie du régulateur, dont le schéma de principe est représenté en 3.2.3, cela impose $V_{OUT}=0$, et donc le potentiel de base de T_2 est aussi nul. Ce transistor étant alors bloqué, tout le courant I_2 de la source S_2 pénètre dans la base de T_S et ressort par l'émetteur multiplié par β_S .

Le courant de court-circuit de ce régulateur sans circuit de limitation est:

$$I_{OUT,c-c} = \beta_S \cdot I_2$$

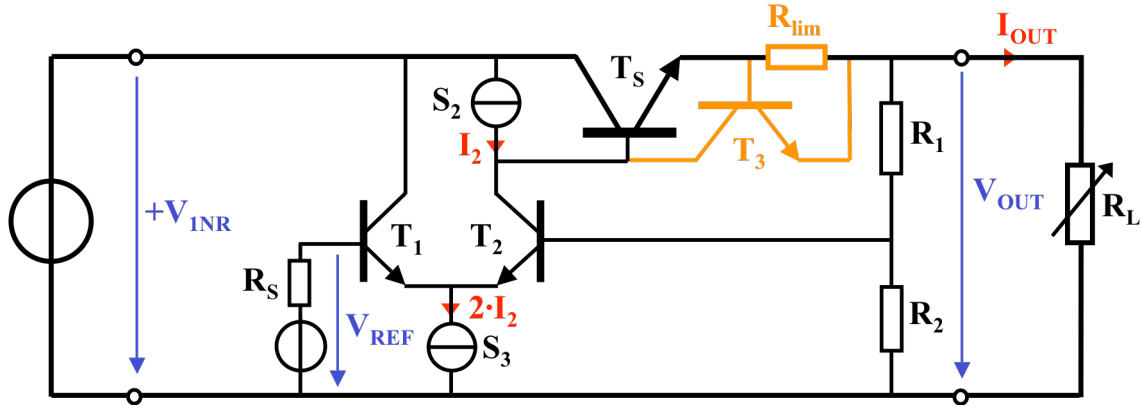
La puissance dissipée par le transistor T_S dans ces conditions est:

$$P_{QS,max} = V_{INR} \cdot \beta_S \cdot I_2$$

Un tel courant et une telle puissance sont généralement bien supérieurs à ce que peut supporter le transistor série. D'où la nécessité de prévoir un circuit de limitation du courant de sortie.

Limitation de courant simple

Le schéma de la limitation simple du courant de sortie est le suivant :



Dans l'analyse de ce circuit, on ne considère que le courant I_{OUT} , qui est généralement bien plus grand que tous les autres. On peut alors poser:

$$V_{BE3} = R_{lim} \cdot I_{OUT}$$

Tant que $V_{BE3} < U_j \approx 0.7 \text{ V}$, le transistor T_3 est bloqué, la limitation est inactive, et le régulateur fonctionne normalement et stabilise V_{OUT} à sa valeur nominale:

$$V_{OUT} = V_{OUT,stab} \quad \forall I_{OUT} < \frac{U_j}{R_{lim}}$$

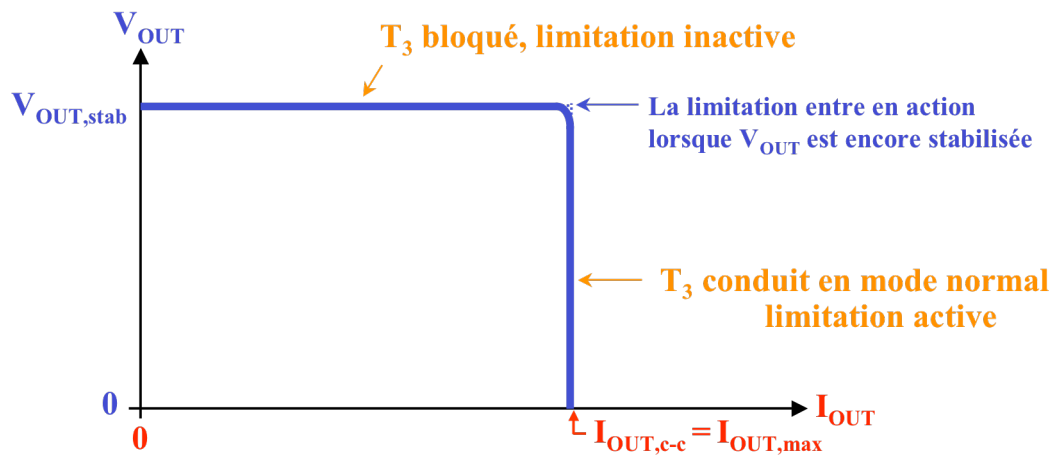
C'est une demi-droite horizontale dans le plan $V_{OUT} - I_{OUT}$.

Lorsque I_{OUT} augmente au point que $V_{BE3} \approx U_j \approx 0.7 \text{ V}$, le transistor T_3 commence à conduire et dévie une partie du courant qui devrait aller dans la base de T_S . Si I_{OUT} a tendance à encore augmenter, V_{BE3} augmente, donc I_{C3} augmente, diminuant le courant de base de T_S et contrecarrant ainsi l'augmentation de I_{OUT} . Il s'établit alors un régime d'équilibre, la limitation est active, et le courant de sortie reste constant à:

$$I_{OUT,lim} \approx \frac{U_j}{R_{lim}} \quad \forall V_{OUT} < V_{OUT,stab}$$

C'est une demi-droite verticale dans le plan $V_{OUT} - I_{OUT}$.

Avec une limitation de courant simple, le régulateur a la caractéristique de sortie suivante:



Le courant maximum que peut donner le régulateur tout en maintenant V_{OUT} stabilisée à sa valeur nominale est théoriquement à l'intersection des deux droites:

$$I_{OUT,max} = I_{OUT,lim} = \frac{U_j}{R_{lim}}$$

En pratique, comme V_{BE3} n'est pas tout à fait constante, le courant maximum réel à sortie stabilisée est légèrement inférieur à cette valeur théorique.

Lorsque la sortie est en court-circuit ($V_{OUT} = 0$), le courant de sortie est:

$$I_{OUT,c-c} = I_{OUT,lim} = \frac{U_j}{R_{lim}}$$

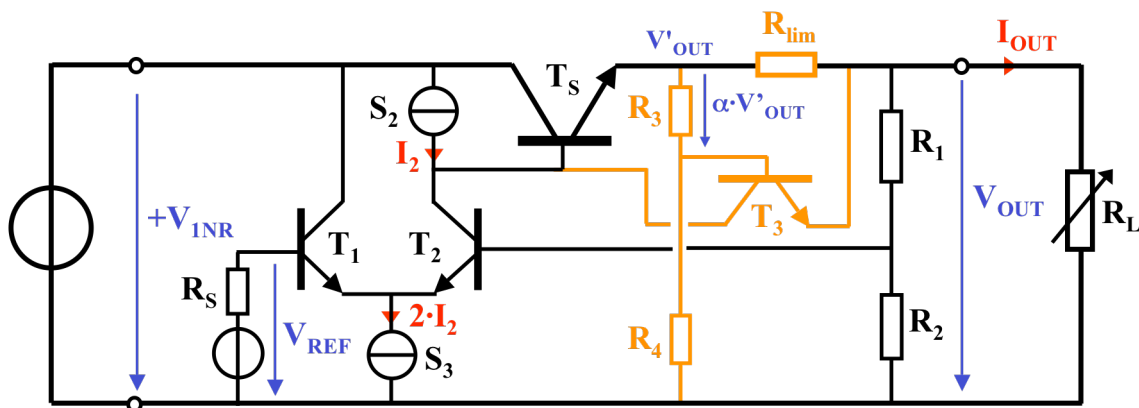
La puissance dissipée par le transistor série est alors maximale:

$$P_{QS,max} = (V_{INR} - U_j) \cdot I_{OUT,c-c} \approx V_{INR} \cdot I_{OUT,c-c} = V_{INR} \cdot \frac{U_j}{R_{lim}}$$

A cause de la dissipation élevée lorsque la sortie est en court-circuit, ce type de limitation simple est surtout utilisé dans les alimentations stabilisées de faible puissance.

Limitation de courant à repliement ("foldback")

Le schéma de la limitation à repliement ("foldback") du courant de sortie est le suivant:



Dans l'analyse de ce circuit, on ne considère que le courant I_{OUT} , qui est généralement bien plus grand que tous les autres. On peut alors poser:

$$V_{BE3} = R_{lim} \cdot I_{OUT} - \alpha \cdot V'_{OUT} \quad \text{avec: } \alpha = \frac{R_3}{R_3 + R_4}$$

$$V'_{OUT} = V_{OUT} + R_{lim} \cdot I_{OUT}$$

Ce qui donne:

$$V_{BE3} = R_{lim} \cdot I_{OUT} - \alpha \cdot (V_{OUT} + R_{lim} \cdot I_{OUT}) = (1 - \alpha) \cdot R_{lim} \cdot I_{OUT} - \alpha \cdot V_{OUT}$$

Tant que $V_{BE3} < U_j \approx 0.7 \text{ V}$, le transistor T_3 est bloqué, la limitation est inactive, et le régulateur fonctionne normalement et stabilise V_{OUT} à sa valeur nominale:

$$V_{OUT} = V_{OUT,stab} \quad \forall I_{OUT} < I_{OUT,max}$$

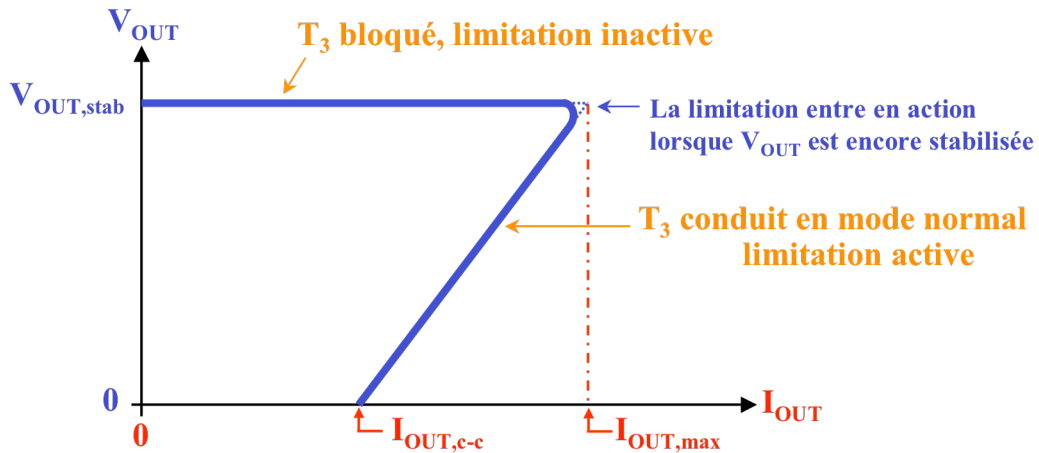
C'est une demi-droite horizontale dans le plan $V_{OUT} - I_{OUT}$.

Lorsque I_{OUT} augmente au point que $V_{BE3} \approx U_j \approx 0.7 \text{ V}$, le transistor T_3 commence à conduire et dévie une partie du courant qui devrait aller dans la base de T_8 . A partir de ce point, la limitation est active. En considérant le modèle simple dans lequel V_{BE} est quasi constant $\approx U_j$, on peut tirer de l'expression de V_{BE3} établie précédemment:

$$I_{OUT,lim} = \frac{U_j + \alpha \cdot V_{OUT}}{(1 - \alpha) \cdot R_{lim}} \quad \forall V_{OUT} < V_{OUT,stab} \quad \text{avec: } \alpha = \frac{R_3}{R_3 + R_4}$$

C'est l'équation d'une demi-droite inclinée dans le plan $V_{OUT} - I_{OUT}$.

Avec une limitation de courant à repliement, la caractéristique de sortie du régulateur est la suivante:



Le courant maximum que peut donner le régulateur tout en maintenant V_{OUT} stabilisée à sa valeur nominale est théoriquement à l'intersection des deux droites:

$$I_{OUT,max} = \frac{U_j + \alpha \cdot V_{OUT,stab}}{(1 - \alpha) \cdot R_{lim}} \quad \text{avec: } \alpha = \frac{R_3}{R_3 + R_4}$$

En pratique, comme V_{BE3} n'est pas tout à fait constante, le courant maximum réel à sortie stabilisée est légèrement inférieur à cette valeur théorique.

Lorsque la sortie est en court-circuit ($V_{OUT} = 0$), le courant de sortie est:

$$I_{OUT,c-c} = \frac{U_j}{(1 - \alpha) \cdot R_{lim}} \quad \text{avec: } \alpha = \frac{R_3}{R_3 + R_4}$$

Le principal avantage de la limitation à repliement, sur celle à la limitation simple, apparaît lorsqu'on étudie la dissipation du transistor série. En négligeant la dissipation de la résistance R_{lim} , on peut poser:

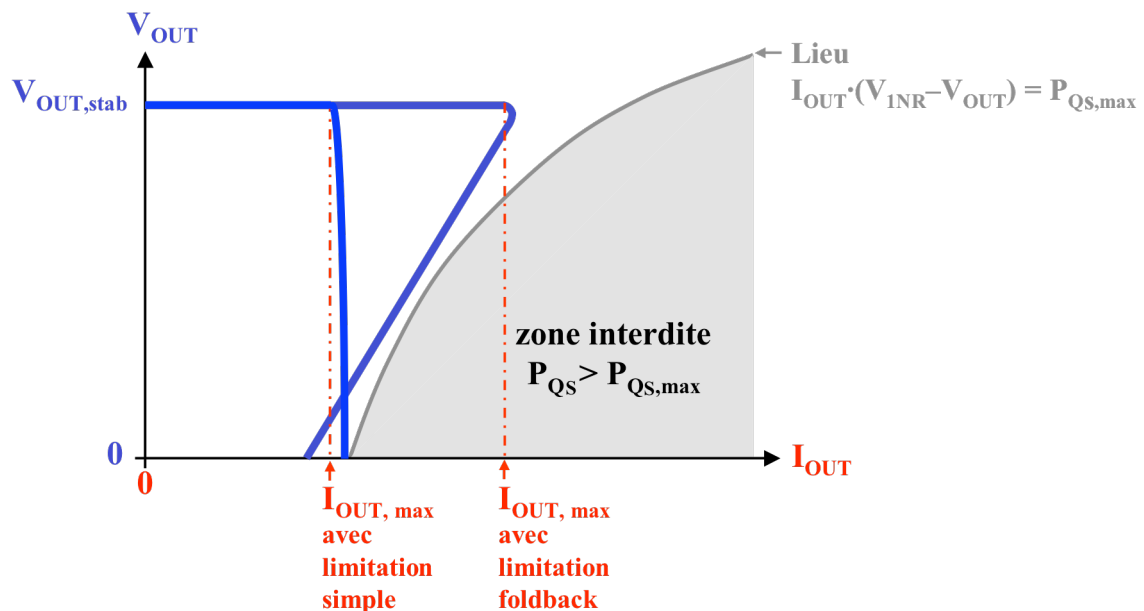
$$P_{QS} = (V_{INR} - R_{lim} \cdot I_{OUT} - V_{OUT}) \cdot I_{OUT} \approx (V_{INR} - V_{OUT}) \cdot I_{OUT}$$

Pour une tension d'entrée V_{INR} et une puissance maximale dissipée par le transistor série $P_{QS,max}$ données, le plan $V_{OUT} - I_{OUT}$ est divisé en deux parties par l'hyperbole correspondant à l'équation:

$$P_{QS,max} = (V_{INR} - V_{OUT}) \cdot I_{OUT}$$

La caractéristique de sortie du régulateur doit impérativement rester dans la partie répondant à la condition $P_{QS} < P_{QS,max}$.

La figure ci-dessous représente les caractéristiques de sortie de deux régulateurs linéaires série, donnant la même tension stabilisée de sortie, et ayant la même limite de dissipation, l'un avec limitation de courant simple, l'autre avec limitation de courant à repliement.



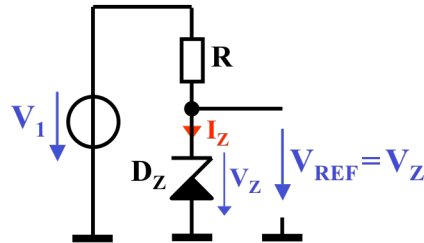
On constate que le courant maximum réel que l'on peut tirer, à la tension de sortie nominale, est nettement plus important avec une limitation à repliement qu'avec une limitation simple.

3.3. REFERENCES DE TENSION

3.3.1 Références de tension à diode Zener

Diode Zener polarisée par une simple résistance

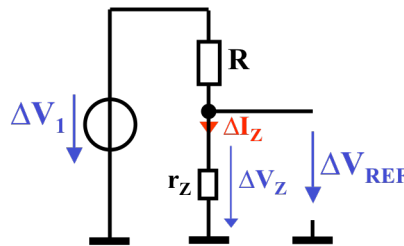
A partir d'une source de tension continue variable V_1 , on peut réaliser une référence de tension à diode Zener selon le schéma tout simple suivant:



Le courant traversant la diode Zener est donné par :

$$I_Z = \frac{V_1 - V_Z}{R}$$

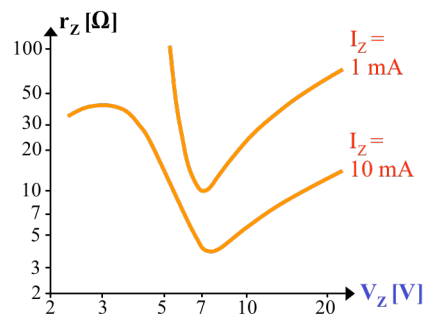
Pour déterminer l'effet des variations de la source, on passe en schéma "petits signaux", dans lequel la diode Zener est remplacée par sa résistance différentielle:



On peut alors établir :

$$\Delta V_{REF} = \Delta V_Z = \Delta V_1 \cdot \frac{r_Z}{R + r_Z} \approx \Delta V_1 \cdot \frac{r_Z}{R}$$

Malheureusement, la résistance différentielle d'une diode Zener dépend d'une manière complexe du courant qui la traverse et de sa tension nominale, comme le montre la figure suivante:

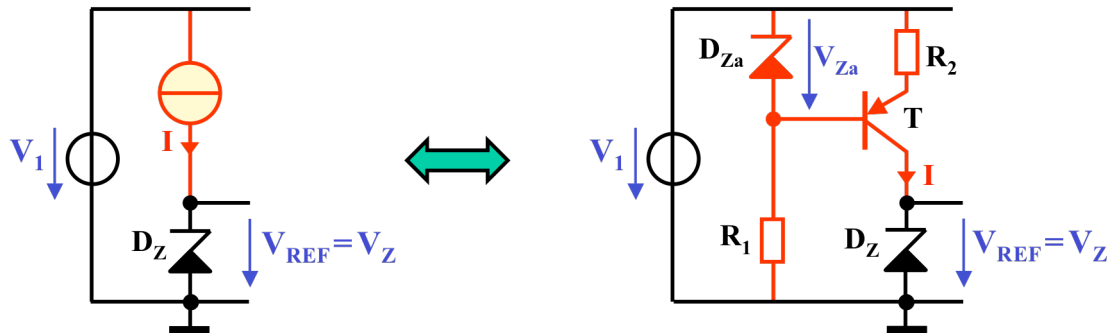


Avec cette solution simple, l'atténuation des variations de la source initiale est souvent insuffisante.

Diode Zener polarisée par une source de courant

Pour obtenir une meilleure stabilisation qu'avec une polarisation de la diode Zener par une simple résistance, on remplace celle-ci par une source de courant constant, elle-même stabilisée par une diode Zener simplement polarisée par une résistance.

Un schéma possible est le suivant:



Le transistor se comporte comme une source de courant quasi parfaite commandée par une tension préstabilisée par la diode Zener auxiliaire D_{Za} . Ce courant est donné par:

$$I = \frac{V_{Za} - U_j}{R_2}$$

La variation de la tension de référence en fonction de celle de la source non stabilisée s'exprime alors ainsi:

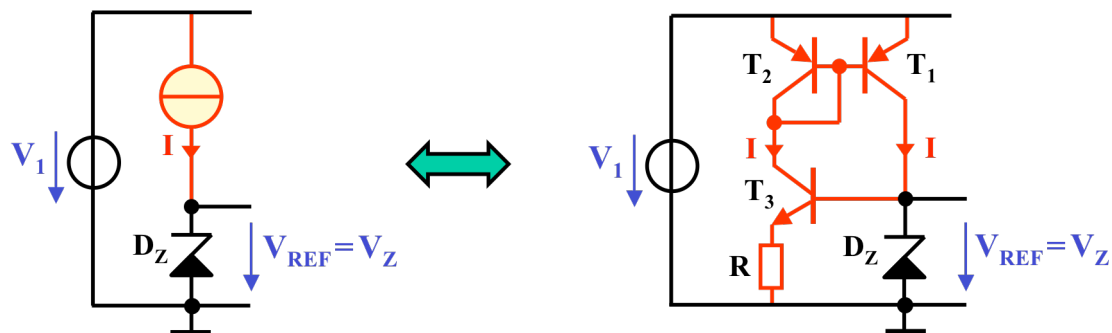
$$\Delta V_{REF} = \Delta V_Z = \Delta I \cdot r_Z = \frac{\Delta V_{Za}}{R_2} \cdot r_Z \approx \Delta V_1 \cdot \frac{r_{Za} \cdot r_Z}{R_1 \cdot R_2}$$

La variation de la tension de référence est donc fortement réduite par rapport à un montage à polarisation par une simple résistance.

Cependant, ce circuit nécessite une tension minimum de la source V_1 supérieure à $(V_{Za} + V_Z)$.

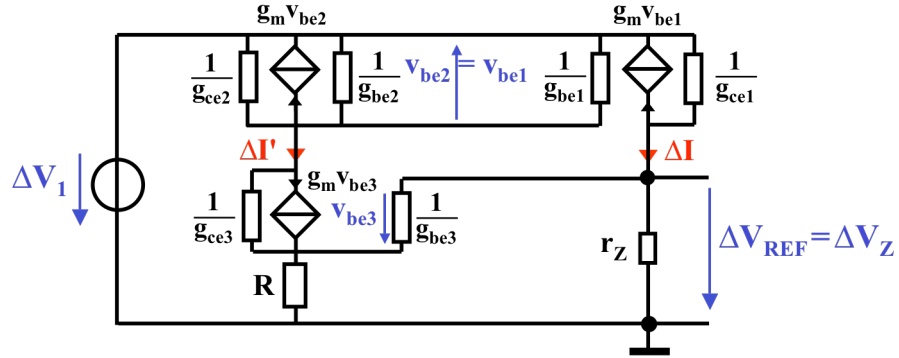
Diode Zener autopolarisée par une source de courant

En circuit intégré, on réalise souvent une polarisation par un circuit en boucle selon le schéma suivant:



Grâce au miroir de courant, la diode Zener est polarisée par un courant égal à celui qu'elle-même commande dans la source formée par le circuit $T_3 - R$.

En passant en schéma "petits signaux", comme tous les transistors ont le même courant de repos, donc la même transconductance g_m , on obtient:



Sachant que $g_m \gg g_{be} \gg g_{ce}$, on peut négliger g_{ce2} , g_{ce3} , g_{be2} et g_{be1} par rapport au g_m de T_2 . On suppose aussi que $g_m \cdot R \gg 1$. On peut alors écrire:

$$\Delta I' = \frac{\Delta V_Z}{R}$$

$$v_{be1} = v_{be2} = \frac{-\Delta I'}{g_m} = \frac{-\Delta V_Z}{g_m \cdot R}$$

$$\Delta I = -g_m \cdot v_{be1} + g_{ce1} \cdot (\Delta V_1 - \Delta V_Z)$$

$$\Delta V_Z = r_Z \cdot \Delta I$$

En résolvant ce système d'équations, et en tenant compte que $r_Z \ll R$, on obtient:

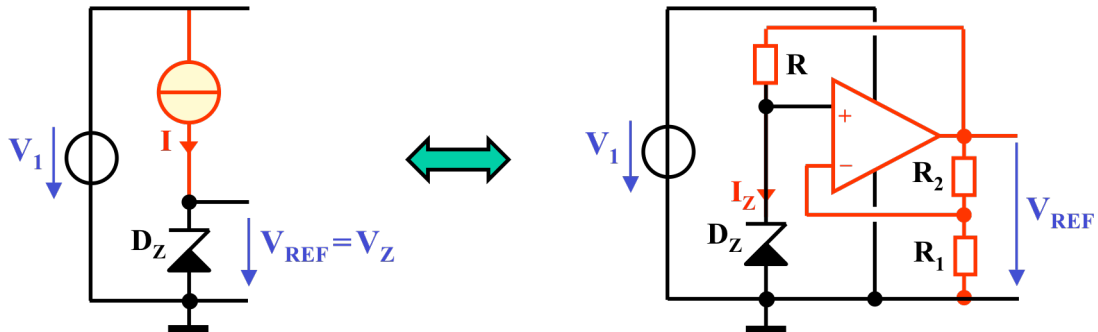
$$\Delta V_Z = \Delta V_1 \cdot g_{ce1} \cdot r_Z$$

Les performances de ce montage sont excellentes, surtout si l'on utilise un miroir de courant plus sophistiqué, avec une résistance de sortie encore plus grande que $1/g_{ce1}$.

Par contre, ce montage étant stable pour $I = 0$ et $V_Z = 0$, il nécessite l'ajout d'un circuit auxiliaire de démarrage.

Diode Zener autopolarisée par un ampli opérationnel

En composants discrets, on peut aussi réaliser une polarisation par un circuit en boucle selon le schéma suivant:



En supposant l'ampli op idéal, on peut écrire:

$$V_{REF} = V_Z \cdot \frac{R_2 + R_1}{R_1}$$

et

$$I_Z = \frac{V_{REF} - V_Z}{R} = \frac{V_Z}{R} \cdot \frac{R_2}{R_1}$$

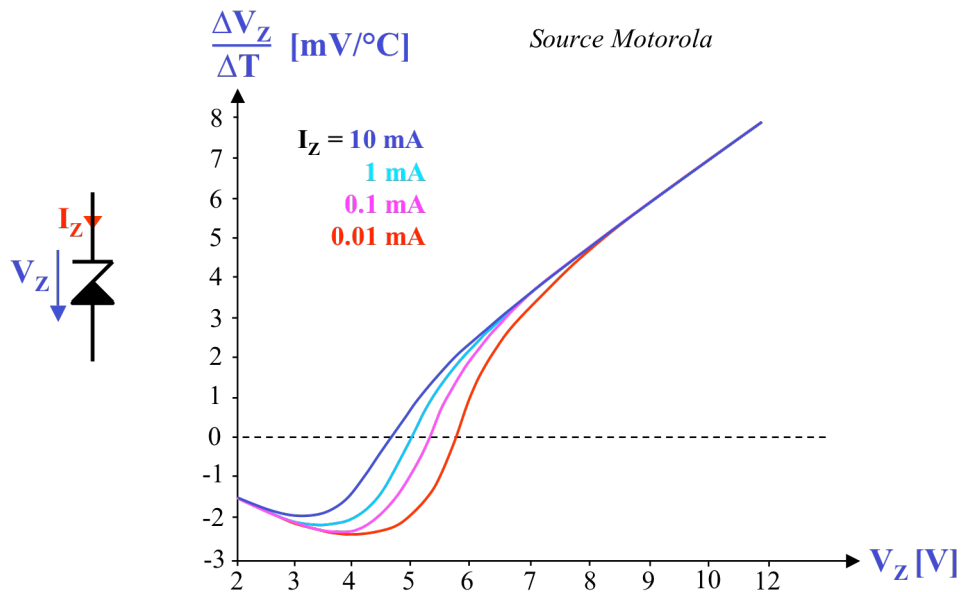
Avec ce montage, on peut contrôler très précisément le courant dans la diode Zener.

Si l'ampli op est un modèle "single supply" adapté à une alimentation asymétrique, le circuit démarre de lui-même.

On peut montrer que la stabilité est excellente, d'autant meilleure que l'ampli op a un paramètre PSRR (Power Supply Rejection Ratio) élevé.

Stabilité en température des références de tension à diode Zener

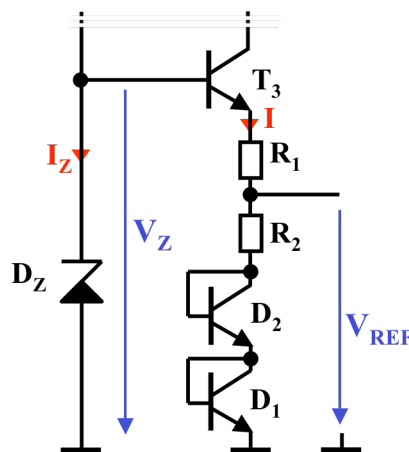
Les diodes Zener ont une sensibilité à la température dépendante de leur tension nominale et du courant qui les traverse, selon le graphique suivant:



Pour obtenir une tension de référence aussi peu dépendante de la température que possible, on peut:

- n'utiliser que des diodes Zener avec une tension nominale voisine de 5 V et les faire travailler avec le courant qui donne une dérive nulle en température;
- utiliser des diodes Zener ayant une dérive thermique positive et la compenser avec des jonctions p-n polarisées en mode direct, ayant une dérive négative.

Dans les circuits intégrés bipolaires standards, les contraintes technologiques (profils et densités des dopages) ne permettent de réaliser des diodes Zener qu'avec tension Zener voisine de 6 V et une dérive thermique d'environ $+3.5 \text{ mV}/^{\circ}$. Pour obtenir une référence stable en température à partir d'une telle diode Zener intégrée, on peut utiliser le principe représenté dans le schéma suivant:



On peut écrire:

$$I = \frac{V_Z - V_{BE1} - V_{BE2} - V_{BE3}}{R_1 + R_2} = \frac{V_Z - 3 \cdot U_j}{R_1 + R_2}$$

$$V_{REF} = V_{BE2} + V_{BE3} + R_2 \cdot I = 2 \cdot U_j + R_2 \cdot \frac{V_Z - 3 \cdot U_j}{R_1 + R_2}$$

Ce qui donne:

$$V_{REF} = k \cdot V_Z + (2 - 3 \cdot k) \cdot U_j \quad \text{avec: } k = \frac{R_2}{R_1 + R_2}$$

La dérive en température de V_{REF} est nulle si:

$$k = \frac{-2 \cdot \Delta U_j / \Delta T}{\Delta V_Z / \Delta T - 3 \cdot \Delta U_j / \Delta T} \quad \text{avec: } \Delta U_j / \Delta T \approx -2 \text{ mV}/^\circ\text{C}$$

Exemple numérique pratique:

$$V_Z = 6.3 \text{ V}, \Delta V_Z / \Delta T \approx 3.5 \text{ mV}/^\circ\text{C}, \Delta U_j / \Delta T \approx -2 \text{ mV}/^\circ\text{C}, R_1 = 4700 \Omega, R_2 = 3400 \Omega$$

$$\Rightarrow V_{REF} = 3.4 \text{ V} \quad \text{avec } \Delta V_{REF} / \Delta T \approx \pm 0.1 \text{ mV}/^\circ\text{C}$$

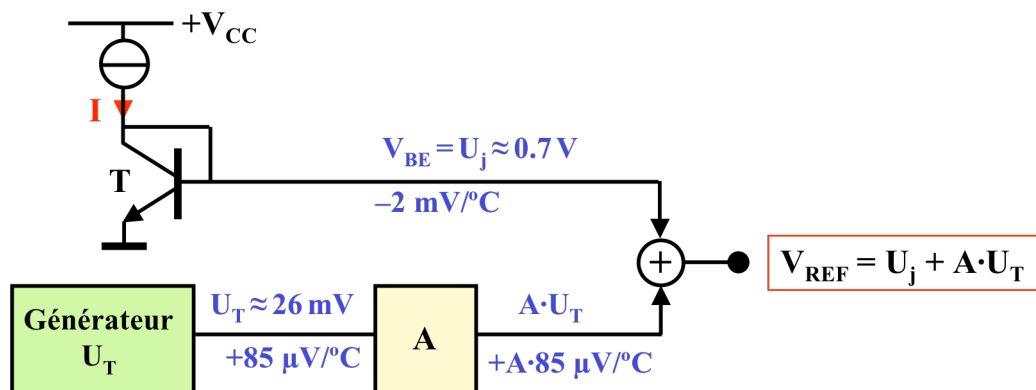
Résumé des caractéristiques des références de tension à diode Zener

- Stabilité thermique typique de 50 ppm/°C.
- Bruit lié à l'effet d'avalanche de la diode Zener.
- Problème de compatibilité entre les diodes Zener de qualité et la technologie standard des circuits intégrés bipolaires.
- Tension minimum d'alimentation supérieure à V_Z et courant typique de la centaine de μA à la dizaine de mA.
Solution pas adaptée aux applications à basse tension et/ou basse consommation.

3.3.2 Références de tension du type "Band Gap"

Le nom "Band Gap" vient de ce que la tension générée par les références de ce type est d'environ 1.23 V, valeur très proche de la tension de bang-gap du silicium.

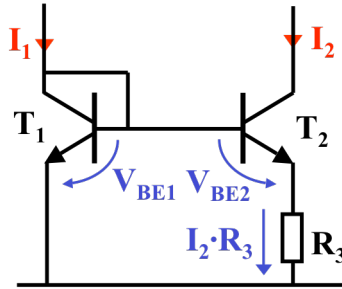
Le principe de ce type de références de tension est illustré à la figure suivante:



Rappelons que $U_T = k \cdot T / q$, où k est la constante de Boltzmann, T la température absolue en degrés Kelvin, et q la valeur absolue de la charge de l'électron.

A la température ambiante typique de 25°C, U_T vaut approximativement 26 mV et sa dérive en température est positive de 0.085 mV/°C. Si l'on trouve un moyen de générer une tension égale à environ $24 \cdot U_T$, celle-ci aura une dérive en température voisine de +2 mV/°C. En ajoutant à cette tension celle d'une jonction passant, soit à peu près 0.7 V, avec une sensibilité à la température de -2 mV/°C, on obtiendra une tension d'approximativement 1.3 V, peu influencée par les variations de température.

Pour créer une tension proportionnelle à U_T , on va utiliser un miroir de Widlar, dont le schéma est le suivant:



Si les transistors sont identiques, donc avec $I_{S1} = I_{S2} = I_S$, et en négligeant les courants de base, on peut écrire:

$$V_{BE1} = U_T \cdot \ln\left(\frac{I_1}{I_S}\right) = V_{BE2} + R_3 \cdot I_2 = U_T \cdot \ln\left(\frac{I_2}{I_S}\right) + R_3 \cdot I_2$$

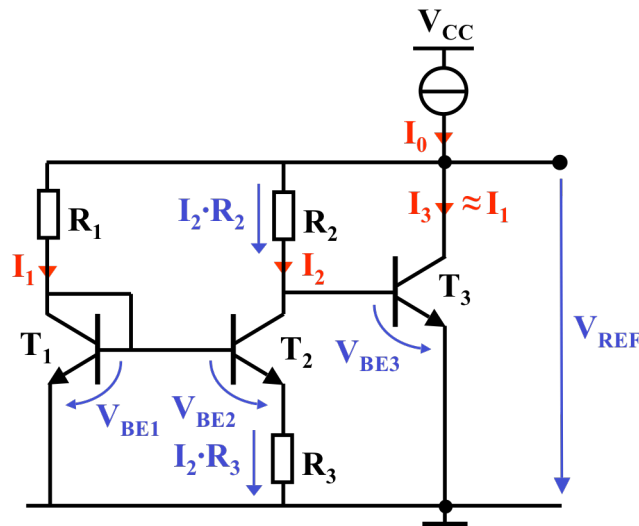
Ce qui donne:

$$R_3 \cdot I_2 = U_T \cdot \ln\left(\frac{I_1}{I_2}\right)$$

Pour un rapport I_1 / I_2 donné, on a, aux bornes de R_3 , une tension proportionnelle à U_T .

Référence de tension "Band Gap" simple

Le schéma de la référence de tension "Band Gap" de base est le suivant:



La source de polarisation I_0 est choisie de façon que:

$$I_0 = 2 \cdot I_1 + I_2$$

De sorte que:

$$I_3 = I_1$$

Si les transistors sont tous identiques, cela implique que:

$$V_{BE1} = V_{BE3}$$

On peut en déduire que:

$$\frac{I_1}{I_2} = \frac{(V_{REF} - V_{BE1})/R_1}{(V_{REF} - V_{BE3})/R_2} = \frac{R_2}{R_1}$$

La relation établie pour le miroir de Widlar devient:

$$R_3 \cdot I_2 = U_T \cdot \ln\left(\frac{I_1}{I_2}\right) = U_T \cdot \ln\left(\frac{R_2}{R_1}\right)$$

La tension de référence vaut:

$$V_{REF} = V_{BE3} + R_2 \cdot I_2 = V_{BE3} + \frac{R_2}{R_3} \cdot R_3 \cdot I_2 = V_{BE3} + \frac{R_2}{R_3} \cdot U_T \cdot \ln\left(\frac{R_2}{R_1}\right)$$

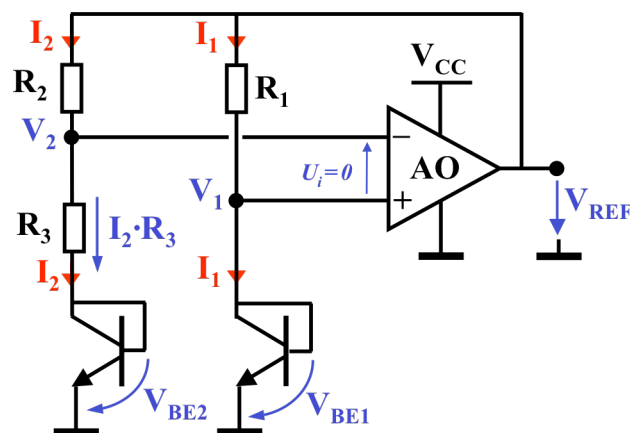
$$V_{REF} = U_j + A \cdot U_T \quad \text{avec: } A = \frac{R_2}{R_3} \cdot \ln\left(\frac{R_2}{R_1}\right)$$

Un choix judicieux de R_1 , R_2 et R_3 , donnant $A \approx 24$, permet d'obtenir une tension de référence théoriquement insensible aux variations de température.

Ce circuit "Band Gap" simple souffre néanmoins d'une certaine sensibilité aux variations de charge. En effet, si l'on tire du courant de la sortie, les courants dans T_1 et T_3 ne sont plus égaux, donc les tensions V_{BE1} et V_{BE3} non plus, ce qui fausse le rapport des courants I_1/I_2 , qui n'est plus identique à celui des résistances R_2/R_1 .

Référence de tension "Band Gap" améliorée

On peut réaliser une référence "Band Gap" améliorée avec le circuit suivant:



L'ampli op, supposé idéal, est en réaction majoritairement négative. Par conséquent, sa tension différentielle d'entrée U_i est nulle. Les potentiels V_1 et V_2 sont donc égaux.

Les potentiels V_1 et V_2 étant égaux, et les transistors identiques, on peut écrire:

$$V_{BE1} = U_T \cdot \ln\left(\frac{I_1}{I_S}\right) = V_{BE2} + R_3 \cdot I_2 = U_T \cdot \ln\left(\frac{I_2}{I_S}\right) + R_3 \cdot I_2$$

Ce qui donne la même relation que pour le miroir de Widlar:

$$R_3 \cdot I_2 = U_T \cdot \ln\left(\frac{I_1}{I_2}\right)$$

L'égalité des potentiels V_1 et V_2 entraîne aussi:

$$R_1 \cdot I_1 = R_2 \cdot I_2 \quad \Leftrightarrow \quad \frac{I_1}{I_2} = \frac{R_2}{R_1}$$

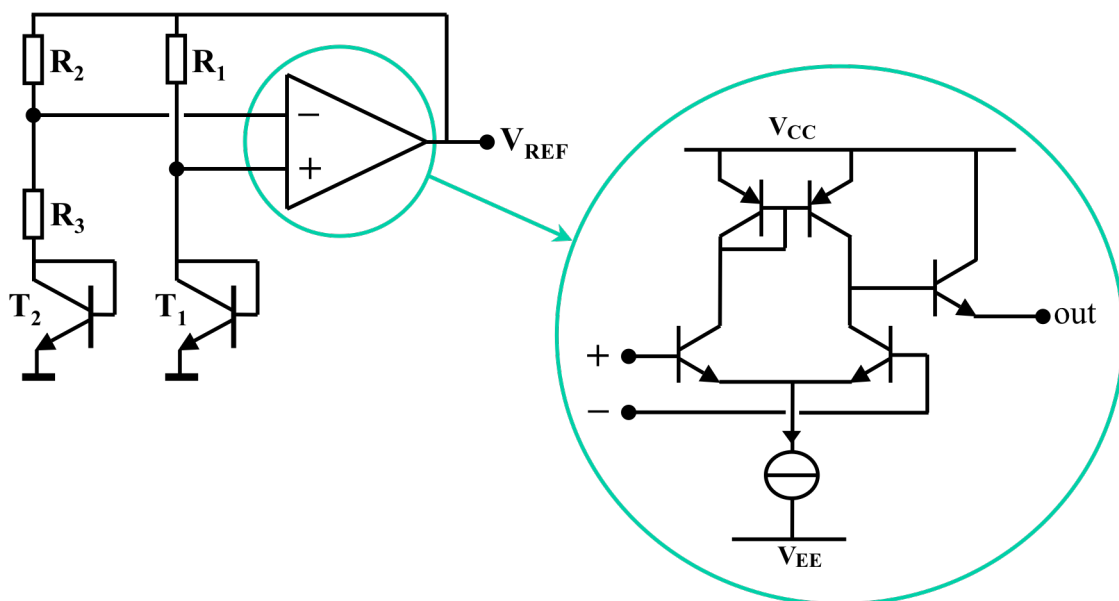
La tension de référence vaut:

$$V_{REF} = V_{BE1} + R_1 \cdot I_1 = V_{BE1} + R_2 \cdot I_2 = V_{BE1} + \frac{R_2}{R_3} \cdot R_3 \cdot I_2 = V_{BE1} + \frac{R_2}{R_3} \cdot U_T \cdot \ln\left(\frac{R_2}{R_1}\right)$$

$$V_{REF} = U_j + A \cdot U_T \quad \text{avec: } A = \frac{R_2}{R_3} \cdot \ln\left(\frac{R_2}{R_1}\right)$$

La tension de référence est très peu sensible à la charge puisque le courant de sortie est fourni par l'ampli op, c'est à dire avec une résistance de source très basse.

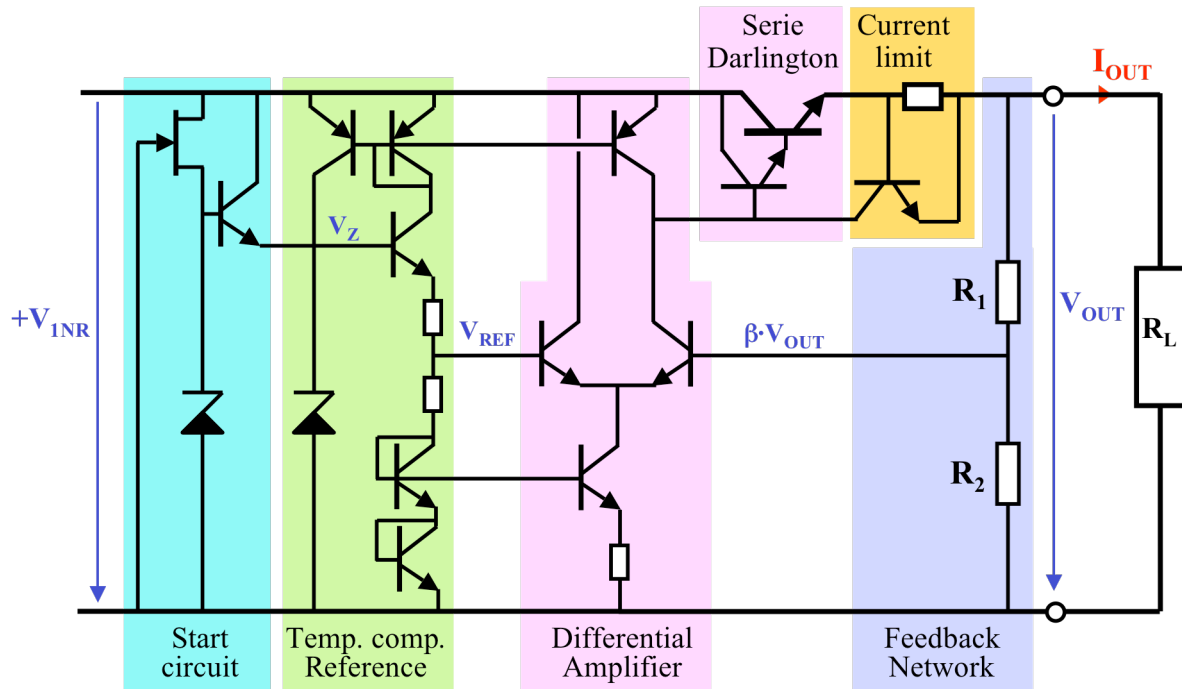
Un exemple de réalisation intégrée, avec une ampli op réduit à une simple paire différentielle à charge active, avec un collecteur commun en sortie, est donné ci-dessous.



3.4. EXEMPLES PRATIQUES DE REGULATEURS DE TENSION LINEAIRES SERIE

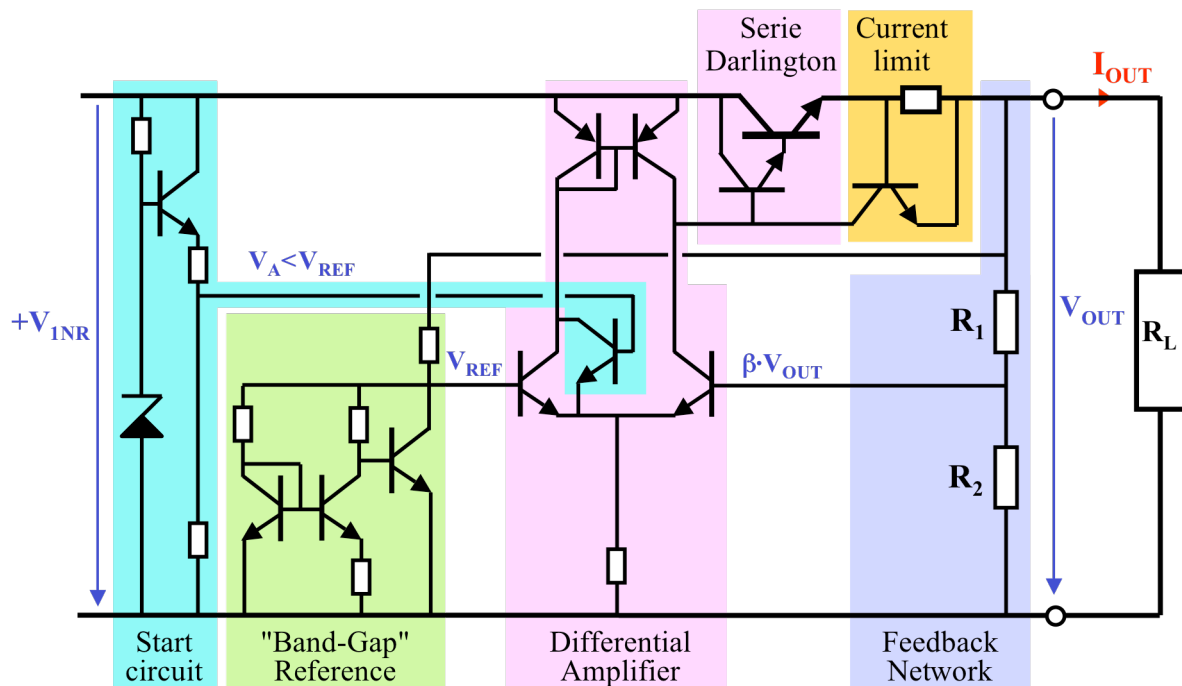
LM140L de National Semiconductor

Le schéma simplifié de ce régulateur intégré est le suivant:



uA78LXX de Texas Instruments

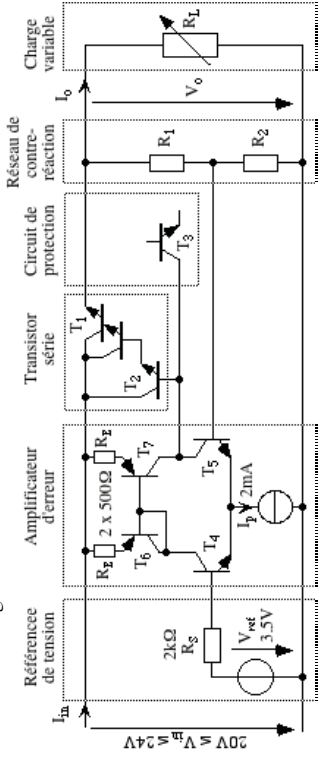
Le schéma simplifié de ce régulateur intégré est le suivant:



Circuits et Systèmes Electroniques . Exercice

Alimentation stabilisée à régulateur linéaire série.

Le schéma du régulateur série étudié est le suivant:



- T₁: Darlington NPN de puissance, $I_{C1,max} = 10\text{ A}$, $\beta_1 = 750$
 $P_{1,max} = 70\text{ W}$ (sur un radiateur avec $R_{th} = 1^\circ\text{C/W}$)
T₂, T₃, T₄, T₅: NPN, $\beta = 300$ $V_A = 60\text{ V}$ (tension Early)
T₆, T₇: PNP, $\beta = 100$ $V_A = 40\text{ V}$ (tension Early)

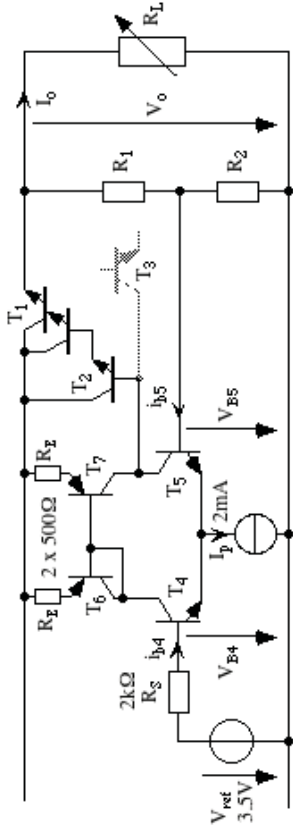
Le cahier des charges pour le dimensionnement des divers éléments est le suivant:

- tension d'entrée non stabilisée: V_{in} = variable de 20V à 24 V
tension de sortie stabilisée: $V_{o,stab} = 15\text{ V}$
charge résistive: R_L = variable du court-circuit au circuit ouvert

- Dimensionner les résistances R_1 et R_2 du réseau de contre-réaction, en tenant compte des courants de base de la paire différentielle, en supposant qu'elle travaille autour de l'équilibre, et que les transistors sont appariés.
- Sur le graphe (V_o , I_o) représenter la courbe correspondant à la dissipation P_{max} dans le transistor série.
Proposer un circuit de limitation de courant simple, utilisant T₃.
Déterminer les courants $I_{o,max}$ (à $V_{o,stab}$) et $I_{o,c,c}$ (sortie en court-circuit) admissibles par le transistor série.
Dimensionner la résistance de limitation.
Quel est le courant maximum à travers T₃ ?
Quelle est la puissance dissipée dans le transistor série lorsque l'alimentation fournit son courant de sortie maximal à la tension de sortie stabilisée ?
- Sur le graphe (V_o , I_o) représenter la courbe correspondant à la dissipation P_{max} dans le transistor série, montrer qu'une caractéristique (V_o , I_o) à rempliment linéaire du courant avec $I_{o,max} = 6\text{ A}$ (à $V_{o,stab}$) et $I_{o,c,c} = 2\text{ A}$ (sortie en court-circuit) est acceptable.
Dimensionner les éléments d'un circuit de limitation du courant à rempliment linéaire, utilisant T₃.
- Calculer la résistance de sortie de cette alimentation stabilisée équipée de son circuit de limitation de courant à rempliment, à $I_{o,nominal} = 5\text{ A}$.

Exercice Circuits et Systèmes Electronique corrigé

1. Choix des résistances R_1 et R_2 .



On va d'abord démontrer que, tant que la sortie est stabilisée, c'est à dire lorsque le circuit de protection est inactif, donc que T₃ ne conduit pas, la paire différentielle travaille effectivement tout près de son point de repos. En effet, dans ces conditions, le courant de la sortie asymétrique de l'ampli différentiel est égal à I_{B2} et vaut :

$$I_{B2} = \frac{I_o}{\beta_2} + \frac{V_o}{\beta_2(R_1 + R_2)}$$

Dans la pratique, $V_o/(R_1 + R_2)$ ne représente que quelques mA, alors que I_o peut atteindre plusieurs Amperes, au maximum 6 A dans ce cas particulier (voir point 3.). Le courant maximal à la sortie asymétrique de l'ampli différentiel vaut donc :

$$I_{B2,max} \approx \frac{I_{o,max}}{\beta_2} = \frac{6}{750 \cdot 300} = 27\text{ }\mu\text{A}$$

Ce courant étant beaucoup plus petit que le courant de repos des transistors qui composent la paire différentielle: $I_{C4} = I_{C5} = I_{C7} = I_o/2$, celle-ci travaille pratiquement autour de son point de repos: $U_{i,diff} = V_{BE4} - V_{BE5} = 0$. En considérant que T₄ et T₅ sont appariés, on en tire :

$$V_{BE4} = V_{BE5} \quad \text{donc} \quad V_{B4} = V_{B5}$$

$$I_{B4} = I_{B5} = I_o/2\beta_{4,5} \approx 3\text{ }\mu\text{A}$$

Dans la maille d'entrée de l'ampli différentiel, on peut écrire :

$$V_{B4} = V_{ref} - R_5 I_{B4}$$

$$V_{B5} = V_o - R_1(I_{B5} + V_{B5}/R_2) \Rightarrow V_{B5} = \frac{R_2}{R_1 + R_2} V_o - \frac{R_2}{R_1 + R_2} I_{B5}$$

On en tire :

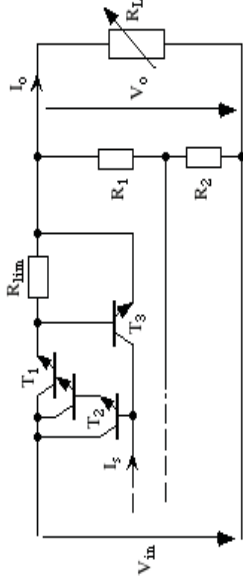
$$V_o = \frac{R_1 + R_2}{R_2} [V_{ref} - R_5 I_{B4} + R_1 I_{B5}] = \frac{R_1 + R_2}{R_2} [V_{ref} - (R_5 - \frac{R_1 R_2}{R_1 + R_2}) I_o/2\beta_{4,5}]$$

La meilleure solution, qui rend V_o indépendante des courants de base, donc des imprécisions du courant de polarisation et du gain en courant des transistors, est:

$$\frac{R_1 R_2}{R_1 + R_2} = R_5 \quad \text{avec} \quad \frac{R_2}{R_1 + R_2} = \frac{V_{ref}}{V_{o,stab}}$$

$$R_1 = \frac{V_{o,stab}}{V_{ref}} R_5 = 8.57\text{ k}\Omega \quad \text{et} \quad R_2 = \frac{V_{o,stab}}{V_{ref}} R_5 = 2.61\text{ k}\Omega$$

2. Limitation de courant simple.



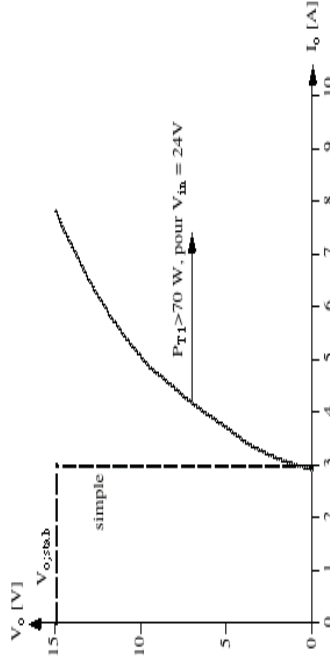
Tant le courant maximal qui traverse T_1 , que la puissance qu'il dissipe, ne doivent en aucun cas excéder les limites $I_{C1,max}$ et $P_{T1,max}$ spécifiées par le fabriquant. La condition sur la puissance est généralement la plus restrictive.

Les courants dans T_3 et R_1 étant négligeables par rapport à I_o :

$$I_{C1} \approx I_o \quad \text{et} \quad P_{T1} = I_{C1} V_{CE1} = I_o (V_{in} - R_{lim} I_o - V_o) \approx I_o (V_{in} - V_o)$$

Dans le plan (V_o, I_o) traçons le lieu de $P_{T1,max} = 70 \text{ W}$ dans le cas le plus critique où V_{in} est maximum :

$$V_o = V_{in,max} - \frac{P_{T1,max}}{I_o} \quad \text{ou} \quad I_o = \frac{P_{T1,max}}{V_{in,max} - V_o}$$



Pour que la caractéristique à limitation de courant simple (pointillé) reste dans la zone $P_{T1} < 70 \text{ W}$, le point le plus critique correspond au court-circuit : $V_o = 0$.

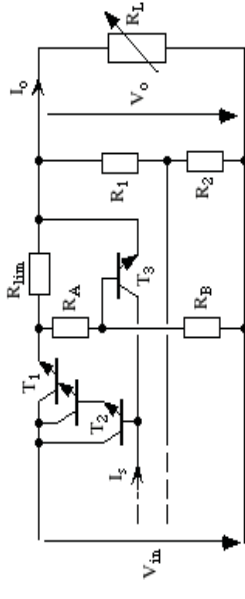
$$I_{o,c-c} = \frac{P_{T1,max}}{V_{in,max}} \approx 3 \text{ A} \quad \text{et} \quad R_{lim} = \frac{U_i}{I_{o,c-c}} \approx 0.23 \Omega$$

La puissance maximale dissipée par cette résistance vaut $P_{Rlim,max} = U_i I_{o,c-c} \approx 2 \text{ W}$. Pour éviter un échauffement excessif, on prendra une résistance supportant 3 W ou plus.

Le courant maximum à travers T_3 vaut : $I_{C3,max} = I_{o,max} - I_{B2} = I_p - I_{B2} < I_p = 2 \text{ mA}$

Lorsque la tension de sortie est stabilisée, le courant de sortie maximum est $I_{o,max} \approx I_{o,c-c} \approx 3 \text{ A}$, et T_1 ne dissipe que $P_{T1} = I_{o,max} (V_{in,max} - U_j - V_{o,stab}) = 24 \text{ W}$. Ce transistor pourrait donc fournir un courant $I_{o,max}$ plus important lorsque la tension de sortie est stabilisée (utilisation normale), à condition que le courant de court-circuit soit automatiquement réduit pour éviter une dissipation excessive dans ce cas. D'où l'avantage, sur la limitation simple, de la limitation à repliement, étudiée à la page suivante.

3. Limitation de courant à repliement (foldback) linéaire.



Le courant maximal qui traverse T_1 , ainsi que la puissance qu'il dissipe, ne doivent en aucun cas excéder les limites $I_{C1,max}$ et $P_{T1,max}$ spécifiées par le fabriquant. La condition sur la puissance est généralement la plus restrictive.

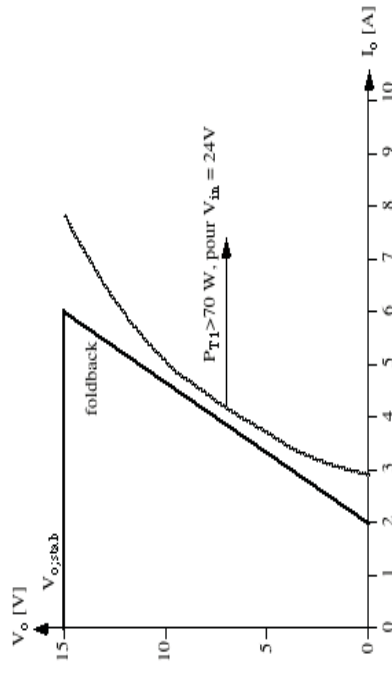
Les courants dans T_3 , R_1 et R_A étant négligeables par rapport à I_o :

$$I_{C1} \approx I_o.$$

$$P_{T1} = I_{C1} V_{CE1} = I_o (V_{in} - R_{lim} I_o - V_o) \approx I_o (V_{in} - V_o)$$

Dans le plan (V_o, I_o) traçons le lieu de $P_{T1,max} = 70 \text{ W}$ dans le cas le plus critique où V_{in} est maximum.

$$\Rightarrow V_o = V_{in,max} - \frac{P_{T1,max}}{I_o} \quad \text{ou} \quad I_o = \frac{P_{T1,max}}{V_{in,max} - V_o}$$

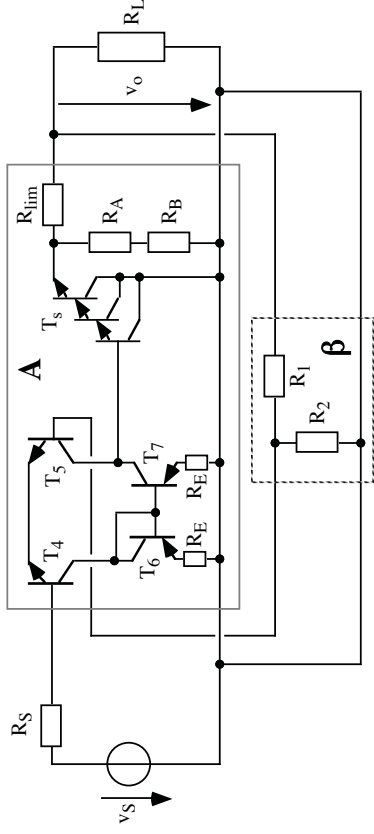


La caractéristique à repliement linéaire avec $I_{o,max} = 6 \text{ A}$ à $V_{o,stab} = 15 \text{ V}$ et $I_{o,c-c} = 2 \text{ A}$ à $V_o = 0 \text{ V}$ (court-circuit) reste dans la zone sûre $P_{T1} < 70 \text{ W}$.

$$\text{Lorsque } T_3 \text{ conduit :} \quad V_{BE3} = U_j = \frac{R_B}{R_A + R_B} (V_o + R_{lim} I_o) - V_o$$

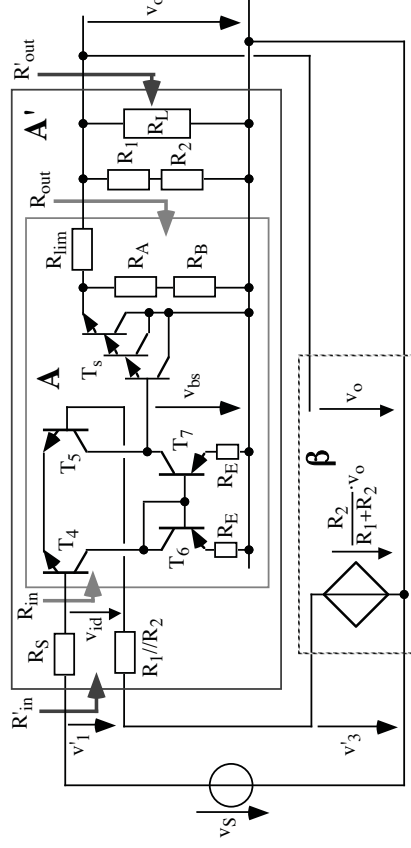
$$\text{Ce qui donne l'équation de la droite de repliement :} \quad I_o = \frac{R_A + R_{lim}}{R_B} \frac{U_j}{R_{lim}} - \frac{R_A}{R_B} \frac{V_o}{R_{lim}}$$

Schéma "petits signaux" :



Contre-réaction **série-parallèle**.

En insérant les éléments parasites dans A' pour avoir une réaction série-parallèle idéale :



Note:

Pour la paire différentielle, on va utiliser la méthode du demi-schéma équivalent (émetteurs de T_4 - T_5 à une masse fictive) pour tous les calculs qui suivent. Si l'on veut tenir compte du fait que la paire différentielle n'est pas parfaitement symétrique, on peut remplacer g_{cs5} par $g_{cs5}/2$.

$$R'_i = R_S + \frac{2}{g_{be4/5}} + R_i/R_2 \approx 20 \text{ k}\Omega$$

$$R'_{out} = R_L // (R_1 + R_2) // (R_{lim} + [(R_A + R_B) / (\frac{1}{g_{ms}} + \frac{1}{\beta_s (g_{cs5} + \frac{g_{cs7}}{g_{m7} R_E})})]) \quad \text{avec } \beta_s = \beta_1 \beta_2 = 225000$$

Compte tenu des valeurs numériques, en ne gardant que les termes significatifs, l'expression se réduit à:

$$R'_{out} \approx R_L // (R_{lim} + \beta_s g_{cs5}) \approx 0.6 \text{ }\Omega$$

$$A' = \frac{v_o}{v_i} = \frac{V_{id} V_{bs}}{V_i V_{id} V_{bs}} \cdot \frac{2}{\frac{g_{cs5}}{R_{in}} \cdot 2 \cdot (\frac{g_{cs5}}{2})} \cdot \frac{1}{\frac{g_{cs5}}{g_{m7} R_E} + \frac{1}{\beta_s [(R_A + R_B) / (R_{lim} + ((R_1 + R_2) / R_i))]} \cdot \frac{(R_1 + R_2) / R_i}{R_{lim} + ((R_1 + R_2) / R_i)}}$$

Le facteur 1/2 associé à g_{ms} est causé par la sortie asymétrique, alors que le facteur 2 devant g_{cs5} est créé par la charge active en miroir de courant.

Compte tenu des valeurs numériques, en ne gardant que les termes significatifs, l'expression se réduit à:

$$A' \approx \frac{2/g_{cs5}}{R_{in}} \cdot g_{ms} \cdot \frac{1}{g_{cs5}} \cdot \frac{R_i}{R_{lim} + R_L} \approx 1600$$

Le facteur de réaction est :

$$\beta = \frac{R_2}{R_1 + R_2} = 0.233$$

En boucle fermée, on obtient :

$$1 + A\beta \approx A\beta \approx 370$$

$$\text{Réaction série-parallèle} \Rightarrow R'_{out,F} = R'_{out} / (1 + A\beta) \approx 1.6 \text{ m}\Omega$$

$$R_{out,F} = \frac{1}{\frac{1}{R'_{out,F}} - \frac{1}{R_L}} \approx R'_{out,F} \approx 1.6 \text{ m}\Omega$$

Conclusion : la résistance de sortie est très basse, comme il convient à une source de tension constante.

LES AMPLIFICATEURS DE PUISSANCE

4. LES AMPLIFICATEURS DE PUISSANCE

	page
4.1 NOTIONS FONDAMENTALES RELATIVES AU CALCUL DES CIRCUITS DE PUISSANCE	5
4.1.1 Puissance dissipée par un signal périodique	5
4.1.2 Optimisation du transfert de puissance entre une source non-idéale et une charge	6
4.2. LES CLASSES D'AMPLIFICATEURS	9
4.2.1 Définition des classes d'amplificateurs	9
4.2.2 Critères de sélection d'une classe d'amplificateurs	12
4.3. STRUCTURE GENERALE D'UN AMPLIFICATEUR DE PUISSANCE AUDIO	13
4.4. AMPLIFICATEURS DE PUISSANCE CLASSE A	14
4.4.1 Ampli classe A, simple montage émetteur commun ou collecteur commun	14
4.4.2 Ampli classe A, montage émetteur commun ou collecteur commun avec polarisation par une résistance et couplage capacitif de la charge	16
4.4.3 Ampli classe A, montage émetteur commun et couplage de la charge par transformateur	17
4.4.4 Ampli classe A, montage émetteur commun ou collecteur commun, avec polarisation par source de courant, alimentations symétriques et couplage direct de la charge	18
4.4.5 Ampli classe A, montage à deux éléments actifs en opposition de phase, avec alimentations symétriques et couplage direct de la charge	20
4.4.6 Ampli classe A complet, exemple pratique pour une application audio	22

4.5. AMPLIFICATEURS DE PUISSANCE CLASSE B (& AB)	24
4.5.1 Schéma de base et caractéristique de transfert de l'amplificateur de pure classe B	24
4.5.2 Principe, schéma de base et caractéristique de transfert de l'amplificateur de classe AB	24
4.5.3 Puissances et rendement de l'amplificateur classe B en régime sinus	26
4.5.4 Réalisation pratique élémentaire de l'amplificateur classe B	28
4.5.5 Limitations et améliorations du montage élémentaire	29
4.5.6 Réalisation d'amplificateurs classe B de forte puissance	32
4.5.7 Schémas d'applications d'amplificateurs classe B (ou AB)	38
4.6. AMPLIFICATEURS DE PUISSANCE CLASSE D	40
4.6.1 Principe	40
4.6.2 Etage de puissance classe D	41
4.6.2 Génération du signal binaire s_B à partir du signal analogique V_{IN}	43
4.6.3 Exemple de schéma d'application pratique	44

4.1 NOTIONS FONDAMENTALES RELATIVES AU CALCUL DES CIRCUITS DE PUISSANCE

4.1.1 Puissance dissipée par un signal périodique

Un signal périodique est un signal qui se répète à chaque intervalle de temps T appelé la période:

$$f(t) = f(t + T) = f(t + n \cdot T) \quad \text{avec } n \text{ entier}$$

La valeur moyenne $\bar{f}(t)$ d'un signal périodique est définie par l'expression:

$$\bar{f}(t) = \frac{1}{T} \cdot \int_0^T f(t) dt$$

Elle est indépendante du temps de référence à partir duquel on mesure la période T .

Un signal alternatif est un signal périodique particulier dont la valeur moyenne est nulle.

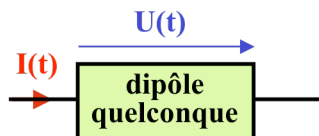
Sur base des définitions précédentes, on voit que tout signal périodique $U(t)$ peut donc être décomposé en deux parties:

- une composante continue : U_0
- une composante alternative : $u(t)$

telles que $U(t)$ peut s'écrire:

$$U(t) = U_0 + u(t)$$

Soit un dipôle quelconque soumis à un signal périodique:



La puissance instantanée absorbée par le dipôle s'exprime par:

$$p(t) = U(t) \cdot I(t) = (U_0 + u(t)) \cdot (I_0 + i(t))$$

La puissance moyenne, appelée le plus souvent simplement puissance, absorbée par le dipôle s'exprime par:

$$P = \frac{1}{T} \cdot \int_0^T p(t) dt = \frac{1}{T} \cdot \int_0^T [U_0 \cdot I_0 + I_0 \cdot u(t) + U_0 \cdot i(t) + u(t) \cdot i(t)] \cdot dt$$

$$P = U_0 \cdot I_0 + \frac{1}{T} \cdot \int_0^T u(t) \cdot i(t) \cdot dt = P_{DC} + P_{AC}$$

La puissance moyenne d'un signal périodique est donc donnée par la somme de la puissance liée à la composante continue du signal et de la puissance moyenne de la composante alternative de ce signal. Les termes mixtes disparaissent.

Cette propriété importante simplifiera considérablement le calcul de la puissance dans les circuits à transistors, où le petit signal alternatif à amplifier est le plus souvent superposé à une polarisation continue qui fixe le point de fonctionnement de l'élément actif.

Soit le cas particulier d'un signal avec une composante alternative sinusoïdale, dans un dipôle linéaire:

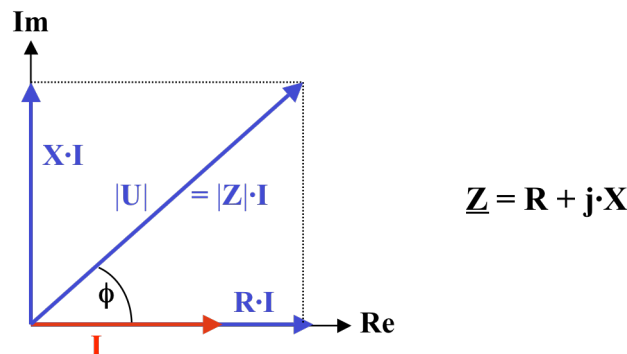
$$u(t) = U_{\text{crête}} \cdot \sin(\omega t) \quad \text{et} \quad i(t) = I_{\text{crête}} \cdot \sin(\omega t - \varphi)$$

$$P_{\text{AC}} = \frac{1}{T} \cdot \int_0^T u_{\text{crête}} \cdot i_{\text{crête}} \cdot \sin(\omega t) \cdot \sin(\omega t - \varphi) \cdot dt = \frac{U_{\text{crête}} \cdot I_{\text{crête}}}{2} \cdot \cos(\varphi) = U_{\text{eff}} \cdot I_{\text{eff}} \cdot \cos(\varphi)$$

L'amplitude et la phase de la tension en fonction du courant au travers du dipôle sont liées à l'impédance $\underline{Z}$ de ce dernier selon la loi:

$$\underline{U} = \underline{Z} \cdot \underline{I}$$

Les phaseurs peuvent être représentés dans le plan complexe ainsi:



En fonction de cette relation, on peut donc exprimer la puissance moyenne d'un signal alternatif sinusoïdal sous les différentes formes suivantes:

Charge complexe

=>

Charge purement résistive

$$P_{\text{AC}} = U_{\text{eff}} \cdot I_{\text{eff}} \cdot \cos(\varphi)$$

$$P_{\text{AC}} = U_{\text{eff}} \cdot I_{\text{eff}} = \frac{U_{\text{crête}} \cdot I_{\text{crête}}}{2}$$

$$P_{\text{AC}} = U_{\text{eff}} \cdot \frac{U_{\text{eff}}}{|\underline{Z}|} \cdot \frac{R}{|\underline{Z}|} = \frac{U_{\text{eff}}^2 \cdot R}{|\underline{Z}|^2}$$

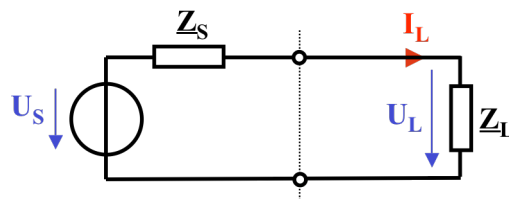
$$P_{\text{AC}} = \frac{U_{\text{eff}}^2}{R} = \frac{U_{\text{crête}}^2}{2 \cdot R}$$

$$P_{\text{AC}} = |\underline{Z}| \cdot I_{\text{eff}} \cdot I_{\text{eff}} \cdot \frac{R}{|\underline{Z}|} = R \cdot I_{\text{eff}}^2$$

$$P_{\text{AC}} = R \cdot I_{\text{eff}}^2 = \frac{R \cdot I_{\text{crête}}^2}{2}$$

4.1.2 Optimisation du transfert de puissance entre une source non-idéale et une charge

Soit une source sinusoïdale avec une impédance de source connectée à une impédance de charge:



Avec: $\underline{Z}_S = R_S + j \cdot X_S$ et $\underline{Z}_L = R_L + j \cdot X_L$

La puissance moyenne transmise à la charge est donnée par:

$$P_L = R_L \cdot I_{L,\text{eff}}^2 = R_L \cdot \frac{U_{S,\text{eff}}^2}{|\underline{Z}_S + \underline{Z}_L|^2} = R_L \cdot \frac{U_{S,\text{eff}}^2}{|(R_S + R_L) + j\omega(X_S + X_L)|^2} = R_L \cdot \frac{U_{S,\text{eff}}^2}{(R_S + R_L)^2 + (X_S + X_L)^2}$$

La puissance transmise passe par un maximum lorsque l'on a simultanément:

$$\frac{\partial P_L}{\partial X_L} = 0 \quad \text{et} \quad \frac{\partial P_L}{\partial R_L} = 0$$

$$\frac{\partial P_L}{\partial X_L} = R_L \cdot U_{S,\text{eff}}^2 \cdot \frac{-2 \cdot (X_S + X_L)}{\left((R_S + R_L)^2 + (X_S + X_L)^2\right)^2} = 0 \quad \Rightarrow \quad X_S = -X_L$$

$$\Rightarrow \quad P_L = U_{S,\text{eff}}^2 \cdot \frac{R_L}{(R_S + R_L)^2}$$

$$\frac{\partial P_L}{\partial R_L} = U_{S,\text{eff}}^2 \cdot \frac{(R_S + R_L)^2 - R_L \cdot 2 \cdot (R_S + R_L)}{(R_S + R_L)^4} = U_{S,\text{eff}}^2 \cdot \frac{R_S^2 - R_L^2}{(R_S + R_L)^4} = 0 \quad \Rightarrow \quad R_S = R_L$$

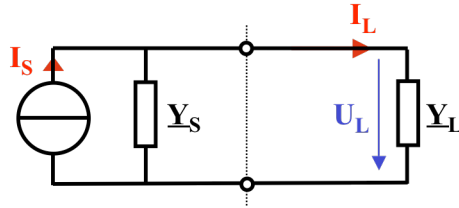
Pour un transfert de puissance maximum, la charge doit donc présenter une impédance qui est le conjugué complexe de l'impédance interne de la source:

$$\underline{Z}_L = \underline{Z}_S^* \quad \Leftrightarrow \quad \underline{X}_L = -\underline{X}_S \quad \text{et} \quad R_S = R_L$$

Dans ces conditions, la puissance maximum transmise, dite “puissance d'échange”, vaut:

$$P_{\text{max}} = \frac{U_{S,\text{eff}}^2}{4 \cdot R_L}$$

Le principe de l'adaptation d'impédance entre une source et une charge a été démontré sur base du circuit équivalent de Thévenin de la source. Un résultat identique est obtenu en utilisant le circuit équivalent de Norton.



$$P_L = \frac{U_{L,\text{eff}}^2}{R_L} = R_L \cdot \frac{G_L \cdot I_{S,\text{eff}}^2}{|\underline{Y}_S + \underline{Y}_L|^2} = R_L \cdot \frac{U_{S,\text{eff}}^2}{|(G_S + G_L) + j\omega(B_S + B_L)|^2}$$

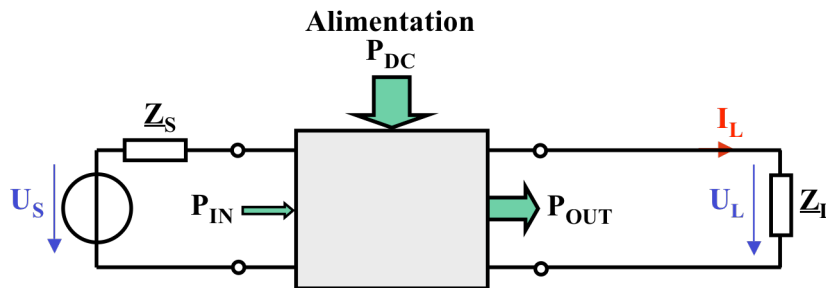
$$\frac{\partial P_L}{\partial B_L} = 0 \quad \Rightarrow \quad B_S = -B_L \quad \Rightarrow \quad X_S = -X_L$$

$$\frac{\partial P_L}{\partial G_L} = 0 \quad \Rightarrow \quad G_S = G_L \quad \Rightarrow \quad R_S = R_L$$

$$\Rightarrow \quad \underline{Y}_L = \underline{Y}_S^* \quad \Leftrightarrow \quad \underline{Z}_L = \underline{Z}_S^*$$

$$P_{\text{max}} = \frac{I_{S,\text{eff}}^2}{4 \cdot G_L} = \frac{I_{S,\text{eff}}^2 \cdot R_L}{4}$$

Lorsqu'un quadripôle actif est inséré entre une source et une charge, l'adaptation de l'impédance Z_L doit se faire avec la plus grande prudence.



1. L'adaptation de Z_L à l'impédance de sortie du quadripôle ne suffit pas à garantir le gain en puissance maximum: il faut aussi adapter l'entrée du quadripôle à Z_S .
2. Le choix de Z_L doit tenir compte de l'amplitude du signal: il faut éviter d'atteindre les limites du blocage ou de la mise en quasi court-circuit de l'élément actif.
3. Il faut tenir compte de la polarisation DC de l'élément actif. Celle-ci participe à la puissance dissipée par l'élément actif, et détermine le rendement de l'étage.

Le **rendement** d'un amplificateur est défini comme:

$$\eta = \frac{\text{Puissance utile à la sortie}}{\text{Puissance totale fournie}} = \frac{P_{\text{out}}}{P_{\text{in}} + P_{\text{DC,alim}}}$$

Dans le cas des amplificateurs à basse fréquence, P_{in} est totalement négligeable, et l'expression du rendement se réduit à:

$$\eta = \frac{P_{\text{out}}}{P_{\text{DC,alim}}}$$

On recherche souvent la condition de rendement maximum. Celle-ci ne correspond pas nécessairement au maximum de puissance transmise de la source à la charge. C'est en particulier le cas pour les amplificateurs à basse fréquence, pour lesquels on ne se soucie pas d'adaptation d'impédance, la sortie se comportant comme une source quasi-idéale de tension ou de courant.

Remarque :

Les circuits équivalents de Norton et Thévenin donnent une image correcte des tensions et courants apparaissant aux bornes d'un dipôle actif. Ils permettent dès lors de calculer la puissance dissipée dans la charge Z_L connectée à ce dipôle.

Par contre, les circuits équivalents de Norton et Thévenin ne sont pas utilisables pour calculer la puissance P_Q dissipée par le dipôle-source lui-même. Pour le démontrer, il suffit de considérer un dipôle-source dont la sortie est en court-circuit :

$$\text{avec Thévenin: } P_Q = \frac{U_{S,\text{eff}}^2}{R_S} \quad \text{avec Norton: } P_Q = 0$$

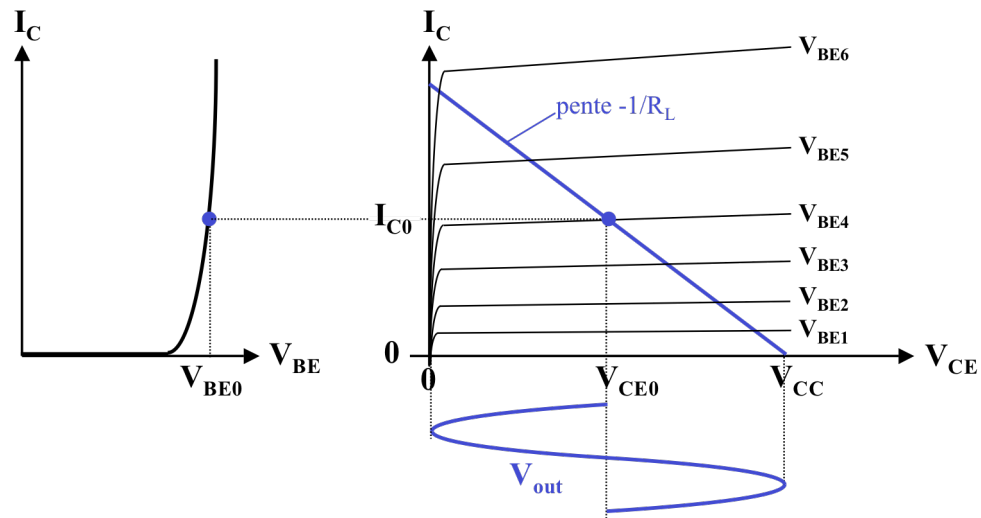
4.2. LES CLASSES D'AMPLIFICATEURS

4.2.1 Définition des classes d'amplificateurs

Les classes d'amplificateurs sont définies en fonction du point de fonctionnement ou du mode de fonctionnement des éléments actifs:

CLASSE A :

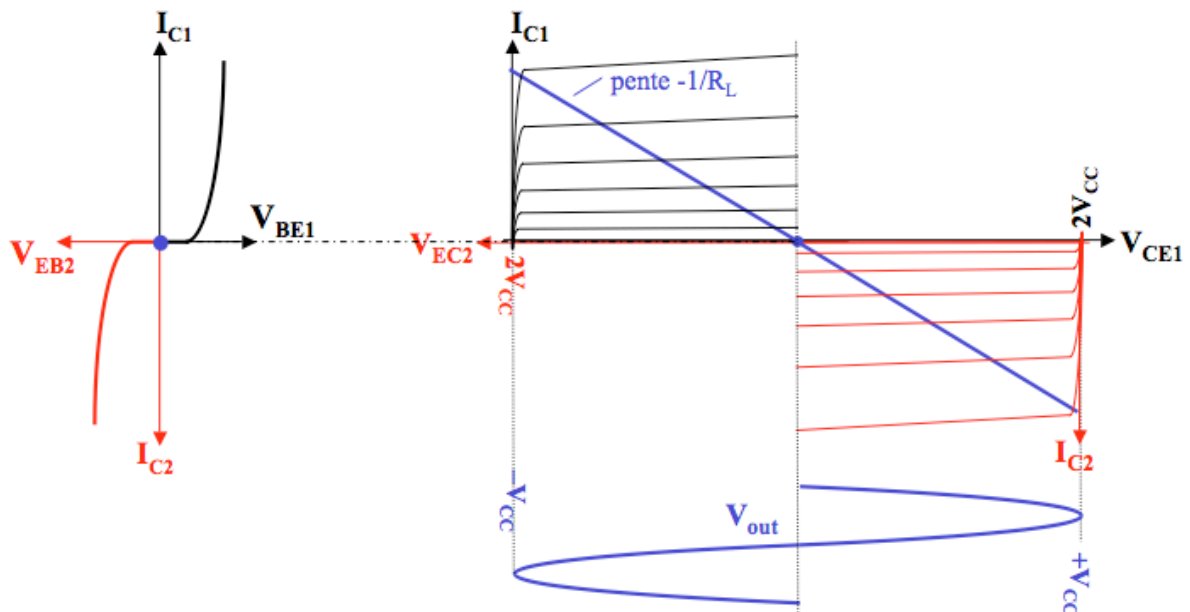
L'élément actif est conducteur durant la totalité d'une alternance d'un signal de sortie sinus. Le point de repos est situé au milieu de la zone active.



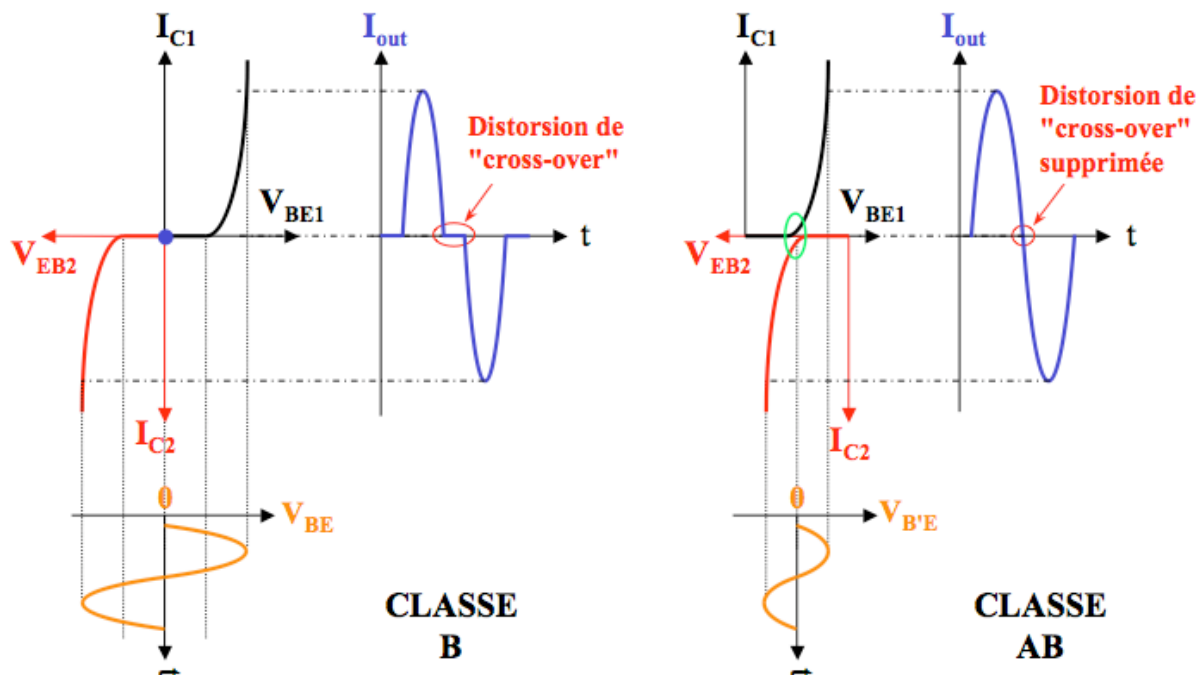
CLASSE B & AB :

L'élément actif ne conduit que durant une demi-période d'un signal de sortie sinus, et reste bloqué durant l'autre demi-période. Le point de repos se situe à la limite du blocage, en théorie à $V_{BE0}=0$.

Pour obtenir un signal de sortie sinus complet, on utilise deux transistors, en général complémentaires, chacun conduisant durant une demi-période, en opposition de phase.



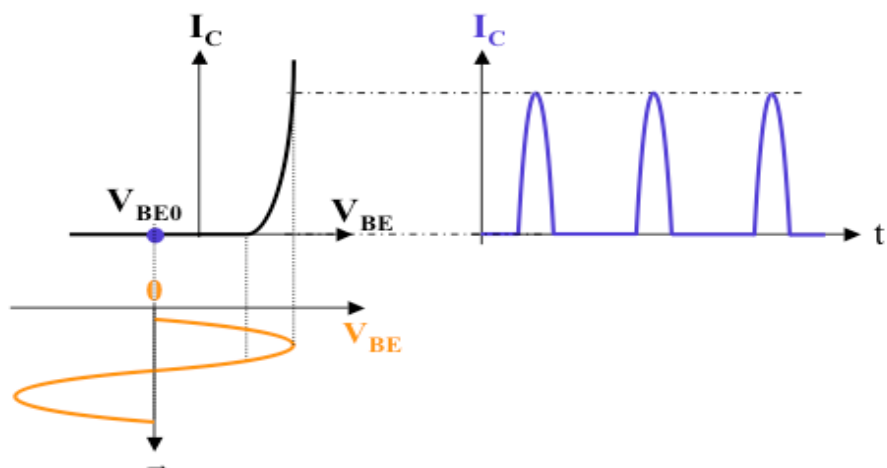
En pure classe B, c-à-d avec $V_{BE0} = 0$ pour les deux transistors, la caractéristique de transfert présente une tangente horizontale autour de l'origine, ce qui fait que, comme le montre la figure ci-dessous, un signal de commande sinus provoque un courant de sortie avec une distorsion marquée au passage par zéro, dite de "crossover".



En classe AB, pour supprimer la distorsion de "crossover", le point de repos de chaque transistor est décalé de façon à ce qu'un léger courant de repos les traverse. Pour des petits signaux sinus, les deux transistors conduisent durant toute la période, donc en classe A. Pour des grands signaux sinus, chaque transistor conduit durant à peine plus qu'une demi-période, donc quasiment en classe B. D'où le nom de classe AB.

CLASSE C :

L'élément actif conduit durant un intervalle de temps inférieur à une demi-période d'un signal d'entrée sinus. Le point de repos se situe dans la zone de blocage: $V_{BE0} \leq 0$. Le courant de sortie a alors la forme d'impulsions arrondies, riche en harmoniques.



Pour retrouver une allure sinusoïdale, le signal de sortie doit être filtré par un circuit passe-bande à bande étroite très sélectif.

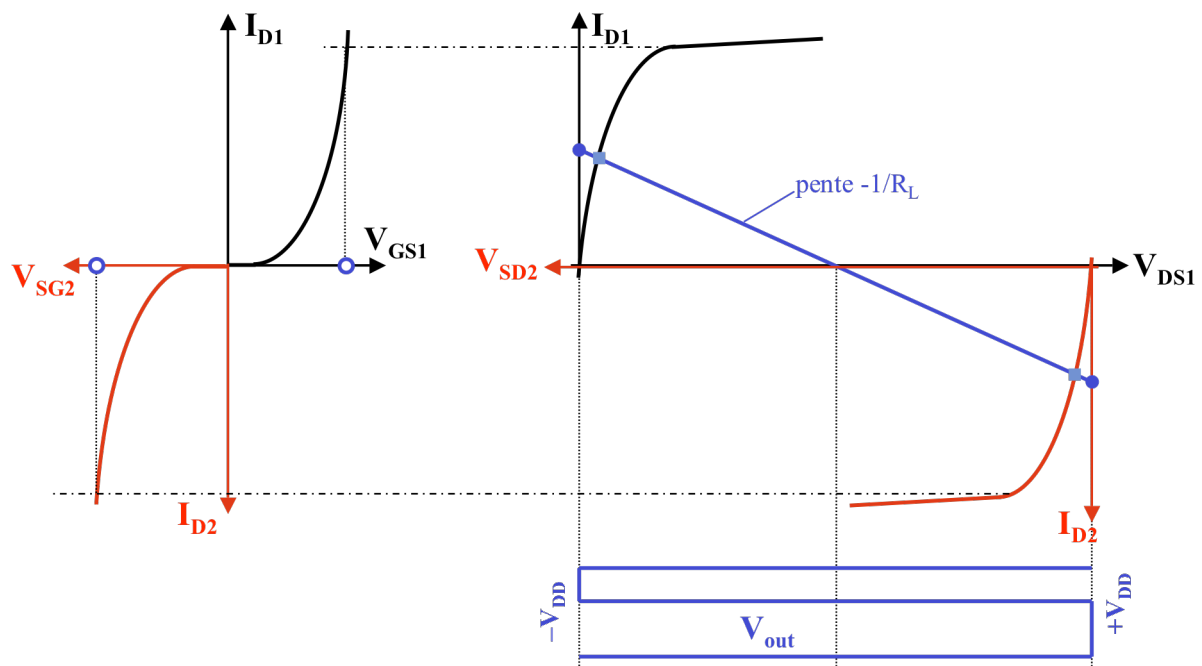
La classe C ne s'emploie que pour des applications particulières, comme les amplis HF accordés, pour signaux d'amplitude constante (p. ex. dans un émetteur FM), ou pour de la multiplication de fréquence, par filtrage d'une harmonique de rang donné.

Les amplificateurs classe C ne seront pas étudiés plus avant dans ce cours.

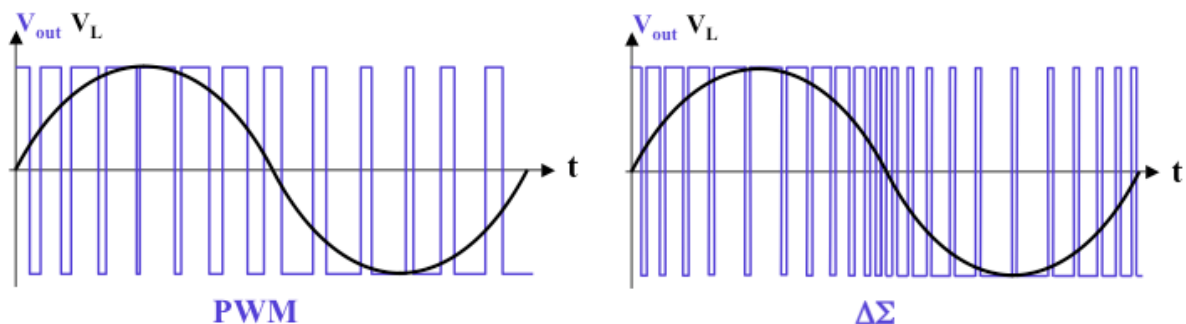
CLASSE D :

L'élément actif fonctionne en interrupteur, ouvert ou fermé. La fréquence de commutation est nettement supérieure à celle du signal à amplifier. Le signal à basse fréquence de sortie est la moyenne, obtenue par filtrage passe-bas, du signal carré à la fréquence de commutation.

Pour obtenir un signal bipolaire, on utilise deux transistors MOS, en général complémentaires, commandés en opposition, reliant la charge alternativement à deux alimentations symétriques.



Le signal carré haute fréquence est modulé PWM (fréquence fixe, rapport cyclique variable) ou Σ - Δ (impulsion de durée constante à densité temporelle variable) par le signal utile basse fréquence d'entrée de l'ampli. Son allure est illustrée ci-dessous.



A la sortie, un filtre passe-bas de type LC ne transmet à la charge que la valeur moyenne V_L de ce carré modulé V_{out} .

4.2.2 Critères de sélection d'une classe d'amplificateurs

De nombreux critères peuvent être pris en compte. On peut notamment citer les principaux:

- La fidélité ou le taux de distorsion harmonique.
- La puissance de sortie.
- Le rendement.
- La puissance maximale que peut dissiper l'élément actif.
- Le gain (en tension, en courant et en puissance).
- La fréquence maximale du signal amplifié.

Les caractéristiques relatives des différentes classes d'amplificateurs seront mises en évidence lors de leur étude détaillée.

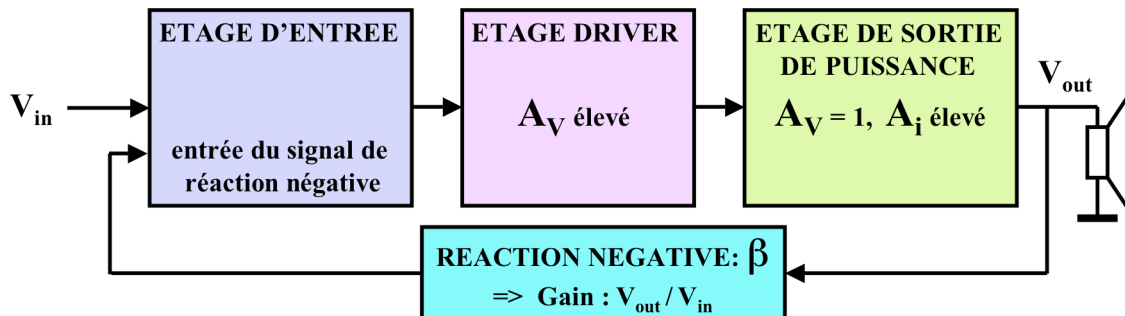
A titre préliminaire, on peut toutefois avancer les critères suivants:

- Les amplis de classe A sont intrinsèquement les amplis linéaires les plus fidèles, c'est à dire présentant le taux de distorsion harmonique le plus faible, même en l'absence de réaction négative. Leur rendement est toutefois tellement faible que leur usage est généralement limité aux amplificateurs de faible puissance, ou encore aux amplificateurs audio haute-fidélité de haut de gamme.
- Les amplis classe B (en pratique AB) sont de loin les amplis linéaires les plus utilisés. Quand on leur associe une boucle de réaction négative, leur distorsion tombe à un niveau extrêmement faible. Leur rendement est excellent, et ils peuvent aisément fournir une puissance de sortie élevée.
- Les amplis de classe D, dits aussi à découpage, ont un rendement plus élevé de tous les amplis linéaires, mais présentent un taux de distorsion harmonique légèrement supérieur aux meilleurs amplis de la classe AB. Ils sont utilisés par exemple dans les amplis d'auto-radio, de home cinéma, ...
- Les amplis de classe C ont un très haut rendement, mais, à cause de leur forte distorsion, ils ne sont utilisables qu'en haute fréquence avec un filtrage en sortie à l'aide de circuits accordés. Ils servent surtout à l'amplification de porteuses HF, lorsque la fidélité de la forme de l'enveloppe n'est pas requise.

4.3. STRUCTURE GENERALE D'UN AMPLIFICATEUR DE PUISSANCE AUDIO

Un amplificateur de puissance audio reçoit à son entrée un signal de faible amplitude (1 V ou moins) et de faible puissance, et doit délivrer à sa sortie un signal de forte puissance (généralement entre un et des centaines de Watts) dans une charge (haut-parleur) dont l'impédance typique est de 2 Ω , 4 Ω , 8 Ω ou 16 Ω . La tension et le courant de sortie requis peuvent donc atteindre plusieurs dizaines de Volts et plus d'une dizaine d'Ampères.

Un amplificateur de puissance audio classe A ou B, est généralement constitué de trois étages selon le schéma bloc suivant:



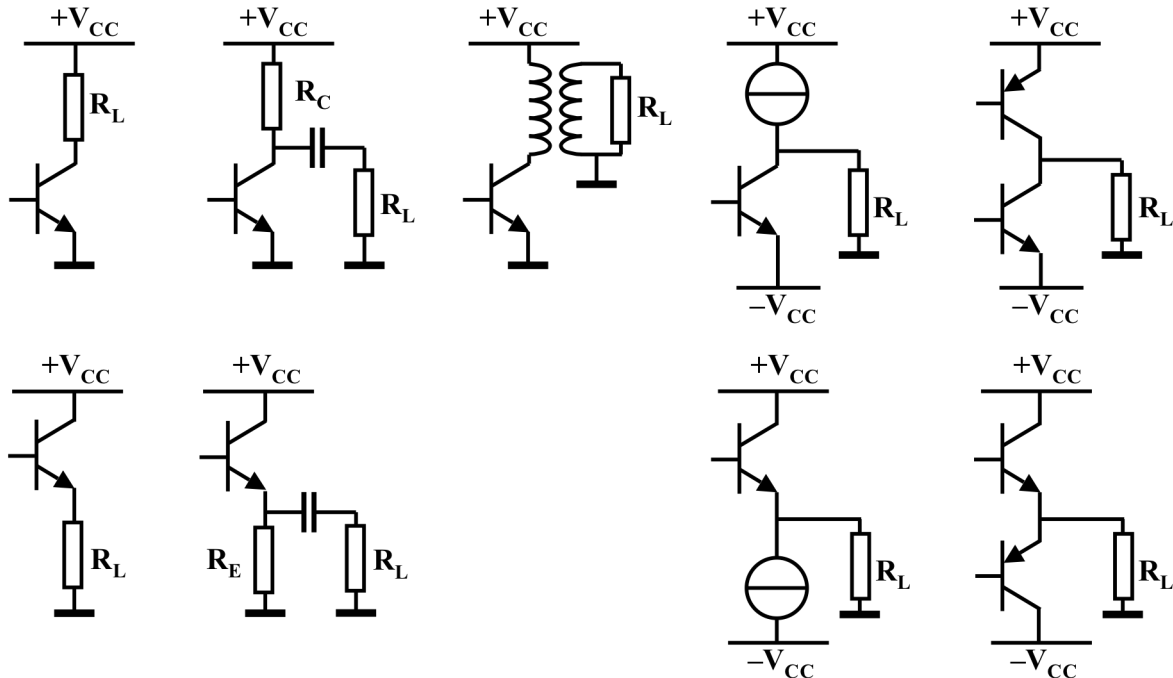
Un haut-parleur classique à bobine mobile a un comportement dynamique optimal s'il est excité par un amplificateur dont la résistance de sortie est de plus d'un ordre de grandeur plus basse que l'impédance du haut-parleur. Dans les étages de sortie de puissance linéaires (classe A ou B) on retrouve donc le plus souvent un étage de sortie du type collecteur commun (bipolaire) ou drain commun (MOS), dont la résistance de sortie est minimale. Un tel étage offre un gain en tension unitaire, son rôle étant de reproduire la tension appliquée à son entrée, mais avec un courant de sortie élevé. Il doit donc être commandé par un étage "driver", capable de délivrer la pleine tension du signal de sortie, mais avec un courant bien plus faible. Cet étage "driver" a généralement un gain en tension élevé et une dynamique maximale. Il est le plus souvent précédé d'un étage d'entrée capable de combiner au mieux le signal indépendant d'entrée et celui de la contre-réaction (voir chapitre 5).

Les amplis audio classe D ont une structure propre qui sera très brièvement présentée à la fin de ce chapitre (voir 4.6.).

4.4. AMPLIFICATEURS DE PUISSANCE CLASSE A

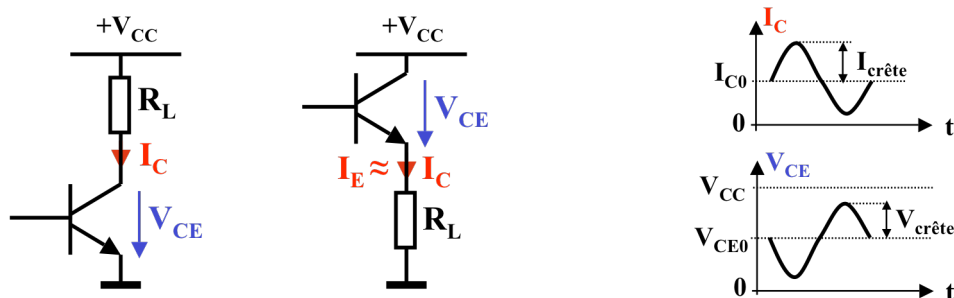
Rappel: dans un amplificateur classe A, le (les) élément(s) actif(s) condui(sen)t durant toute la période d'un signal sinus.

Les configurations courantes sont les suivantes :



4.4.1 Ampli classe A, simple montage émetteur commun ou collecteur commun

La configuration la plus simple consiste à brancher la charge directement en série avec le transistor selon l'un des schémas suivants:



Le transistor ainsi que la charge sont traversés par la composante continue (polarisation) et la composante alternative utile (signal) du courant:

$$I_C(t) = I_{C0} + i_C(t) \quad \text{et} \quad V_{CE}(t) = V_{CE0} + v_{CE}(t) = V_{CC} - R_L \cdot I_{C0} - R_L \cdot i_C(t)$$

La puissance dissipée dans la charge en régime sinus est la somme des contributions de la composante continue et de la composante alternative sinusoïdale:

$$P_{RL} = (V_{CC} - V_{C0}) \cdot I_{C0} + \frac{V_{crête} \cdot I_{crête}}{2}$$

La puissance instantanée dissipée dans le transistor est:

$$p_Q(t) = V_{CE}(t) \cdot I_C(t) = (V_{CC} - R_L \cdot I_C(t)) \cdot I_C(t) = V_{CC} \cdot I_C(t) - R_L \cdot I_C^2(t)$$

$$P_Q(t) = V_{CC} \cdot (I_{C0} + i_C(t)) - R_L \cdot (I_{C0} + i_C(t))^2 = (V_{CC} - R_L \cdot I_{C0}) \cdot I_{C0} + (V_{CC} - 2 \cdot R_L \cdot I_{C0}) \cdot i_C(t) - R_L \cdot i_C^2(t)$$

La puissance (moyenne) dissipée dans le transistor en régime sinus est:

$$P_Q = V_{C0} \cdot I_{C0} - \frac{V_{crête} \cdot I_{crête}}{2}$$

Elle est maximum au repos !

$$P_{Q,max} = V_{C0} \cdot I_{C0}$$

La puissance (moyenne) fournie par l'alimentation en régime sinus est:

$$P_Q = \frac{1}{T} \int_0^T V_{CC} \cdot (I_{C0} + i_C(t)) \cdot dt = V_{CC} \cdot I_{C0} + \frac{V_{CC}}{T} \int_0^T i_C(t) \cdot dt = V_{CC} \cdot I_{C0} = \text{cst}$$

On peut vérifier que la puissance moyenne délivrée par la source est la somme de celles dissipées dans la charge et le transistor.

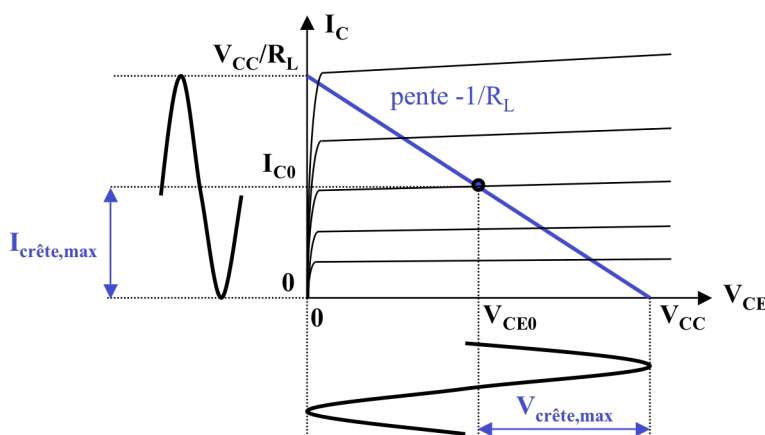
Le rendement d'un amplificateur à basse fréquence, pour lequel la puissance du signal d'entrée est négligeable, est défini comme:

$$\eta = \frac{\text{Puissance utile dans la charge due au signal alternatif}}{\text{Puissance d'alimentation}}$$

Le rendement en régime sinus est donc:

$$\eta = \frac{P_{AC,RL}}{P_{alim}} = \frac{V_{crête} \cdot I_{crête}}{2 \cdot V_{CC} \cdot I_{C0}}$$

Le rendement maximum en régime sinus est atteint lorsque l'amplitude du signal est maximale. C'est le cas lorsque le point de repos est au milieu de la droite de charge:



Dans ce cas :

$$V_{CE0} = \frac{V_{CC}}{2} \quad I_{C0} = \frac{V_{CC}}{2 \cdot R_L} \quad V_{crête,max} = \frac{V_{CC}}{2} \quad I_{crête,max} = I_{C0} = \frac{V_{CC}}{2 \cdot R_L}$$

$$\eta_{max} = \frac{1}{4} = 25\%$$

Résumé des puissances au repos et à pleine puissance de sortie, en régime sinus, dans les conditions de rendement maximum:

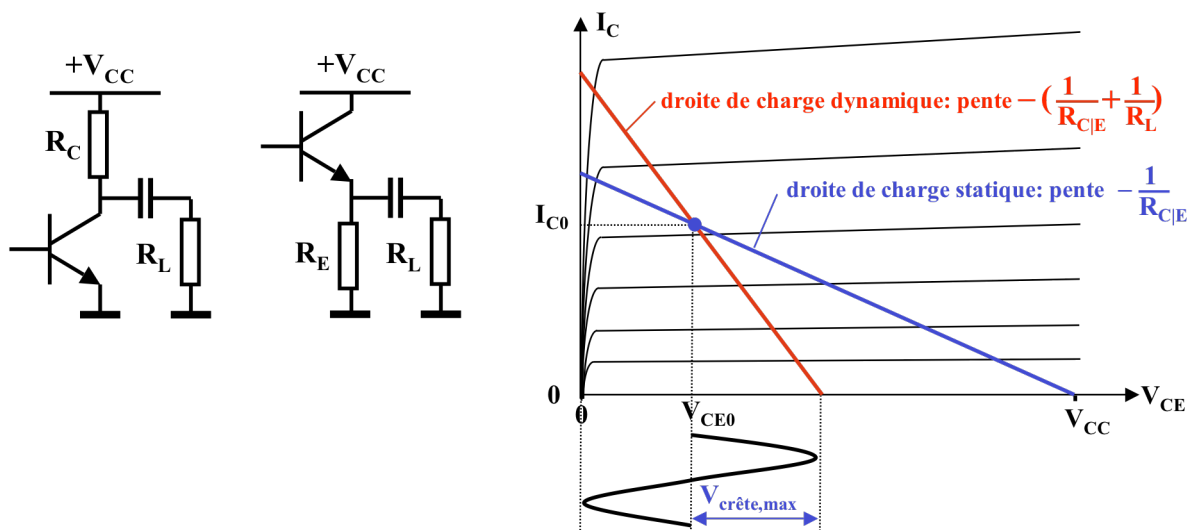
avec: $I_{C0} = \frac{V_{CC}}{2 \cdot R_L}$	au repos	à $P_{RL,max}$
P_Q	$\frac{V_{CC} \cdot I_{C0}}{2}$ 50 %	$\frac{V_{CC} \cdot I_{C0}}{4}$ 25 %
P_{RL}	$\frac{V_{CC} \cdot I_{C0}}{2}$ 50 %	$\frac{3 \cdot V_{CC} \cdot I_{C0}}{4}$ 75 % $\left\{ \begin{array}{l} 50 \% \text{ continu inutile} \\ 25 \% \text{ signal utile} \end{array} \right.$
P_{alim}	$V_{CC} \cdot I_{C0}$	$V_{CC} \cdot I_{C0}$

Conclusions:

- La puissance moyenne dissipée dans le transistor est maximum au repos, c.-à-d. en l'absence de signal AC.
- Le courant continu de polarisation qui traverse la charge y provoque une dissipation constante de puissance double de la puissance utile maximale possible. Ceci est inacceptable pour une charge telle qu'un haut-parleur.

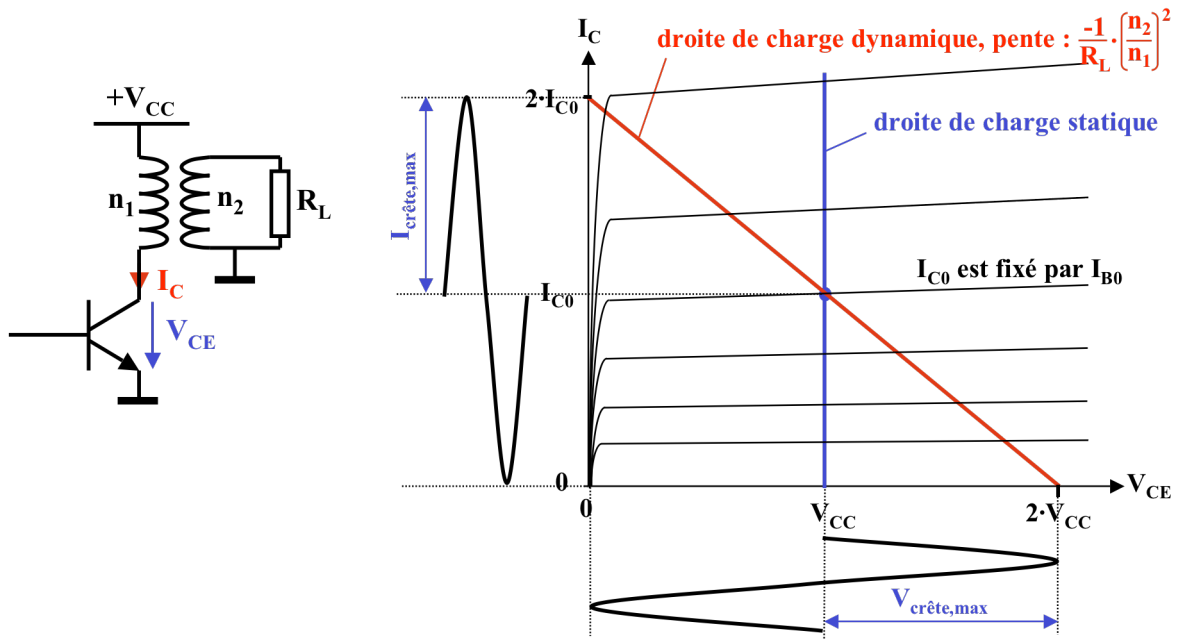
4.4.2 Ampli classe A, montage émetteur commun ou collecteur commun avec polarisation par une résistance et couplage capacitif de la charge

Pour éliminer toute composante continue dans la charge, une technique classique est de la connecter à la sortie de l'ampli par l'intermédiaire d'une capacité de couplage. Pour laisser passer le courant de repos dans le transistor, sans court-circuiter la charge en AC, la présence d'une résistance de collecteur, respectivement d'émetteur, est indispensable.



Sachant que seule la puissance dans R_L est utile, on peut montrer que le rendement $\eta = P_{RL}/P_{alim}$ d'un tel circuit ne peut pas dépasser 10%. Conclusion: cette configuration, souvent utilisée pour faire des amplificateurs "petits signaux", n'est pas du tout adaptée à la réalisation d'un étage de puissance.

4.4.3 Ampli classe A, montage émetteur commun et couplage de la charge par transformateur



Le bobinage primaire d'un transformateur correctement dimensionné représentant une impédance négligeable en continu, le potentiel continu de collecteur est constant, égal à V_{CC} , d'où la droite de charge statique verticale:

La pente de la droite de charge dynamique est donnée par la résistance en alternatif vue du primaire du transformateur, celle-ci étant égale à la charge connectée au secondaire multipliée par le carré du rapport de transformation.

Le rapport de transformation optimum donnant une dynamique maximum, donc une rendement maximum, correspond à une droite de charge dynamique divisée en deux parties égales par le point de fonctionnement au repos. Cette situation est représentée dans la figure ci-dessus, où le courant et la tension sont ceux au primaire du transformateur. La pente de la droite de charge optimale est:

$$\left(\frac{n_2}{n_1}\right)^2 \cdot \frac{1}{R_L} = \frac{I_{C0}}{V_{CC}}$$

La puissance maximum en régime sinus dans la charge vaut:

$$P_{R_L, \text{max}} = \frac{I_L^2}{2} \cdot R_L = \frac{I_{\text{crête,max}}^2}{2} \cdot \left(\frac{n_1}{n_2}\right)^2 \cdot R_L = \frac{I_{C0}^2 \cdot R_L}{2} \cdot \left(\frac{n_1}{n_2}\right)^2$$

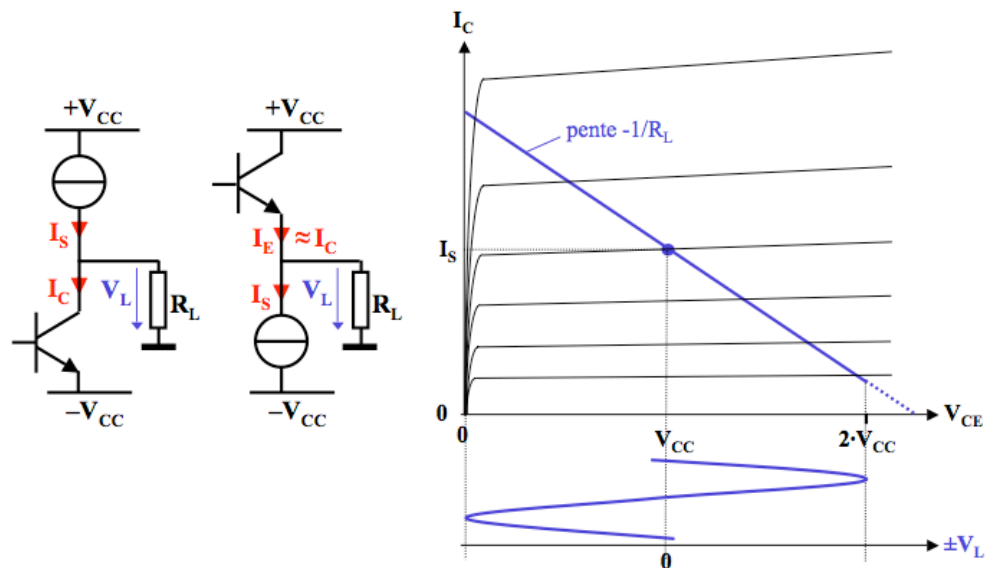
Le rendement maximum en régime sinus vaut:

$$\eta_{\text{max}} = \frac{V_{\text{crête,max}} \cdot I_{\text{crête,max}}}{2 \cdot V_{CC} \cdot I_{C0}} = \frac{1}{2} = 50 \%$$

Ce rendement, le plus élevé que l'on puisse obtenir en classe A, est le principal atout de cette configuration.

Toutefois, pour une application audio (20 Hz à 20 kHz), le transformateur de couplage est un composant, encombrant, lourd, délicat à réaliser et coûteux. Pour ces raisons, cette configuration n'est plus utilisée dans les amplis audio à transistors.

4.4.4 Ampli classe A, montage émetteur commun ou collecteur commun, avec polarisation par source de courant, alimentations symétriques et couplage direct de la charge



Dans cette configuration, le transistor est commandé de façon que son courant de repos soit égal à celui constant de la source. Le courant de repos dans la charge est alors nul, d'où:

$$I_{C0} = I_S \Rightarrow V_{L0} = R_L \cdot 0 = 0 \Rightarrow V_{CE0} = V_{CC}$$

$$P_{\text{alim,totale}} = 2 \cdot V_{CC} \cdot I_S \quad \text{et, au repos: } P_{Q,\text{max}} = P_{S,\text{max}} = V_{CC} \cdot I_S$$

Lorsque le transistor sature la tension de crête sur la charge est $-V_{CC}$ en EC et $+V_{CC}$ en CC. Lorsque le transistor se bloque, tout le courant I_S traverse la charge. Pour que dans cette condition, on puisse atteindre la valeur de crête du sinus égale à la crête opposée, il faut que:

$$R_L \cdot I_S \geq V_{CC}$$

Si la condition énoncée ci-dessus est respectée, on a en régime sinus:

$$V_{\text{crête,max}} = V_{CC}$$

$$P_{R_L,\text{max}} = \frac{V_{CC}^2}{2 \cdot R_L}$$

$$P_{\text{alim,totale}} = 2 \cdot V_{CC} \cdot I_S$$

$$\eta = \frac{P_{R_L,\text{max}}}{P_{\text{alim,totale}}} = \frac{V_{CC}}{4 \cdot R_L \cdot I_S}$$

Le rendement maximum en régime sinus est atteint lorsque:

$$I_S = \frac{V_{CC}}{R_L}$$

et vaut:

$$\eta_{\text{max}} = \frac{1}{4} = 25 \%$$

Résumé des puissances au repos et à pleine puissance de sortie, en régime sinus, dans les conditions de rendement maximum:

avec: $I_S = \frac{V_{CC}}{R_L}$	au repos	à $P_{RL,max}$
P_Q	$V_{CC} \cdot I_S$ 50 %	$\frac{V_{CC} \cdot I_S}{2}$ 25 %
P_S	$V_{CC} \cdot I_S$ 50 %	$V_{CC} \cdot I_S$ 50 %
P_{RL}	0 0 %	$\frac{V_{CC} \cdot I_S}{2}$ 25 % signal utile
$P_{alim,totale}$	$2 \cdot V_{CC} \cdot I_S$	$2 \cdot V_{CC} \cdot I_S$

Conclusions:

- La puissance moyenne dissipée dans le transistor actif est maximum au repos, c.-à-d. en l'absence de signal AC.
- La moitié de la puissance d'alimentation est dissipée en permanence dans la source de polarisation.
- Il n'y a pas de courant continu dans la charge.
- Le rendement maximum est de 25%, valeur typique de la classe A.
- C'est une bonne solution pour un ampli audio, surtout le collecteur commun.

Remarque importante:

La puissance (moyenne) dissipée par un transistor correspond à la puissance thermique produite sur le chip, évacuée au travers du boîtier et d'un radiateur, jusque dans l'air ambiant. Boîtier et radiateur ont en général une constante de temps thermique bien supérieure à la période du signal alternatif, ils sont donc choisis en fonction de la puissance moyenne. Le chip, par contre, peut avoir une constante de temps thermique inférieure à la période du signal alternatif. Dans ce cas, le transistor doit supporter la puissance instantanée maximale.

La puissance instantanée dissipée par le transistor actif est (notations pour le CC):

$$p_Q(t) = V_{CE}(t) \cdot I_C(t) = (V_{CC} - v_L(t)) \cdot (I_S + i_L(t))$$

$$p_Q(t) = (V_{CC} - v_L(t)) \cdot (I_S + v_L(t)/R_L) = V_{CC} \cdot I_S - (I_S - V_{CC}/R_L) \cdot v_L(t) - v_L^2(t)/R_L$$

Elle atteint un maximum pour:

$$\frac{\partial p_Q(t)}{\partial v_L(t)} = -2 \cdot v_L(t)/R_L - (I_S - V_{CC}/R_L) = 0 \quad \Rightarrow \quad v_L(t) = \frac{V_{CC} - R_L \cdot I_S}{2}$$

La puissance instantanée maximum dissipée par le transistor actif en charge est:

$$p_{Q(t)_{max}} = \frac{V_{CC}^2}{4 \cdot R_L} + \frac{R_L \cdot I_S^2}{4} + \frac{V_{CC} \cdot I_S}{2}$$

Toutefois, il arrive souvent qu'un amplificateur fonctionne à vide, c'est à dire sans charge, donc avec $I_L = 0$. Le courant dans le transistor actif est alors constant, égal à I_S , et la puissance instantanée qu'il dissipe vaut (notations pour le CC):

$$p_Q(t) = V_{CE}(t) \cdot I_C(t) = (V_{CC} - v_L(t)) \cdot I_S$$

Elle atteint un maximum pour la tension de sortie extrême négative $v_{L,min}$ qui tend vers $-V_{CC}$. La puissance instantanée dissipée par le transistor actif est maximum lorsque l'ampli est sans charge, et tend vers:

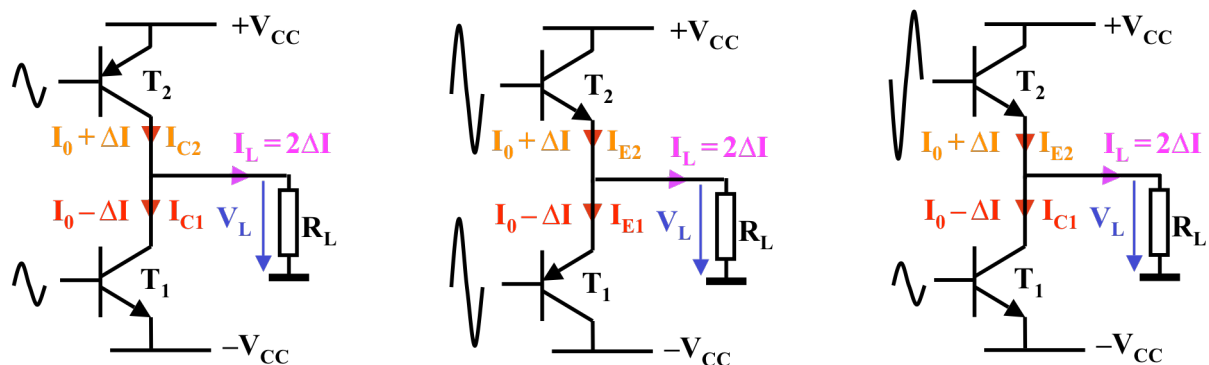
$$p_Q(t)_{max} = 2 \cdot V_{CC} \cdot I_S$$

Cela correspond également à la puissance instantanée maximum dissipée par la source de polarisation, que la charge soit connectée ou pas:

$$p_S(t)_{max} = 2 \cdot V_{CC} \cdot I_S$$

4.4.5 Push-Pull classe A: deux éléments actifs en opposition de phase, avec alimentations symétriques et couplage direct de la charge

Le principe est de remplacer la source de courant constant de la configuration précédente par un second transistor actif, agissant en opposition de phase avec le premier. Les trois variantes courantes sont:



Remarque:

Ces trois variantes de "Push-Pull" peuvent être utilisées aussi bien en classe A qu'en classe B, ou évidemment AB. En classe A, les deux transistors conduisent en permanence, une augmentation du courant dans l'un s'accompagnant d'une diminution dans l'autre, donnant ainsi les alternances tant positives que négatives du courant de sortie. En classe B, le transistor du haut ne conduit que durant l'alternance positive du signal de sortie, celui du bas que durant l'alternance négative.

Dans un Push-Pull classe A, les transistors sont commandés de façon que leurs courants soient égaux au repos. Le courant dans la charge et la tension à ses bornes sont alors nuls. Donc, au repos:

$$I_{C10} = I_{C20} = I_{C0}$$

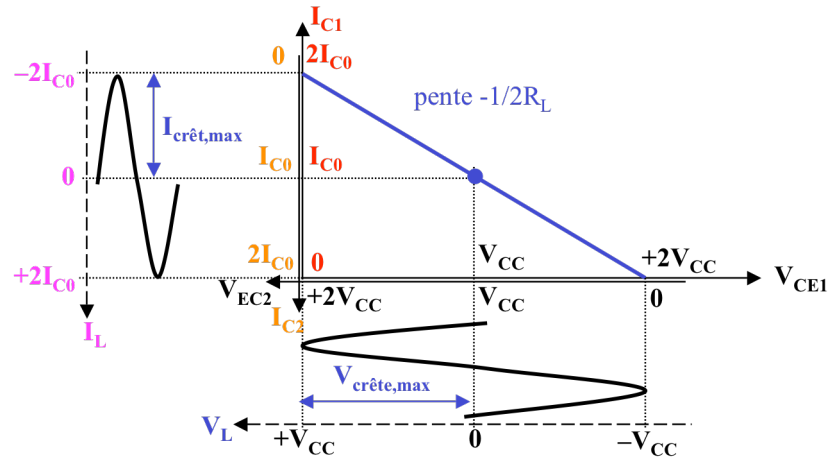
$$V_{CE10} = V_{CE20} = V_{CC}$$

$$P_{alim,totale} = 2 \cdot V_{CC} \cdot I_{C0}$$

$$P_{Q,max} = 2 \cdot V_{CC} \cdot I_{C0}$$

dissipation du push-pull, la moitié pour chaque transistor

La figure ci-dessous illustre le cas du double collecteur commun en condition de rendement maximum. Les deux autres cas sont semblables, à quelques variantes de notation près.



Les deux transistors travaillant en opposition de phase:

$$I_{C1} = I_{C0} - \Delta I$$

$$I_{C2} = I_{C0} + \Delta I$$

$$I_L = I_{C2} - I_{C1} = 2 \cdot \Delta I$$

Pour obtenir l'excursion de tension maximum possible sur la charge, il faut:

$$2 \cdot I_{C0} \cdot R_L \geq V_{CC}$$

On a alors, en régime sinus:

$$V_{crête,max} = V_{CC}$$

$$P_{R_L,max} = \frac{V_{CC}^2}{2 \cdot R_L}$$

$$P_{alim,totale} = 2 \cdot V_{CC} \cdot I_{C0}$$

$$\eta = \frac{V_{CC}}{4 \cdot R_L \cdot I_{C0}}$$

Le rendement maximum en régime sinus est atteint lorsque:

$$I_{C0} = \frac{V_{CC}}{2 \cdot R_L}$$

$$\eta_{max} = \frac{1}{2} = 50 \%$$

Le rendement a doublé par rapport au montage à un seul transistor actif polarisé par une source de courant constant. C'est le plus élevé que l'on puisse atteindre en classe A.

Résumé des puissances au repos et à pleine puissance de sortie, en régime sinus, dans les conditions de rendement maximum:

avec: $I_{C0} = \frac{V_{CC}}{2 \cdot R_L}$	au repos	à $P_{RL,max}$
P_{Q1}	$V_{CC} \cdot I_{C0}$ 50 %	$\frac{V_{CC} \cdot I_{C0}}{2}$ 25 %
P_{Q2}	$V_{CC} \cdot I_{C0}$ 50 %	$\frac{V_{CC} \cdot I_{C0}}{2}$ 25 %
P_{RL}	0 0 %	$V_{CC} \cdot I_{C0}$ 50 % signal utile
$P_{alim,totale}$	$2 \cdot V_{CC} \cdot I_{C0}$	$2 \cdot V_{CC} \cdot I_{C0}$

Conclusions.

- La puissance moyenne dissipée dans les transistors est maximum au repos, c-à-d. en l'absence de signal AC.
- Il n'y a pas de courant continu dans la charge.
- Le rendement maximum est de 50%, le plus élevé possible en classe A.
- C'est une bonne solution pour un ampli audio, surtout le double collecteur commun.

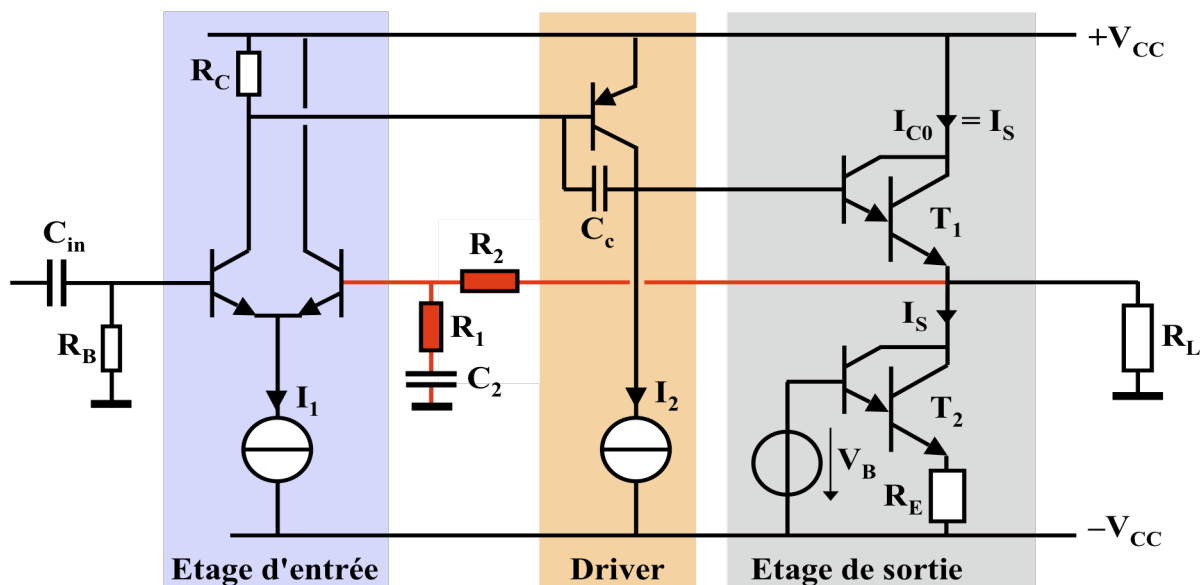
Remarque importante:

La puissance instantanée dissipée par chaque transistor actif est maximum lorsque l'ampli travaille sans charge, et tend vers:

$$P_{Q1}(t)_{max} = P_{Q2}(t)_{max} = 2 \cdot V_{CC} \cdot I_{C0}$$

4.4.6 Ampli classe A complet, exemple pratique pour une application audio

Le schéma de principe (à comparer au schéma blocs donné sous 4.3.) est le suivant:



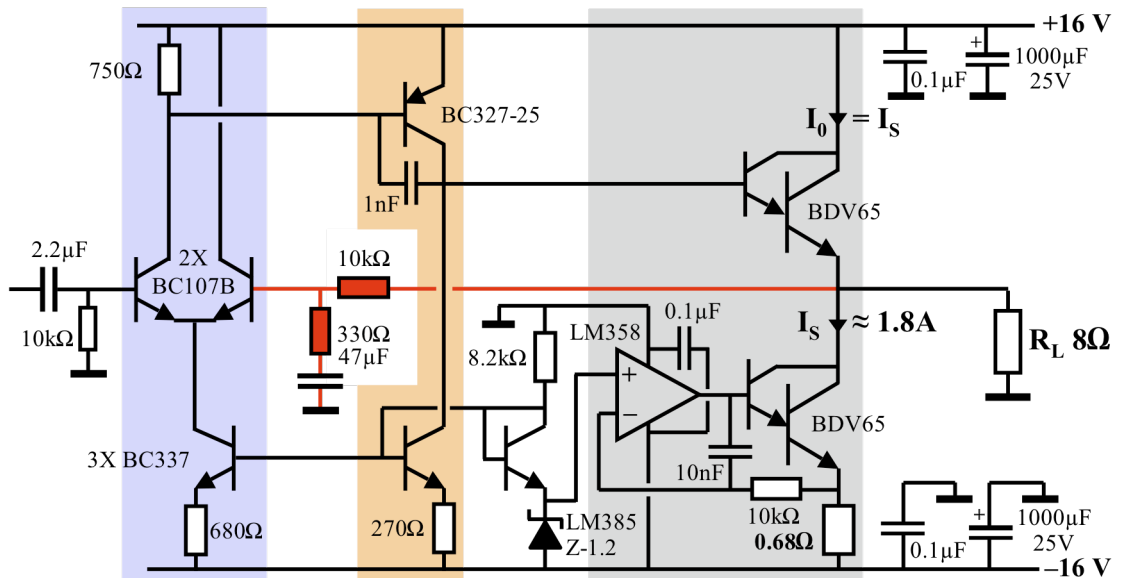
L'étage de sortie est celui étudié sous 4.4.4, T_1 étant l'élément actif en collecteur commun, T_2 formant la source de courant constant. Des transistors de type darlington, avec un gain en courant élevé, permettent de fournir le courant nécessaire à une charge typique de $8\ \Omega$.

Les étages "driver" et d'entrée sont en tout point comparables à ceux d'un ampli classe B, décrit en 4.5.6.

L'étage driver est un émetteur commun avec une charge active. Il a un gain en tension élevé et une dynamique de sortie proche des tensions d'alimentation.

L'étage d'entrée est une paire différentielle avec sortie asymétrique. Elle permet de réaliser simplement la contre-réaction, en appliquant le signal de commande sur l'une des entrées et une fraction du signal de sortie en réaction sur l'entrée opposée.

Le schéma pratique complet ci-dessous illustre quelques astuces utilisées pour stabiliser le courant de repos de chaque étage en présence de variations de température, car l'étage de sortie d'un ampli classe A dissipe énormément, donc chauffe beaucoup, et la température de l'air à l'intérieur du boîtier peut dépasser les 50°C .



Cet ampli est capable de fournir 11 W à un haut-parleur de $8\ \Omega$. A la puissance nominale de 10 W, le rendement est de 17 %, et le taux de distorsion harmonique inférieur à 0.05 %.

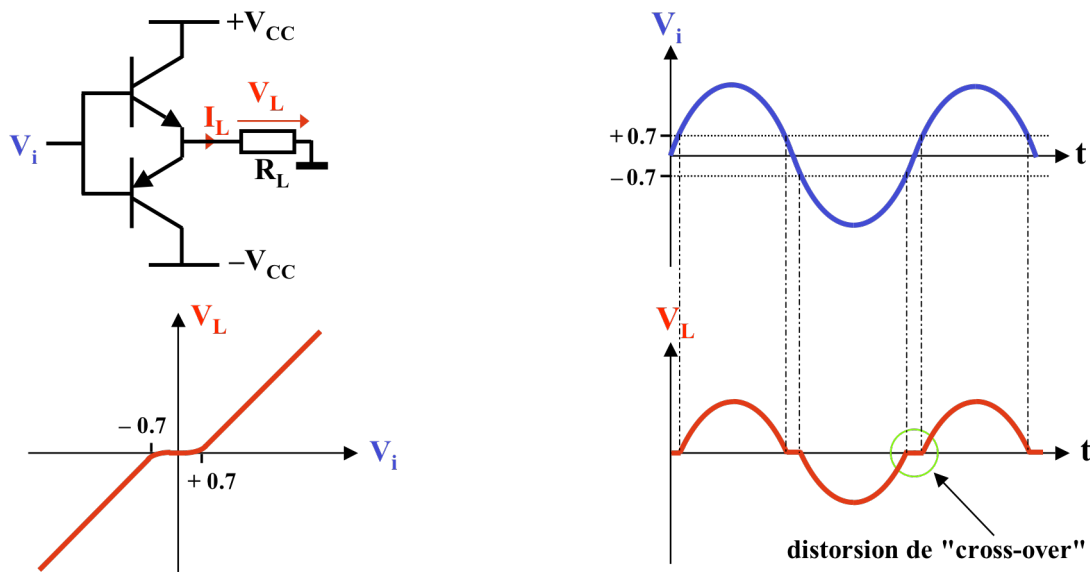
4.5. AMPLIFICATEURS DE PUISSANCE CLASSE B (ET AB)

Rappel: un amplificateur de classe B comporte deux transistors actifs, polarisés à la limite du blocage, l'un amplifiant l'alternance positive du signal, l'autre l'alternance négative.

Dans l'optique d'une application audio, le seul montage étudié ici sera le "push-pull" classe B à deux transistors complémentaires en montage "collecteur commun", dont la sortie à basse impédance est la mieux adaptée à une charge de type haut-parleur.

4.5.1 Schéma de base et caractéristique de transfert de l'amplificateur de pure classe B

Le schéma d'un amplificateur en pure classe B est donné ci-dessous, avec sa caractéristique de transfert en tension, ainsi que l'allure du signal de sortie pour un signal d'entrée sinusoïdal.

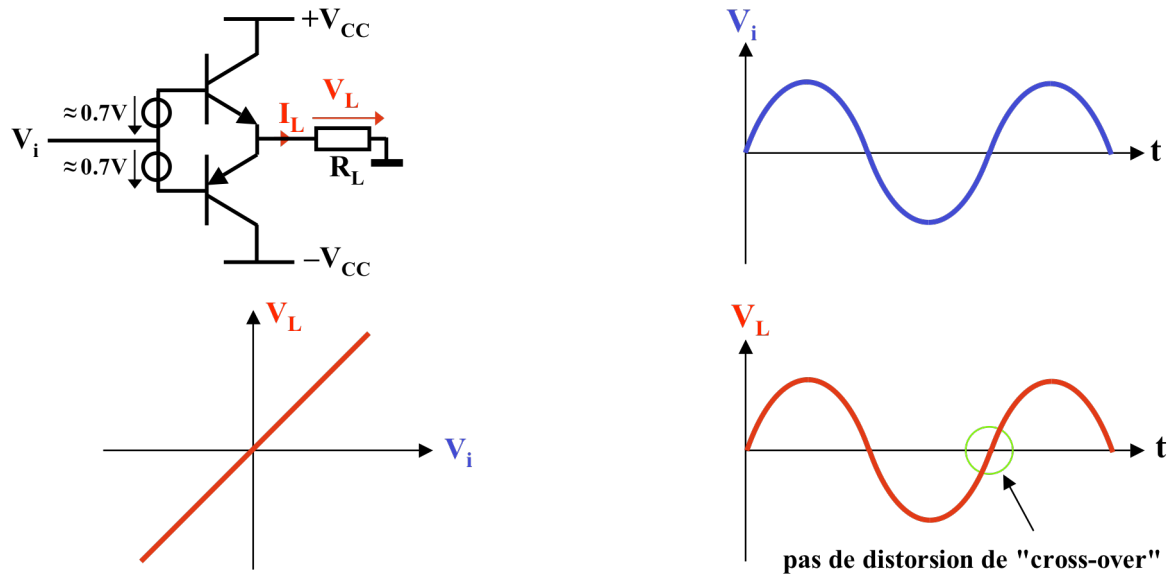


Le transistor NPN a besoin d'une tension base-émetteur d'environ $+0,7\text{ V}$ pour entrer en conduction, donc tant que V_i est inférieur à cette valeur, aucun courant positif ne peut être fourni à la charge. De même, le transistor PNP a besoin d'une tension base-émetteur d'environ $-0,7\text{ V}$ pour entrer en conduction, donc tant que V_i est supérieur à cette valeur, aucun courant négatif ne peut être fourni à la charge. Il en résulte une plage "morte" de $1,4\text{ V}$ autour de l'origine, qui donne lieu à une distorsion connue sous le nom de "distorsion de cross-over". Celle-ci est surtout sensible pour les signaux de faible amplitude. Elle est inacceptable pour des applications audio.

4.5.2 Principe, schéma de base et caractéristique de transfert de l'amplificateur de classe AB

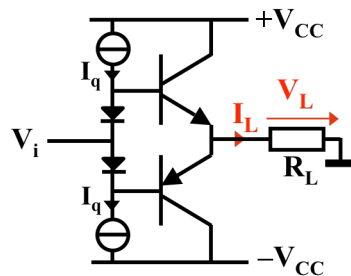
La distorsion de "cross over" peut être supprimée en polarisant légèrement les deux transistors avec un petit courant de repos. C'est le principe de la classe AB.

Le schéma de principe d'un amplificateur en classe AB, avec sa caractéristique de transfert en tension, ainsi que l'allure du signal de sortie pour un signal d'entrée sinusoïdal, sont donnés à la page suivante.



La base du NPN est rehaussée d'environ 0,7 V, celle du PNP abaissée d'environ 0,7 V, de façon à aligner au mieux les moitiés positive et négative de la caractéristique de transfert.

La réalisation pratique de ce décalage des potentiels des bases se fait ainsi:



Pour que les potentiels des bases du push-pull restent constamment liés au potentiel V_i , il ne faut jamais que le courant dans les diodes s'annule. Il faut donc que le courant de polarisation de celles-ci soit supérieur au courant de base maximum de l'un et l'autre des transistors du push-pull. En supposant qu'ils sont appariés, donc avec le même β , cela impose:

$$I_q > I_{B,\max} = \frac{I_{L,\max}}{\beta} = \frac{V_{L,\max}}{\beta \cdot R_L} \approx \frac{V_{CC}}{\beta \cdot R_L}$$

Pour une tension d'entrée nulle, les deux transistors sont parcourus par un petit courant de repos I_{C0} . Lorsque V_i s'écarte de zéro, le courant dans l'un des transistors augmente, alors qu'il diminue dans l'autre. Tant que le signal d'entrée reste assez petit pour qu'aucun transistor ne voie son courant s'annuler, le Push-Pull fonctionne en classe A. Le gain en tension pour les "petits signaux" (montage collecteur commun à deux transistors en parallèle) s'exprime ainsi:

$$A_v = \frac{v_L}{v_i} = \frac{(g_{m,NPN} + g_{m,PNP}) \cdot R_L}{1 + (g_{m,NPN} + g_{m,PNP}) \cdot R_L} = \frac{2 \cdot g_m \cdot R_L}{1 + 2 \cdot g_m \cdot R_L} = \frac{2 \cdot I_{C0} \cdot R_L / U_T}{1 + 2 \cdot I_{C0} \cdot R_L / U_T}$$

Pour une bonne linéarité de la caractéristique de transfert globale, le gain en tension du Push-Pull, qui est unitaire en classe B ("grands signaux"), doit s'en approcher en classe A ("petits signaux"). Cela nécessite:

$$I_{C0} \gg \frac{U_T}{2 \cdot R_L}$$

La puissance dissipée au repos par le Push-Pull est:

$$P_Q = P_{Q,NPN} + P_{Q,PNP} = 2 \cdot V_{CC} \cdot I_{C0}$$

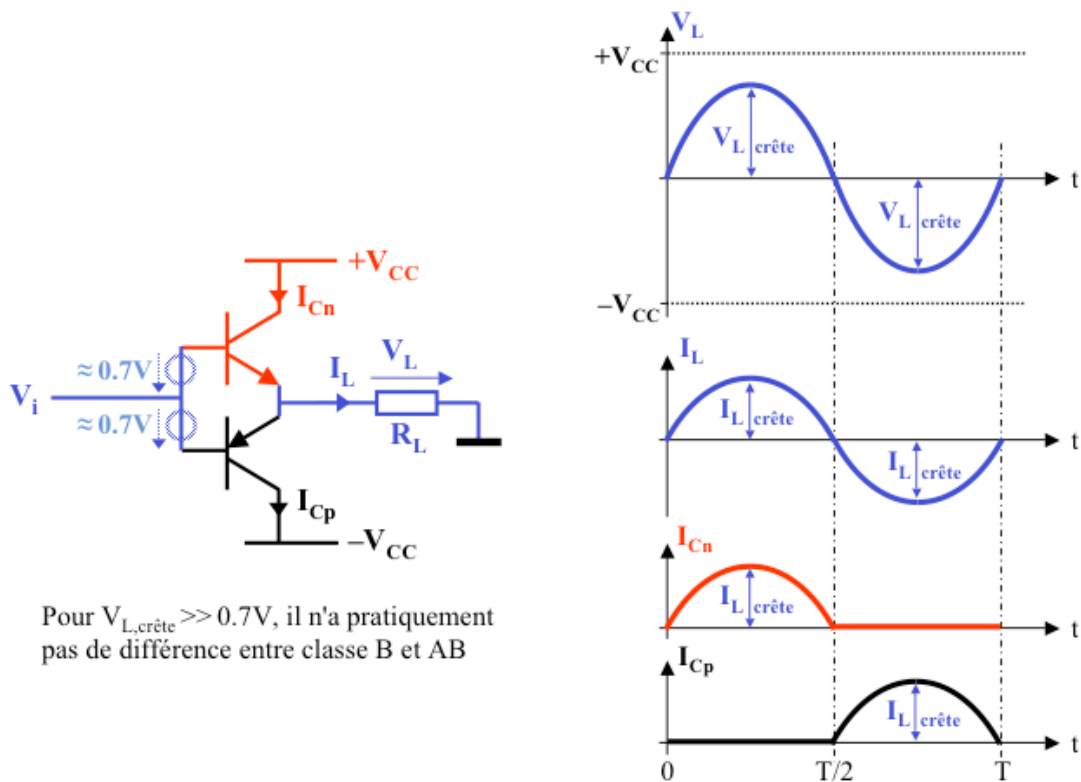
Le choix de la valeur du courant de repos est un compromis entre linéarité et dissipation au repos. En pratique on prendra:

$$I_{C0} \approx \frac{10 \cdot U_T}{R_L}$$

Pour des signaux de forte amplitude, un seul transistor conduit durant la majeure partie de chaque alternance. L'ampli est donc principalement en classe B, sauf dans une zone restreinte autour du passage par 0 V, où il est en classe A, d'où l'appellation de classe AB. Pour des applications audio, les amplis dits de classe B sont en fait toujours de classe AB. Dans la suite de cette étude, l'appellation classe B, inclura le cas AB, sans aucune distinction entre les deux.

4.5.3 Puissances et rendement de l'amplificateur classe B en régime sinus

En régime sinus, les tensions et courants dans un amplificateur classe B sont les suivants:



On va supposer que la tension de sortie peut atteindre les tensions d'alimentation:

$$V_{L,crête,max} = V_{CC}$$

La puissance moyenne transmise à la charge R_L en régime sinus est:

$$P_{RL} = \frac{V_{L,crête}^2}{2 \cdot R_L}$$

$$P_{RL,max} = \frac{V_{CC}^2}{2 \cdot R_L}$$

La puissance instantanée dissipée dans chaque transistor en régime sinus est:

$$p_Q(t) = (V_{CC} - v_L(t)) \cdot i_C(t) = (V_{CC} - v_L(t)) \cdot \frac{v_L(t)}{R_L} = \frac{V_{CC} \cdot v_L(t)}{R_L} - \frac{v_L^2(t)}{R_L}$$

Elle passe par un maximum pour:

$$\frac{\partial p_Q(t)}{\partial v_L(t)} = \frac{V_{CC} - 2 \cdot v_L(t)}{R_L} = 0 \quad \Rightarrow \quad v_L(t) = \frac{V_{CC}}{2}$$

La puissance instantanée maximum dissipée dans chaque transistor est alors:

$$P_{Q,\max}(t) = \frac{V_{CC}^2}{4 \cdot R_L}$$

Cette puissance instantanée maximum est importante, car, avec des signaux alternatifs dont la période est supérieure à la constante de temps thermique du chip sur lequel est fabriqué le transistor, celui-ci doit supporter la puissance instantanée maximale.

Tout étant symétrique, la puissance moyenne dissipée par le push-pull complet en régime sinus est identique à celle dissipée par un seul des transistors durant sa demi-période de conduction. Elle vaut:

$$P_Q = \frac{2}{T} \int_0^{T/2} p_Q(t) \cdot dt = \frac{2}{T} \int_0^{T/2} (V_{CC} - V_{L,\text{crête}} \cdot \sin(\omega t)) \cdot \frac{V_{L,\text{crête}} \cdot \sin(\omega t)}{R_L} \cdot dt$$

$$P_Q = \frac{1}{\pi \cdot R_L} \int_0^\pi (V_{CC} \cdot V_{L,\text{crête}} \cdot \sin(\alpha) - V_{L,\text{crête}}^2 \cdot \sin^2(\alpha)) \cdot d\alpha$$

$$P_Q = \frac{1}{\pi \cdot R_L} \left(V_{CC} \cdot V_{L,\text{crête}} \cdot 2 - V_{L,\text{crête}}^2 \cdot \frac{\pi}{2} \right) = \frac{2 \cdot V_{CC} \cdot V_{L,\text{crête}}}{\pi \cdot R_L} - \frac{V_{L,\text{crête}}^2}{2 \cdot R_L}$$

La puissance moyenne dissipée dans l'étage de sortie passe par un maximum pour:

$$\frac{\partial P_Q}{\partial V_{L,\text{crête}}} = \frac{2 \cdot V_{CC}}{\pi \cdot R_L} - \frac{V_{L,\text{crête}}}{R_L} = 0 \quad \Rightarrow \quad V_{L,\text{crête}} = \frac{2 \cdot V_{CC}}{\pi}$$

La puissance moyenne maximum dissipée par le push-pull en régime sinus est alors:

$$P_{Q,\max,\text{push-pull}} = \frac{2 \cdot V_{CC}^2}{\pi^2 \cdot R_L} \approx 0.2 \cdot \frac{V_{CC}^2}{R_L} \quad \text{soit: } P_{Q,\max,\text{par transistor}} = \frac{V_{CC}^2}{\pi^2 \cdot R_L} \approx 0.1 \cdot \frac{V_{CC}^2}{R_L}$$

$P_{Q,\max,\text{push-pull}}$ est la puissance thermique que doit évacuer le refroidisseur, en général commun aux deux transistors.

La puissance moyenne délivrée par l'alimentation en régime sinus est:

$$P_{\text{alim,totale}} = \frac{1}{T} \int_0^{T/2} +V_{CC} \cdot I_{Cn}(t) \cdot dt + \frac{1}{T} \int_{T/2}^T -V_{CC} \cdot (-I_{Cp}(t)) \cdot dt$$

$$P_{\text{alim,totale}} = \frac{1}{\pi \cdot R_L} \int_0^\pi V_{CC} \cdot V_{L,\text{crête}} \cdot \sin(\alpha) \cdot d\alpha = \frac{2 \cdot V_{CC} \cdot V_{L,\text{crête}}}{\pi \cdot R_L}$$

La puissance moyenne maximum délivrée par l'alimentation en régime sinus est:

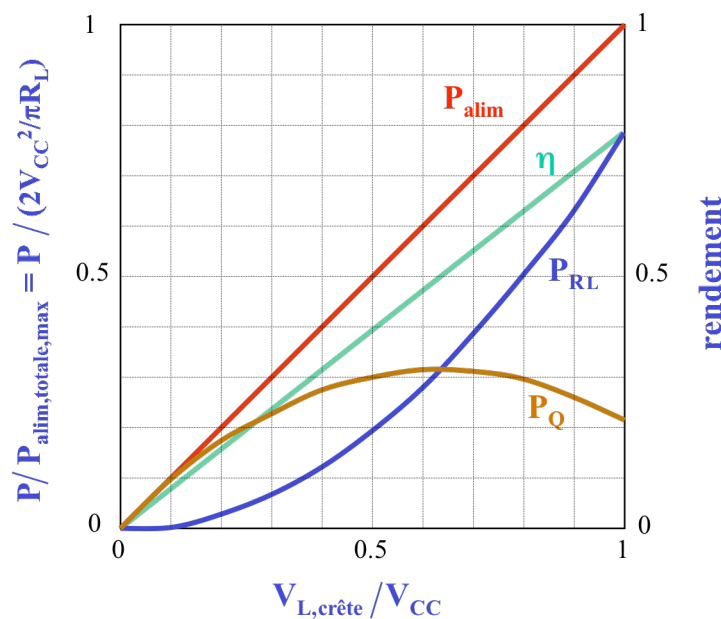
$$P_{\text{alim,totale,max}} = \frac{2 \cdot V_{CC}^2}{\pi \cdot R_L} \quad \text{soit: } P_{\text{alim+,max}} = P_{\text{alim-,max}} = \frac{V_{CC}^2}{\pi \cdot R_L}$$

Le rendement du push-pull classe B est:

$$\eta = \frac{P_{RL}}{P_{\text{alim,totale}}} = \frac{\pi \cdot V_{L,\text{crête}}}{4 \cdot V_{CC}}$$

$$\eta_{\text{max}} = \frac{\pi}{4} = 78.5\%$$

Le graphique ci-dessous illustre les différentes puissances moyennes et le rendement en fonction de l'amplitude du signal sinus en sortie.



A noter que la puissance moyenne dissipée par le push-pull P_Q , donc l'échauffement des transistors et de leur radiateur sont maximaux, non pas lorsque l'ampli fournit sa pleine puissance de sortie, mais lorsqu'il n'en délivre qu'environ la moitié.

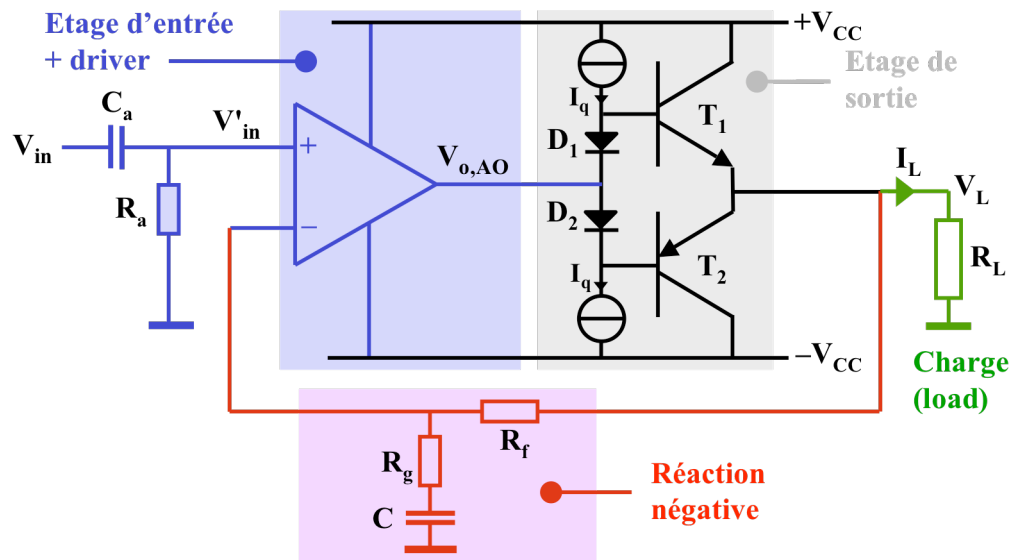
Rappelons que les puissances calculées ici ne sont valables que pour des signaux sinusoïdaux. Testé avec un signal carré le même ampli pourrait théoriquement fournir une puissance maximum double à la charge, et dissiperait un quart de plus.

4.5.4 Réalisation pratique élémentaire de l'amplificateur classe B

Le push-pull collecteur commun a un gain en courant égal à celui des transistors, mais un gain en tension unitaire. Il doit donc être commandé par un étage ayant une dynamique de sortie couvrant la plage de $-V_{L,\text{crête}}$ à $+V_{L,\text{crête}}$.

Un grand gain en tension est également requis, car tous les amplis de puissance linéaires font appel à une réaction négative, qui est d'autant plus efficace que le gain de boucle est élevé (voir chapitre 5).

Une solution simple consiste à utiliser un amplificateur opérationnel dans le montage élémentaire suivant:



La réaction négative globale, telle qu'illustrée, avec le grand gain de l'ampli op, permet:

- de contrôler précisément le gain V_{out}/V'_{in}

$$A_{V,AC} = \frac{R_f + R_g}{R_g} \quad \text{et} \quad A_{V,DC} = 1$$

- de réduire fortement la distorsion;
- d'abaisser fortement la résistance de sortie.

Le gain réduit au minimum en DC évite d'amplifier une éventuelle tension d'offset en entrée. Le couplage capacitif à l'entrée évite d'y transmettre une tension continue. Ces deux précautions assurent une composante continue parasite minimale sur la charge.

4.5.5 Limitations et améliorations du montage élémentaire

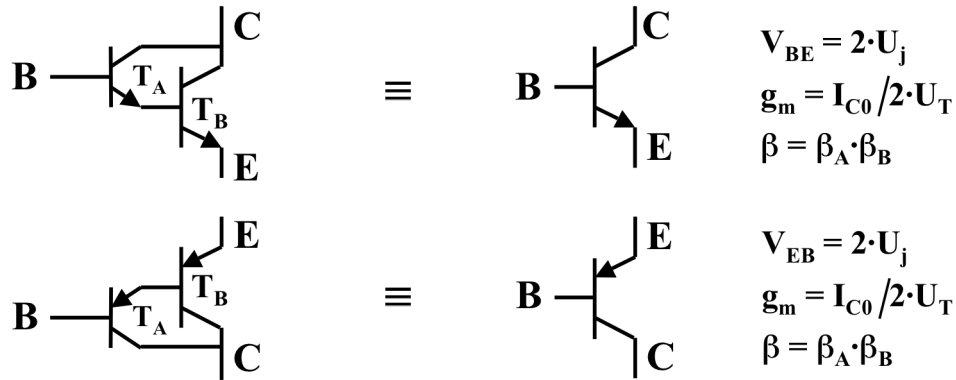
Augmentation du gain en courant du push-pull.

Dans le montage élémentaire à ampli op dont le schéma a été donné sous 4.5.4, la sortie de l'ampli op doit fournir et absorber un courant maximum (on suppose que les transistors du push-pull sont appariés, donc ont le même β):

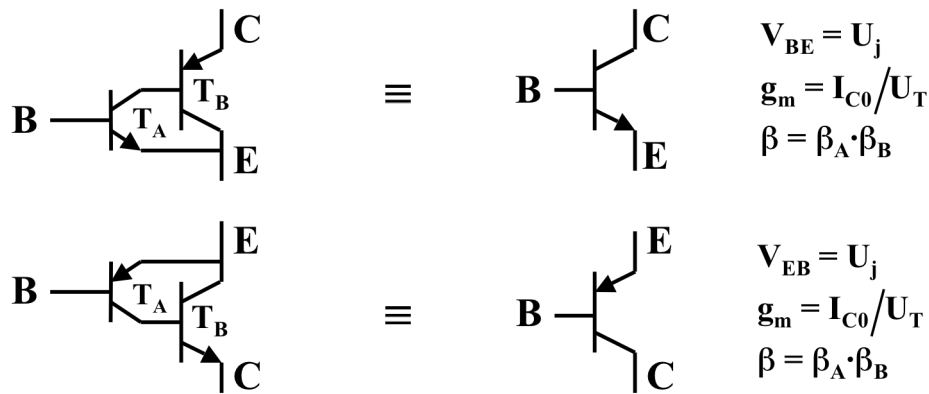
$$I_{o,AO,max} = \pm I_{B,max} = \pm \frac{I_{L,max}}{\beta} = \pm \frac{V_{L,max}}{\beta \cdot R_L} \approx \pm \frac{V_{CC}}{\beta \cdot R_L}$$

Pour les applications audio, avec des charges typiques de 2 à 8 Ω , nécessitant un courant de plus d'un Ampère, et en utilisant un ampli opérationnel classique, dont le courant de sortie est limité à quelques dizaines de mA, le principal facteur limitatif est le gain en courant des transistors de puissance qui ne dépasse pas quelques dizaines, et s'avère donc insuffisant. La solution est de remplacer chaque transistor simple par un montage darlington ou pseudo-darlington, dont le gain en courant est supérieur de plus d'un ordre de grandeur.

Le darlington est un montage à deux transistors de même type selon les schémas ci-dessous, avec les équivalences et les performances données dans le tableau suivant:

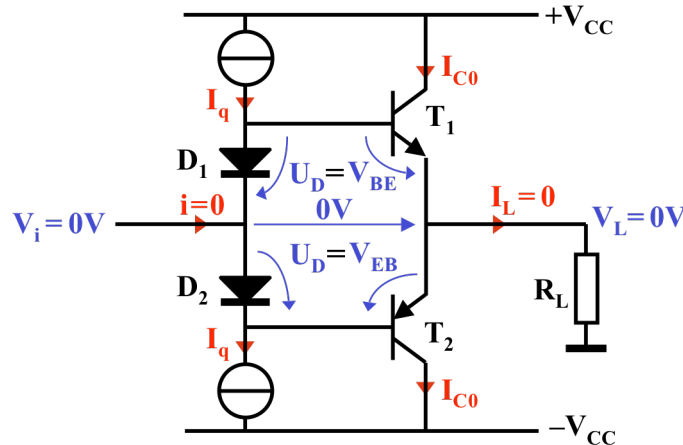


Le pseudo-darlington est un montage à deux transistors complémentaires selon les schémas ci-dessous, avec les équivalences et les performances données dans le tableau suivant:



Contrôle du courant de repos dans l'étage de sortie classe AB.

Si les deux moitiés supérieure et inférieure du push-pull et de son circuit de polarisation sont bien équilibrées, alors, au repos, c'est à dire à $V_i = 0$, on a $V_L = 0$.



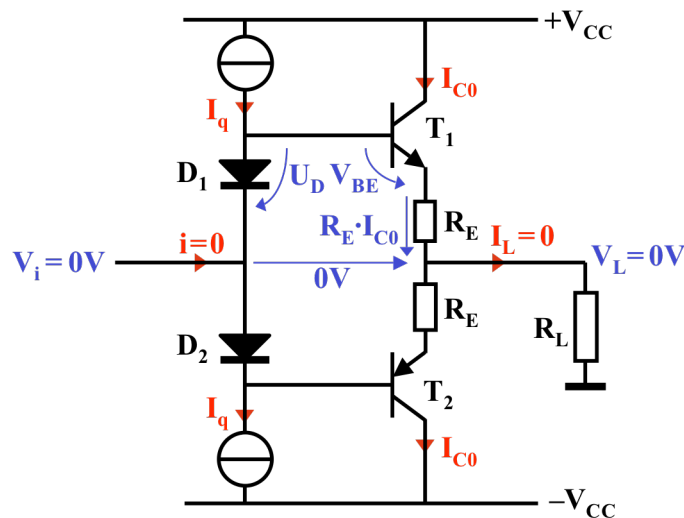
On peut alors poser pour la moitié supérieure (ou inférieure en remplaçant V_{BE} par V_{EB}):

$$U_T \cdot \ln\left(\frac{I_q}{I_{SD}}\right) = U_D = V_{BE} = U_T \cdot \ln\left(\frac{I_{C0}}{I_{ST}}\right) \Rightarrow \frac{I_{C0}}{I_q} = \frac{I_{ST}}{I_{SD}}$$

Or les paramètres I_{SD} et I_{ST} sont liés aux surfaces des jonctions des diodes, respectivement des jonctions base-émetteur des transistors de puissance.

De plus, pour que I_{C0} reste stable malgré l'échauffement des transistors, les jonctions base-émetteur de ceux-ci et celles des diodes doivent rester à la même température. En effet, supposons que les jonctions des diodes restent à une température constante, U_D est constante; si les transistors chauffent, à V_{BE} et V_{EB} constants imposés par U_D , alors I_{C0} augmente, la puissance dissipée augmente et les transistors chauffent encore plus, ce qui fait croître I_{C0} de manière incontrôlable; c'est ce qu'on appelle l'emballement thermique.

Le contrôle des surfaces des jonctions et un couplage thermique précis de celles-ci n'est possible qu'en circuit intégré. En composants discrets, on a une connaissance limitée des caractéristiques des composants, donc un mauvais contrôle de I_{C0} . L'ajout de résistances série dans les émetteurs des transistors permet de réduire le rapport I_{C0}/I_q , tout en le rendant moins sensible aux variations I_{ST} et I_{SD} , donc aux dispersions des caractéristiques des composants.



On peut poser:

$$U_T \cdot \ln\left(\frac{I_q}{I_{SD}}\right) = U_D = V_{BE} + R_E \cdot I_{C0} = U_T \cdot \ln\left(\frac{I_{C0}}{I_{ST}}\right) + R_E \cdot I_{C0}$$

D'où:

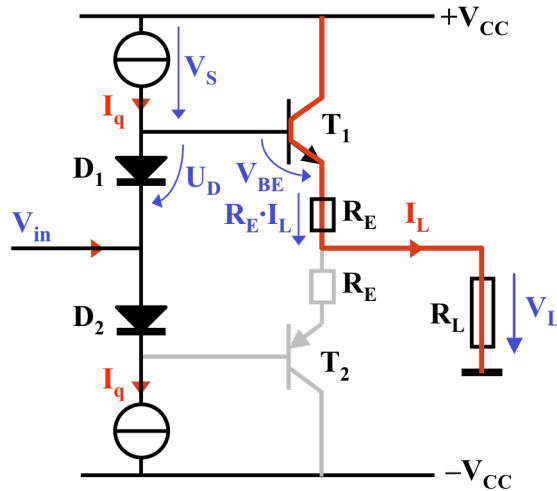
$$I_{C0} = \frac{U_T}{R_E} \cdot \ln\left(\frac{I_q}{I_{C0}} \cdot \frac{I_{ST}}{I_{SD}}\right)$$

Cette équation n'a pas de solution analytique, mais une résolution numérique est aisée.

Exemple:	- données :	$I_q = 30 \text{ mA}$	$10 \cdot I_{SD} \leq I_{ST} \leq 20 \cdot I_{SD}$
	- sans R_E :	$300 \text{ mA} \leq I_{C0} \leq 600 \text{ mA}$	
	- avec $R_E = 0.5 \Omega$:	$75 \text{ mA} \leq I_{C0} \leq 95 \text{ mA}$	
	- avec $R_E = 1 \Omega$:	$50 \text{ mA} \leq I_{C0} \leq 60 \text{ mA}$	

Ces résistances d'émetteur ont également un rôle essentiel dans la stabilité thermique du courant de repos, empêchant l'emballement thermique. En effet, en composants discrets, il y a un inévitable écart de température des jonctions des transistors, qui dissipent et chauffent beaucoup, et des diodes dissipant très peu. Pour minimiser cet écart de température, les diodes doivent obligatoirement être réchauffées par les transistors de puissance en montant ces quatre éléments sur le même dissipateur de chaleur.

Ces résistances d'émetteur ont aussi un effet défavorable, celui de réduire la puissance maximum que peut fournir le push-pull à une charge donnée, avec une tension d'alimentation donnée. En effet, le courant de sortie traverse toujours l'une de ces résistances, comme illustré dans la figure ci-dessous dans le cas d'une alternance positive.



En négligeant la tension V_{BE} et la tension de saturation $V_{s,sat}$ de la source I_q , le potentiel de l'émetteur de T_1 peut théoriquement atteindre V_{CC} , d'où:

$$I_{L,crête,max} = \frac{V_{CC}}{R_L + R_E} \quad V_{L,crête,max} = V_{CC} \cdot \frac{R_L}{R_L + R_E}$$

$$P_{RL,max} = \frac{V_{CC}^2}{2 \cdot R_L} \cdot \left(\frac{R_L}{R_L + R_E} \right)^2 \quad P_{alim,totale,max} = \frac{2 \cdot V_{CC}^2}{\pi \cdot R_L} \cdot \frac{R_L}{R_L + R_E} \quad \eta_{max} = \frac{\pi}{4} \cdot \frac{R_L}{R_L + R_E}$$

La charge étant généralement imposée, la perte de puissance sera compensée par une augmentation de la tension d'alimentation. Malheureusement, il y a des cas où cela n'est pas souhaitable, voire impossible. De toute façon le rendement est dégradé.

En pratique, on adopte $R_E \approx 0.05 \cdot R_L$.

4.5.6 Réalisation d'amplificateurs classe B de forte puissance

La puissance maximum que peut délivrer un ampli classe B, en mode sinus, à une charge R_L imposée est liée à la tension d'alimentation par la relation théorique:

$$P_{RL,max,theorique} = \frac{V_{CC}^2}{2 \cdot R_L}$$

Cette relation donne une estimation assez grossière, car elle ne tient compte ni de la tension de saturation des sources I_q , ni de la tension base-émetteur des transistors de puissance, ni de l'effet des résistances d'émetteur, ni de la dynamique de sortie réelle de l'étage driver.

Exemple numérique:

AO TLE2081 à $V_{CC,typ} = 15V$,	en théorie:	$P_{RL,max,theor.} = 14 W$	dans $R_L = 8 \Omega$
	en réalité:	$V_{o,AO,max} = +12 V$	et $V_{o,AO,min} = -12 V$
		$P_{RL,max,réelle} \approx 9 W$	dans $R_L = 8 \Omega$

Pour réaliser un amplificateur audio de puissance, on peut d'abord rechercher un circuit intégré satisfaisant le cahier des charges, dans la longue liste des composants proposés par les fabricants comme National Semiconductor, Philips, STMicroelectronics, et d'autres.

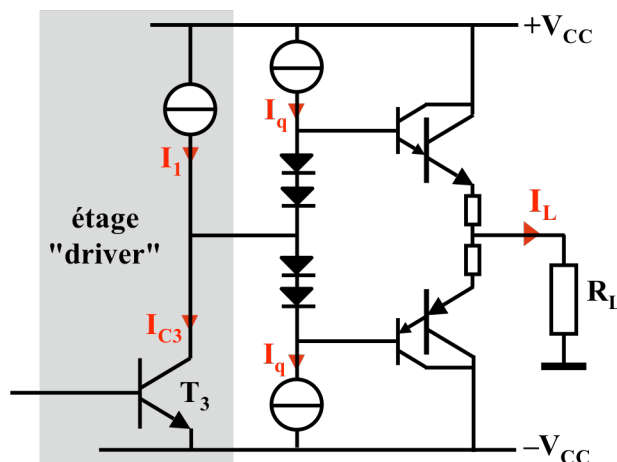
Dans le cas où la puissance désirée dépasse ce que les circuits monolithiques existants peuvent donner, ou si cette solution n'est pas retenue pour une raison quelconque, il faudra réaliser un amplificateur avec des composants discrets.

La marche à suivre pour la conception d'un ampli classe AB à composants discrets est grossièrement la suivante

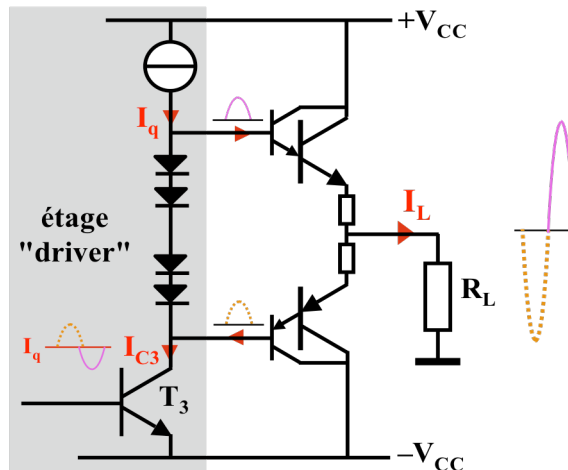
1. Déterminer la tension d'alimentation minimum nécessaire pour obtenir la puissance désirée dans la charge donnée. En pratique, on tiendra compte des pertes dans les résistances d'émetteur, de la chute de tension V_{BE} des transistors de puissance, de la tension de saturation des sources de courant de polarisation du push-pull.
S'il est prévu d'utiliser des alimentations non-stabilisées, choisir par sécurité une tension nominale supérieure de quelques Volts au minimum calculé.
2. A partir de la tension nominale d'alimentation, calculer les contraintes maximales instantanées en tension, courant et puissance que devront supporter les transistors du push-pull. Choisir des transistors adéquats. Calculer la puissance maximale dissipée par l'étage de sortie et choisir un refroidisseur capable de l'évacuer en maintenant les transistors à une température inférieure à leur limite spécifique.
- 3 Concevoir l'étage "driver" capable de fournir au push-pull la tension de crête nécessaire. Calculer les contraintes maximales instantanées en tension, courant et puissance que devront supporter les transistors qui composent cet étage. Choisir des transistors adaptés.
- 4 Concevoir l'étage d'entrée. Calculer les tensions maximales instantanées que devront supporter les transistors composant cet étage (les courants sont généralement assez faibles et donc aussi les puissances pour ne pas poser de problème). Choisir des transistors adaptés.
- 5 Simuler le circuit complet, pour en vérifier la conception et en déterminer précisément les performances. Modifier la conception si nécessaire.

Etage "driver"

L'étage "driver" doit avoir un fort gain en tension et des valeurs extrêmes de la tension de sortie proches de celles d'alimentation. La solution courante est un amplificateur émetteur commun à charge active (en classe A) selon le schéma de principe suivant:



Le schéma de principe précédent peut être simplifié pour donner le "driver" classique suivant:

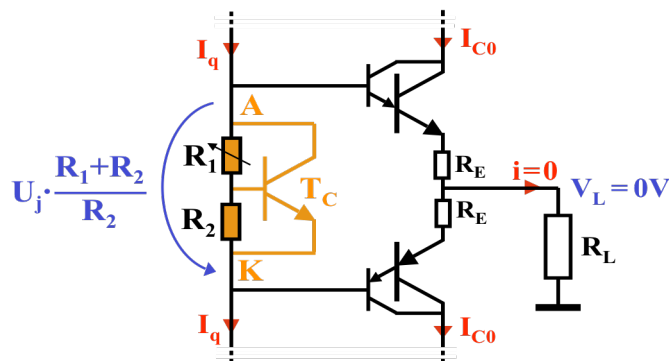


Au repos, la base de T_3 est commandée de façon que $I_{C30} = I_q$, tout est alors équilibré, les courants des bases du push-pull sont donc nuls (en négligeant l'effet du courant de repos dans le push-pull divisé par son gain en courant), par conséquent le courant I_L est aussi nul.

Lorsque I_{C3} diminue (trait plein) ou augmente (pointillé), l'écart entre I_{C3} et I_q (constant) se retrouve rentrant dans la base du NPN du push-pull, respectivement sortant de la base du PNP, et donne, multiplié par le β de ces transistors, un courant de sortie positif ou négatif.

Ajustement du courant de repos d'un étage de puissance à éléments discrets

Avec des composants discrets, les caractéristiques des diodes et des transistors de puissance sont peu précises. Le courant de repos dans le push-pull est donc mal contrôlé. Il est alors nécessaire de pouvoir ajuster ce dernier, ce qui est possible avec le circuit suivant:



Si la résistance R_2 est telle que le courant qui la traverse est, d'une part bien inférieur à I_q pour que la majeure partie de celui-ci traverse T_C , mais d'autre part bien plus grand que le courant de base de T_C pour qu'on puisse considérer que R_1 et R_2 sont parcourues par le même courant, on peut alors écrire:

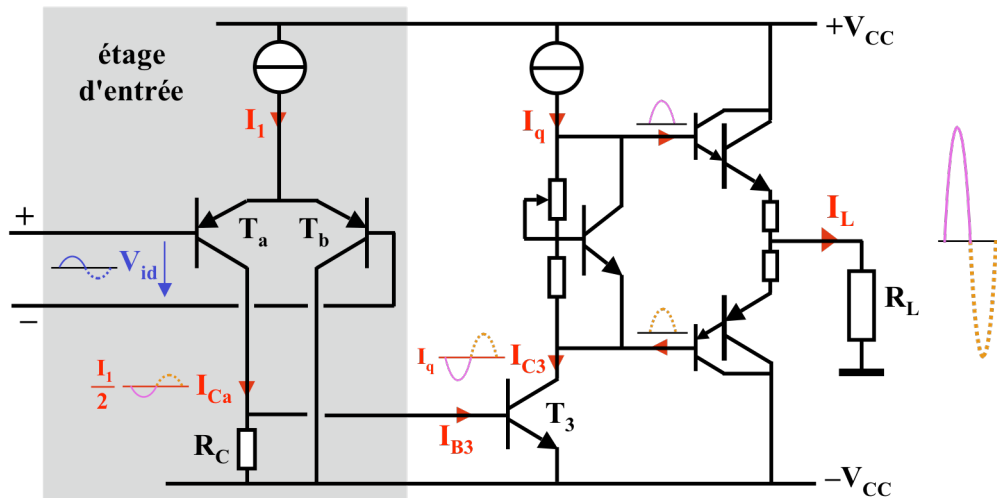
$$I_{R1} = I_{R2} = \frac{V_{BE}}{R_2} = \frac{U_j}{R_2} \Rightarrow U_{AK} = (R_1 + R_2) \cdot I_{R2} = \frac{R_1 + R_2}{R_2} \cdot U_j$$

La chute de tension U_{AK} aux bornes du dispositif devra valoir environ $n \cdot U_j$, où n est le nombre de jonctions B-E ou E-B entre les deux bases du push-pull. Dans le cas illustré $n = 4$.

La sensibilité de U_{AK} à la température est identique à celle de ces n jonctions B-E ou E-B. Leur courant de repos I_{C0} sera donc stable si le transistor T_C est à la même température que les transistors de sortie. C'est pourquoi ils seront tous trois fixés sur le même refroidisseur.

Étage d'entrée

L'étage d'entrée le plus courant est une paire différentielle avec une sortie asymétrique pour commander la base du "driver" émetteur commun. Le schéma de principe est le suivant:



Au repos, la paire différentielle T_a - T_b est à l'équilibre, donc $I_{Ca0} = I_1/2$.

Pour que T_3 soit commandé correctement pour conduire, il faut que:

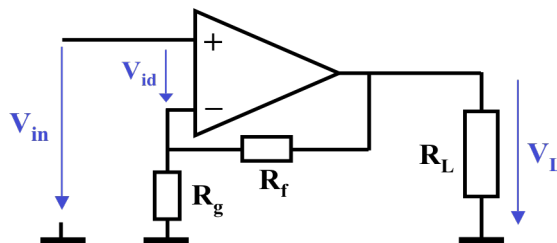
$$R_C \cdot (I_{Ca0} - I_{B30}) = R_C \cdot (I_{Ca0} - \frac{I_{C30}}{\beta_3}) = R_C \cdot (\frac{I_1}{2} - \frac{I_q}{\beta_3}) = V_{BE3} \approx U_j$$

Pour s'affranchir de l'imprécision du paramètre β_3 , on prendra:

$$\frac{I_1}{2} \gg \frac{I_q}{\beta_3} \quad \text{et} \quad R_C = \frac{2 \cdot U_j}{I_1}$$

Lorsque V_{id} est positive (resp. négative), I_{Ca} diminue (resp. augmente), $R_C I_{Ca} = V_{BE3}$ diminue (resp. augmente), I_{C3} diminue (resp. augmente), la différence entre ce courant et I_q se retrouve rentrant dans la base du NPN du push-pull (resp. sortant de la base du PNP), et donne, multiplié par β de ce transistor, un courant de sortie positif (resp. négatif), donc une tension de sortie positive (resp. négative) aux bornes de la charge R_L . On en déduit que la base de T_a est l'entrée + et la base de T_b l'entrée -.

L'amplificateur complet, avec son entrée différentielle et sa sortie asymétrique en tension, ressemble à un ampli op, auquel il est aisé d'appliquer une réaction négative de la manière habituelle, par exemple en montage non-inverseur:

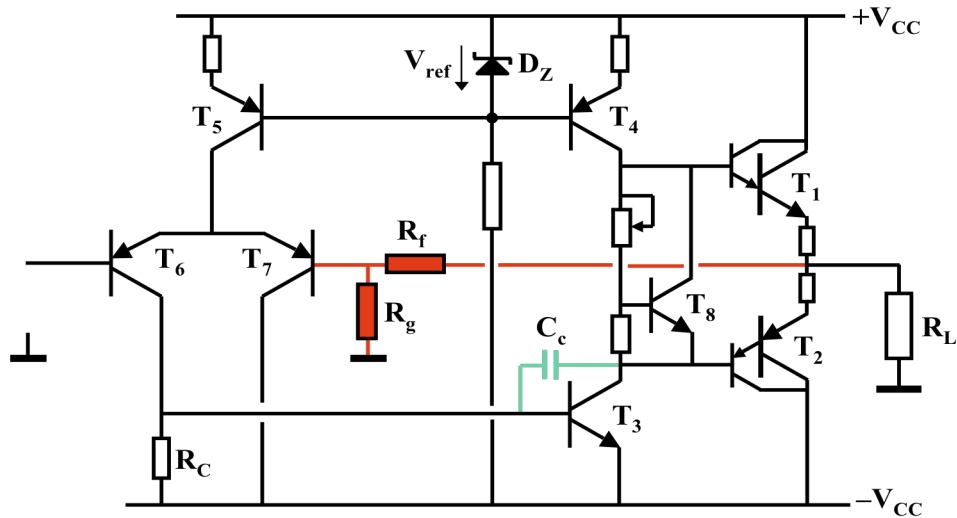


A partir d'un amplificateur de puissance avec un gain en boucle ouverte V_L/V_{id} élevé, la réaction négative permet d'obtenir:

- un gain en boucle fermée V_L/V_{in} bien plus faible, mais précis, tendant vers $(R_f + R_g)/R_g$;
- une résistance de sortie très petite;
- un taux de distorsion très bas.

Schéma pratique de l'amplificateur complet

Le schéma complet, avec le détail des sources de courant, est le suivant:

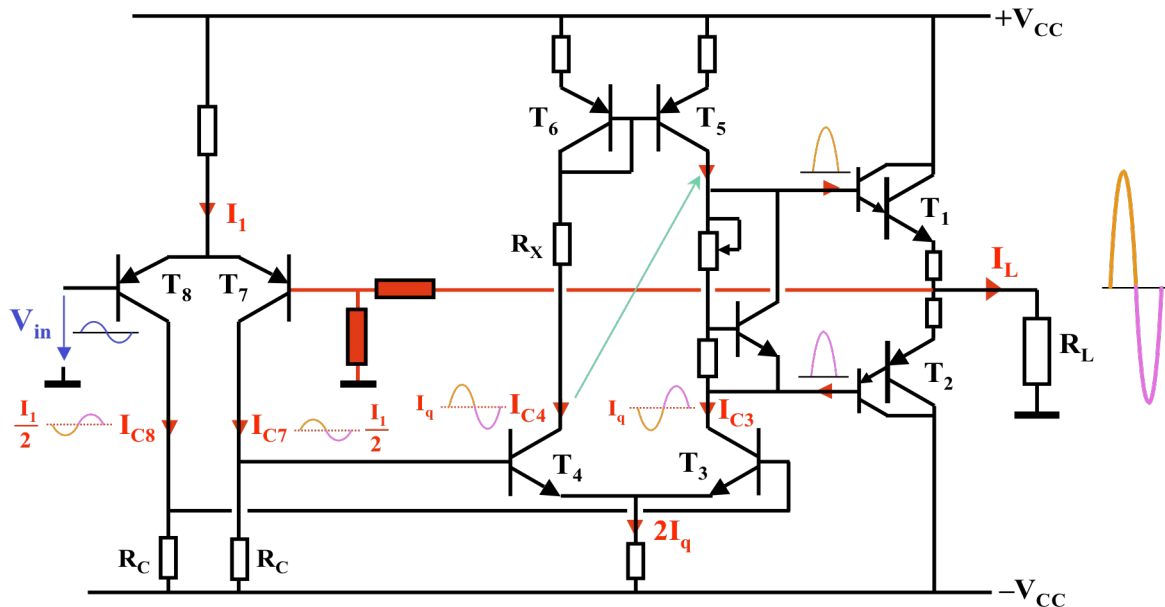


Pour que les courants de repos soient stables en température, la diode Zener devra avoir une sensibilité à la température égale à celle des jonction EB de T_4 et T_5 , soit environ $-2 \text{ mV}/^\circ$.

La capacité C_c , dite de "compensation en fréquence", est ajoutée pour que l'ampli n'oscille pas spontanément en réaction négative (voir chapitre 5).

Variante à étage "driver" différentiel

Au prix de quelques transistors de plus, on peut faire un étage "driver" avec une paire différentielle chargée par un miroir de courant, selon le schéma suivant:

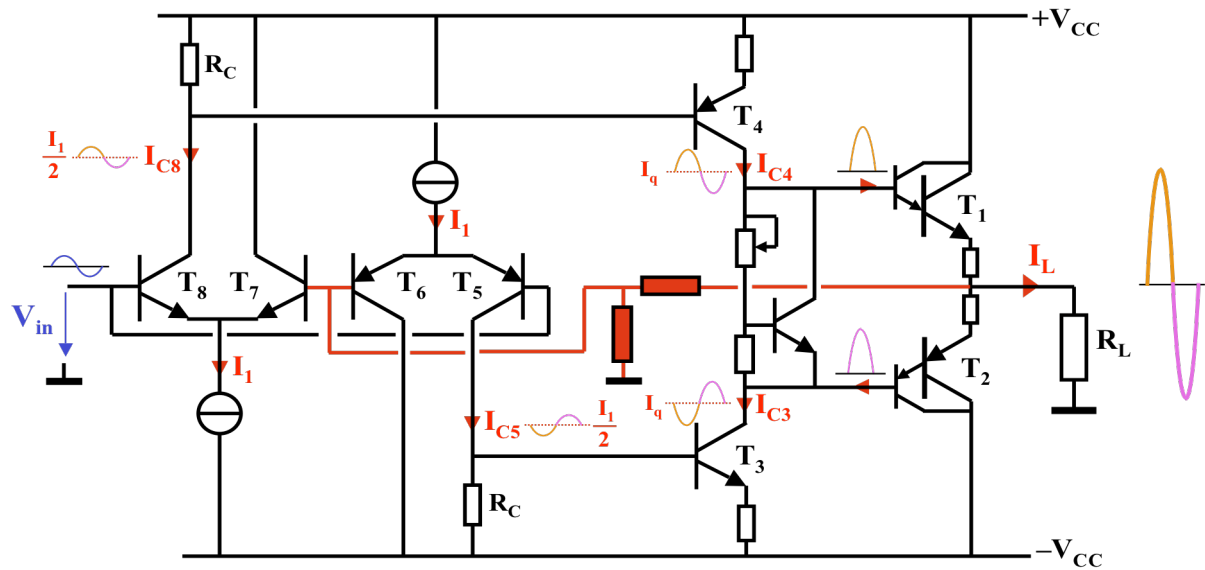


Cette configuration est peu sensible aux variations des courants de repos. En effet, une variation de I_1 correspond à un signal d'entrée de mode commun pour l'étage "driver", qui y est très peu sensible de par sa structure (paire différentielle avec charge à miroir de courant).

La résistance R_x est dimensionnée de façon que $R_x \cdot I_x \approx V_{cc}$. Ainsi, au repos, les tensions V_{CE3} et V_{CE4} sont à peu près égales, et donc aussi les puissances dissipées par les deux transistors de la paire différentielle, ce qui lui donne un meilleur équilibre.

Variante d'amplificateur totalement symétrique

Le schéma d'un amplificateur totalement symétrique est donné à la figure suivante:

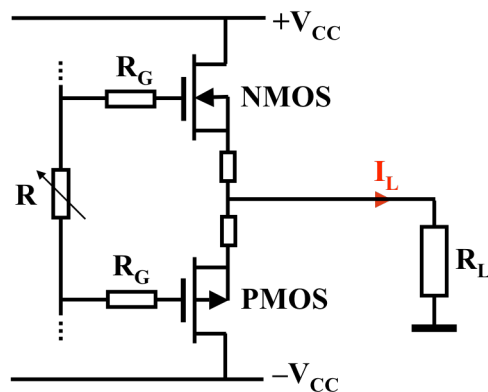


Les deux transistors complémentaires de cet étage "driver" symétrique, montés en émetteur commun, sont actifs en opposition de phase. Deux étages d'entrées complémentaires, connectés en parallèle en entrée, commandent chacun l'un des transistors "driver".

Une structure totalement symétrique a pour avantage de ne pas générer d'harmoniques paires, donc d'offrir un plus faible taux de distorsion.

Étage de sortie classe B à transistors MOS de puissance

Un étage de sortie push-pull peut aussi être réalisé avec deux transistors MOS de puissance complémentaires, en montage drain commun, avec l'un ou l'autre des étages "driver" décrits précédemment, selon le schéma suivant:



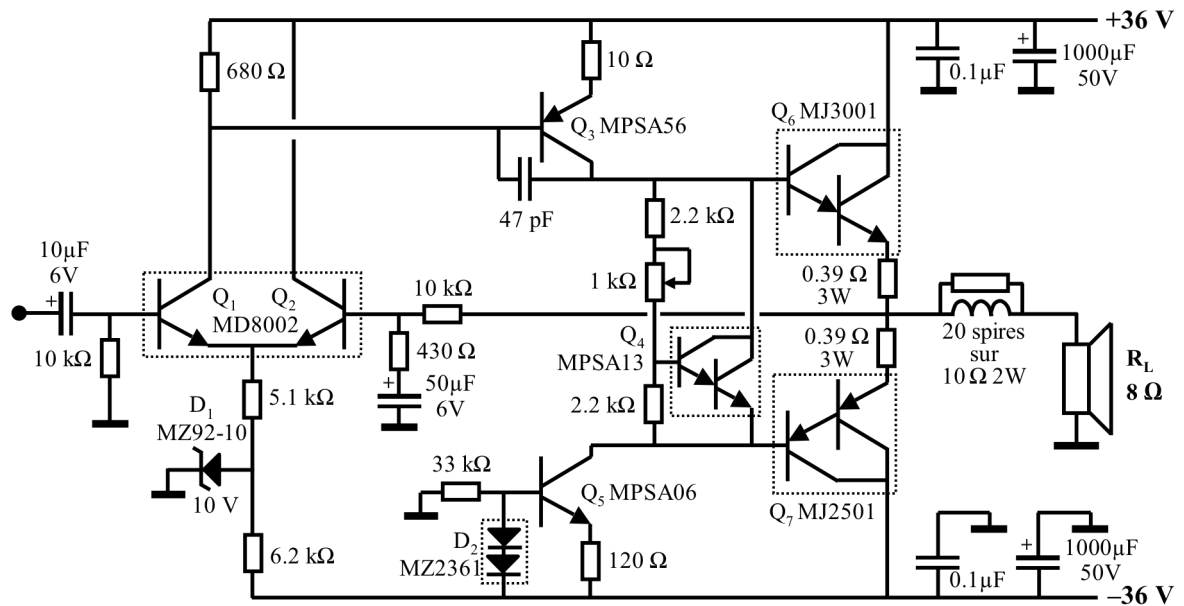
Les transistors MOS de puissance ont un net avantage de vitesse sur les bipolaires, en particulier sur les montages darlington standards tout intégrés dans un boîtier à 3 pattes.

Par contre, pour un courant de sortie de quelques ampères un MOS a typiquement besoin d'un V_{GS} de plusieurs volts, contre un V_{BE} de seulement 1.4 V pour un darlington. La tension d'alimentation d'un push-pull MOS doit être augmentée en conséquence, ce qui dégrade son rendement et augmente sa dissipation.

Les résistances R_G préviennent une oscillation spontanée à haute fréquence.

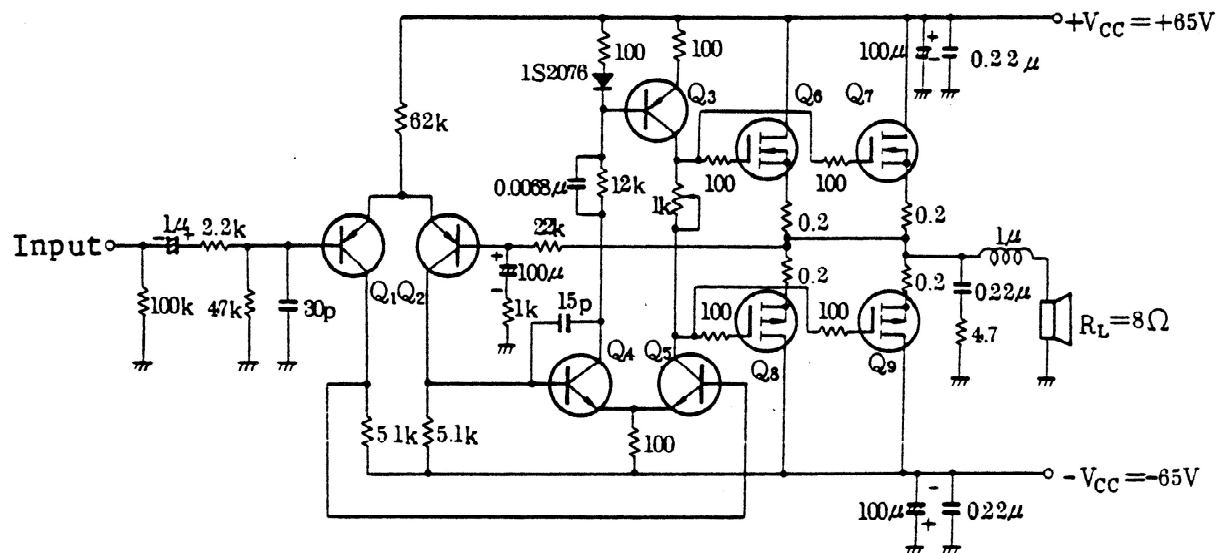
4.5.7 Schémas d'applications d'amplificateurs classe B (ou AB)

Ampli classe AB 60 W sur 8 Ω (source Motorola):



Taux de distorsion $\leq 0.15\%$ pour $0.1\text{ W} \leq P_{\text{out}} \leq 60\text{ W}$ de 20 Hz à 20 kHz

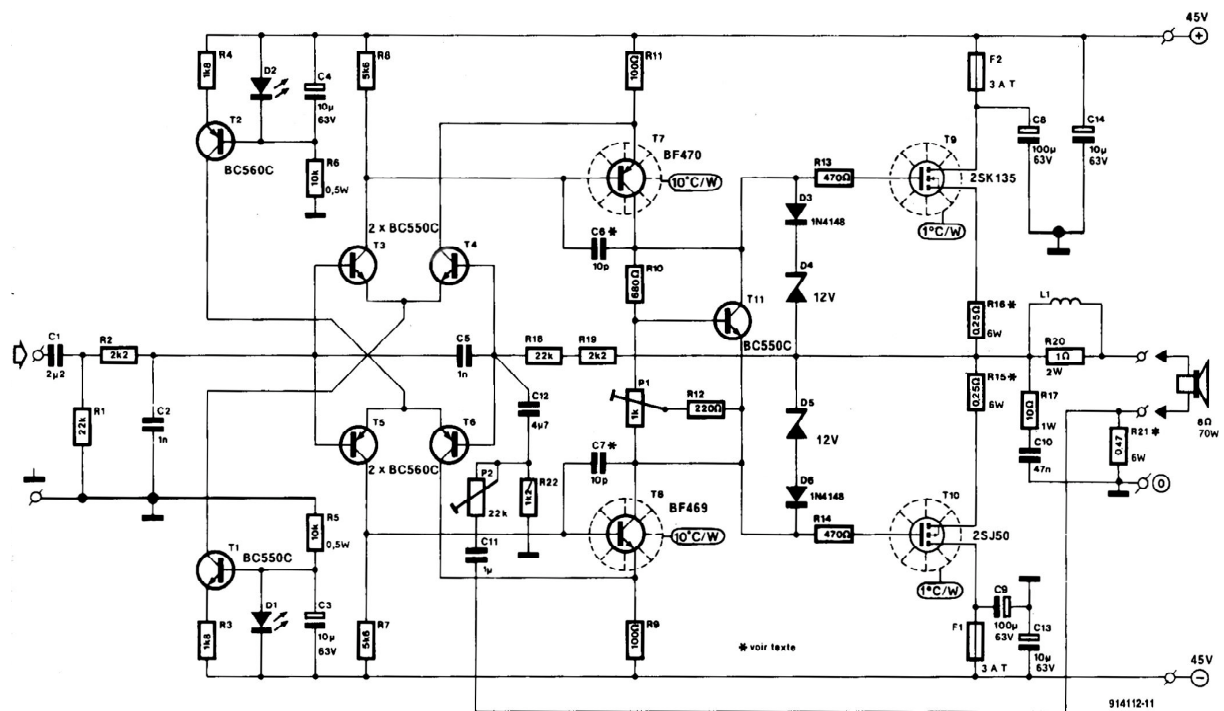
Ampli classe AB 100 W sur 8 Ω (source Hitachi)

Taux de distorsion $\leq 0.01 \%$

Bande passante 100 kHz

Rendement $\approx 50\%$

Ampli classe AB 70 W (source Elektor sept. 1991):



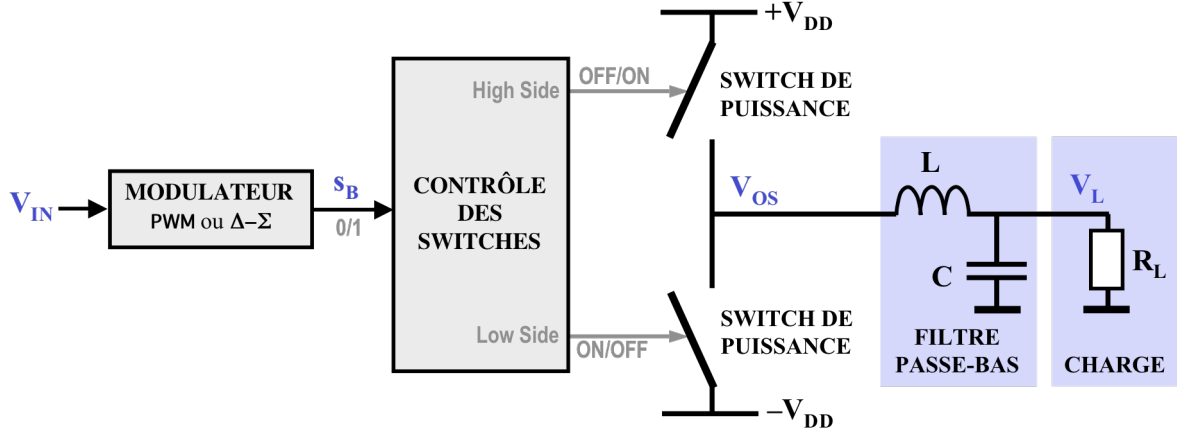
Taux de distorsion à 1 kHz : 0.06 % à 1 W
 0.03 % à 10 W
 0.4 % à 70 W

4.6. AMPLIFICATEURS DE PUISSANCE CLASSE D

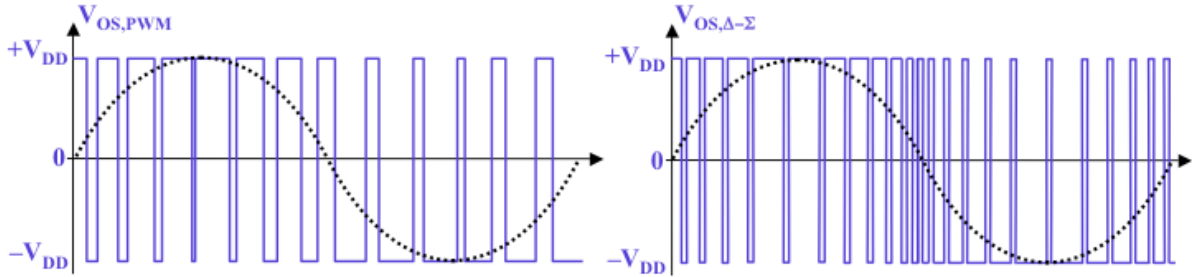
4.6.1 Principe

Rappel: dans un amplificateur classe D, le ou les éléments actifs fonctionnent en interrupteurs, commutés à une fréquence nettement supérieure à celle du signal à amplifier.

Le principe de la chaîne de traitement du signal d'un amplificateur classe D est illustré par le schéma suivant:



Les deux interrupteurs de puissance sont commandés en opposition de phase par un signal binaire s_B modulé PWM ou $\Delta-\Sigma$, par le signal analogique d'entrée V_{IN} . Ils génèrent un signal de puissance V_{OS} rectangulaire, à haute fréquence, avec deux niveaux imposés par les tensions d'alimentation $-V_{DD}$ et $+V_{DD}$, avec la même modulation PWM ou $\Delta-\Sigma$, représenté ci-dessous.



Le filtre passe-bas LC ne transmet à la charge que la composante basse fréquence du signal V_{OS} , c'est-à-dire sa moyenne (en pointillé), proportionnelle au signal original V_{IN} à l'entrée du modulateur PWM ou $\Delta-\Sigma$.

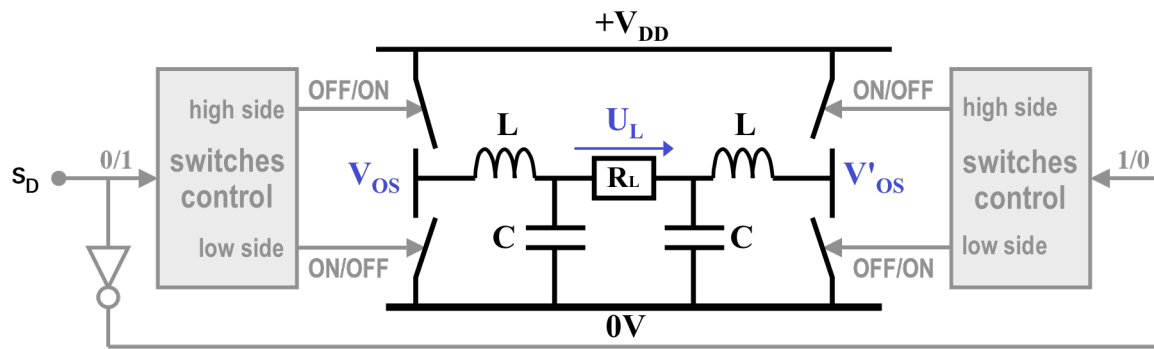
Lorsque l'interrupteur du haut (respectivement du bas) reste fermé durant un temps supérieur à la constante de temps du filtre passe bas de sortie, la tension sur la charge tend vers $+V_{DD}$ (respectivement $-V_{DD}$). D'où:

$$V_{L,crête,max} = V_{DD}$$

La puissance maximum théorique dans la charge, en régime sinus, est donc:

$$P_{RL,max} = \frac{V_{L,crête,max}^2}{2 \cdot R_L} = \frac{V_{DD}^2}{2 \cdot R_L}$$

Un variante courante, dite en pont ou BTL, pour Bridge Tied Load, se présente ainsi:



Les deux sorties de puissance V_{OS} et V'_{OS} sont commutées en opposition entre $0V$ et $+V_{DD}$. La tension entre ces deux sorties vaut donc $-V_{DD}$ ou $+V_{DD}$, commutée à haute fréquence, avec toujours la même modulation PWM ou $\Delta-\Sigma$. La tension alternative U_L aux bornes de la charge peut atteindre une valeur de crête maximum égale à V_{DD} . Avec une unique alimentation positive, la puissance maximum dans la charge est donc identique à celle que peut donner, dans la même charge, le circuit initial avec ses deux alimentations symétriques, donc une tension d'alimentation totale double. C'est là le principal avantage de ce montage en pont, le coût des quelques composants supplémentaires étant modeste.

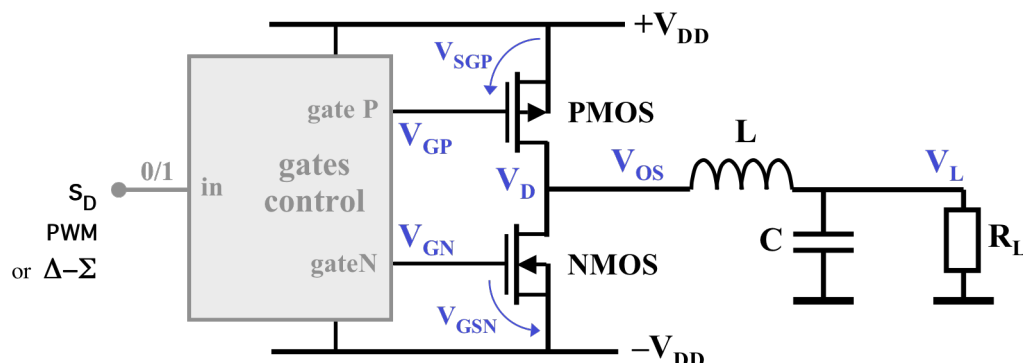
Le principal intérêt des amplis classe D est leur rendement élevé. En théorie, il est de 100%, indépendamment de la puissance de sortie, puisque des interrupteurs idéaux et une inductance idéale n'ont pas de perte. En pratique, il y a dissipation de puissance dans l'ampli, une part étant constante à chaque commutation, l'autre part proportionnelle à la puissance de sortie. Le rendement réel d'un amplificateur classe D de qualité est voisin de 90%, à pleine puissance de sortie.

4.6.2 Etage de puissance classe D

Les switches de puissance d'un ampli classe D sont généralement réalisés avec des transistors MOS de puissance, ceux-ci étant beaucoup plus rapides que les transistors de puissance bipolaires.

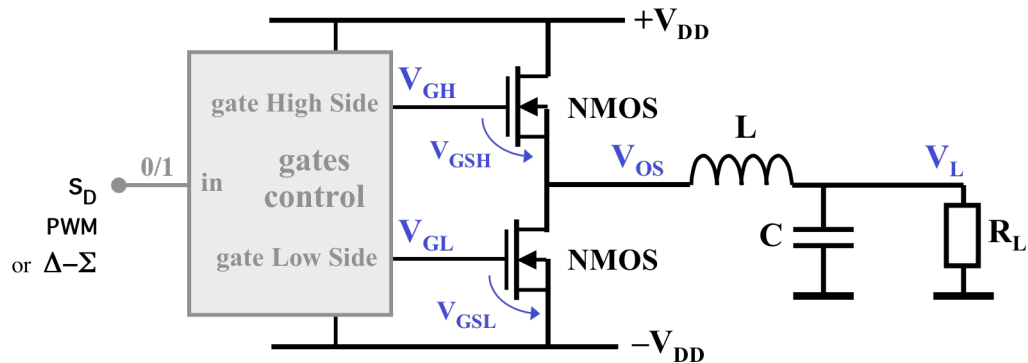
Etage de puissance à deux transistors MOS de puissance complémentaires.

Le schéma de principe est le suivant:



Étage de puissance à deux transistors NMOS.

Le schéma de principe est le suivant:



Cette solution tout NMOS, bien que nécessitant une commande un peu plus compliquée pour le transistor du haut, est souvent préférée à celle utilisant deux transistors complémentaires, car à courant égal un PMOS est moins performant et plus coûteux qu'un NMOS.

Commande des grilles de l'étage de sortie classe D

Le bloc appelé gate control est constitué des circuits nécessaires à imposer la tension V_{GS} (respect. V_{SG}) correcte pour bien bloquer ou faire conduire chaque transistor, en fournissant, lors des commutations, les pics de courant nécessaires à la charge et à la décharge rapide de la capacité globale de grille, et en garantissant un timing précis entre les différents signaux, assurant le retard minimum indispensable à l'enclenchement d'un transistor par rapport blocage de l'autre (dead time), pour garantir que, lors de la commutation, il n'y a pas un transitoire, même très bref, de conduction simultanée des deux transistors ("shoot through").

Dans les amplificateurs de classe D modernes, toutes ces fonctions de commande des grilles, sont intégrées dans un unique circuit. Ceci permet de contrôler au mieux les divers délais de transmission qui ont une importance critique sur la fiabilité et la linéarité de l'amplificateur.

Rendement de l'étage de sortie classe D.

Les pertes dans un ampli classe D sont causées principalement par:

- L'effet Joule dans la résistance de canal R_{ON} des transistors qui, traversée par le même courant BF que la charge, provoque une dissipation proportionnelle à la puissance dans la charge. Les transistors sont aussi traversés par une composante HF de courant qui engendre des pertes supplémentaires.
- Les pertes de commutations sont dues à la charge et la décharge à chaque cycle de commutation de toutes les capacités parasites en sortie de l'étage, ainsi qu'au comportement transitoire des MOS à chaque enclenchement et déclenchement. La puissance ainsi perdue est proportionnelle à la fréquence moyenne de commutation.

Le rendement d'un ampli classe D est généralement supérieur à 80% et parfois supérieur à 90% pour des circuits optimisés dans ce but.

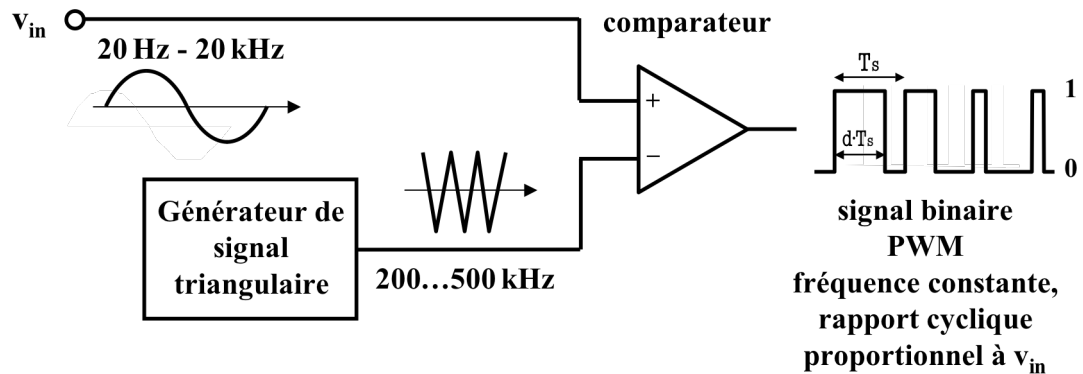
Choix de la fréquence de commutation.

Le choix de la fréquence de commutation repose sur un compromis, car il est soumis à deux contraintes contradictoires: le filtrage de sortie est d'autant plus aisé que cette fréquence est élevée, mais les pertes de commutation augmentent en proportion de cette même fréquence.

4.6.3 Génération du signal binaire s_B à partir du signal analogique V_{IN}

Modulation PWM (Pulse Width Modulation)

Le schéma de principe d'un modulateur PWM est le suivant:

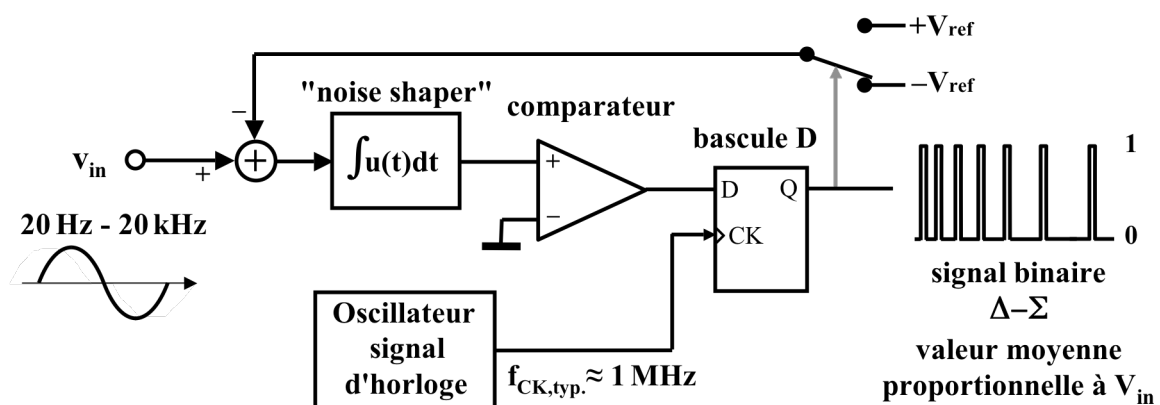


Le signal analogique v_{in} de basse fréquence est comparé à un signal triangulaire de bien plus haute fréquence f_s fixe et d'amplitude égale à $v_{in,max}$. La sortie du comparateur est un signal binaire à haute fréquence f_s fixe et à rapport cyclique d variable, proportionnellement à v_{in} .

Il existe aussi des variantes de modulation PWM où la fréquence est légèrement variable.

Modulation Delta-Sigma ($\Delta-\Sigma$)

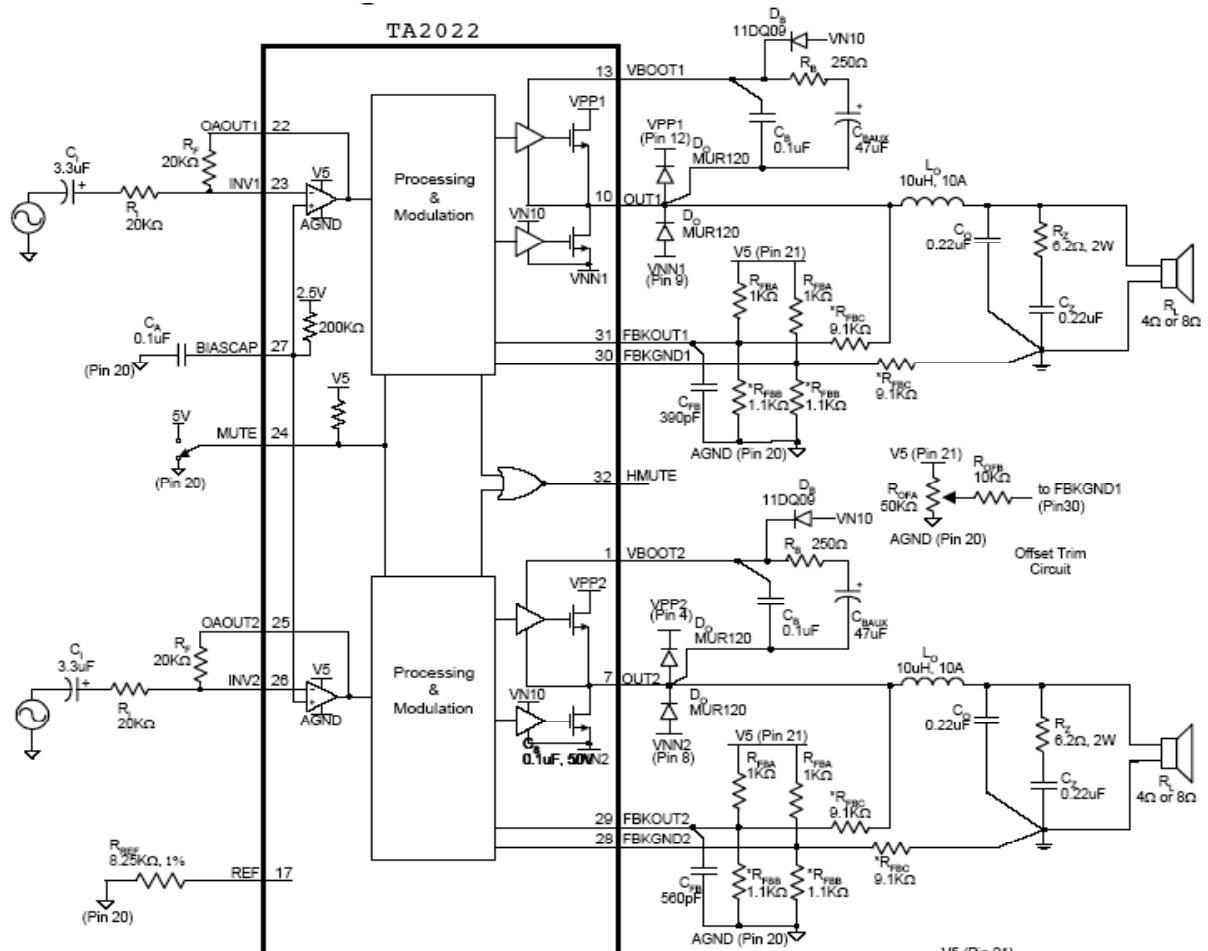
Le schéma de principe d'un modulateur $\Delta-\Sigma$ de 1^{er} ordre est le suivant:



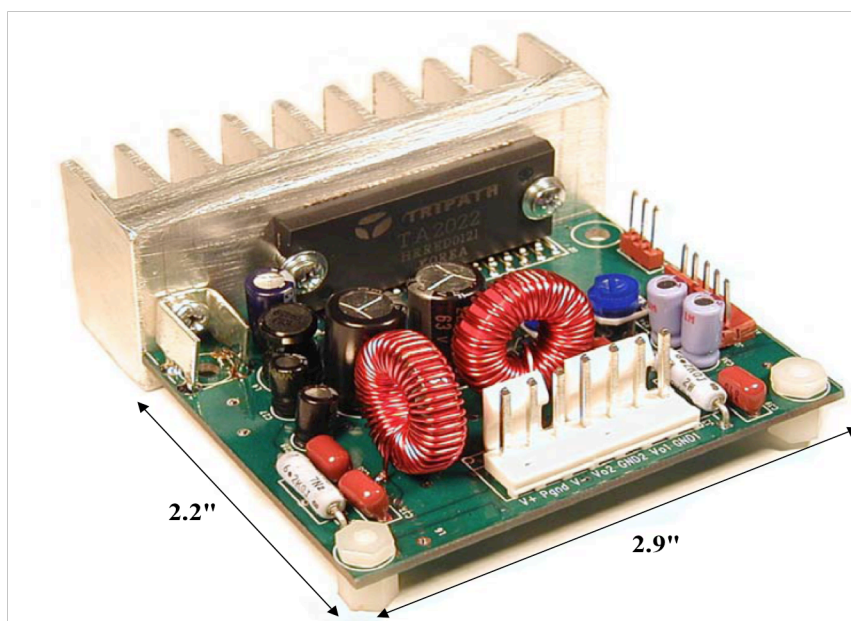
Le modulateur delta-sigma ne sera pas analysé ici. Son étude fait l'objet d'un chapitre de la partie II de ce cours. Enregistrons simplement qu'il donne un signal binaire formé d'impulsions de durée $1/f_{CK}$ fixe, dont la valeur moyenne est proportionnelle au signal analogique basse fréquence d'entrée. Une modulation $\Delta-\Sigma$ est une opération de quantification qui ajoute un bruit de quantification basse fréquence d'autant plus faible que le taux de suréchantillonnage $f_{CK}/f_{coupure,filtre}$ et l'ordre du modulateur sont élevés.

4.6.4 Schéma d'application d'un amplificateur classe D

Ampli intégré stéréo classe D, 2 x 100 W, TA 2022, Tripath



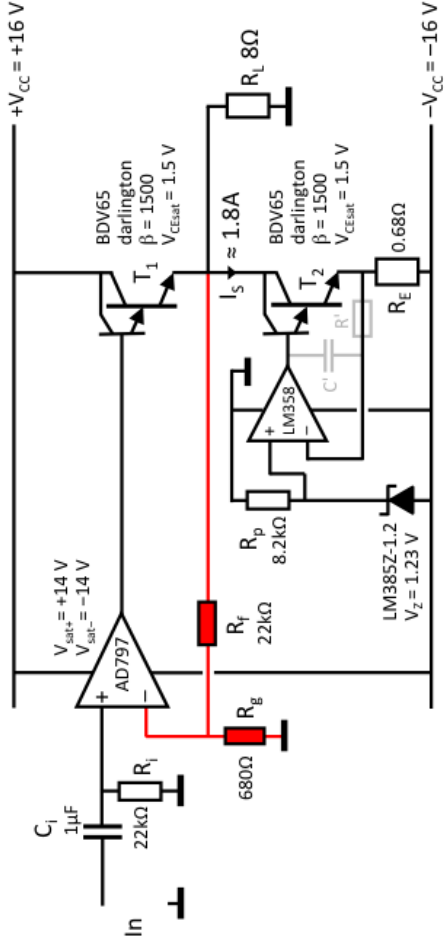
$P_{RL} = 100 \text{ W}$ (par ampli) sur 4Ω avec une alimentation symétrique de $+ \& - 31 \text{ V}$

Distorsion $\leq 0.015\%$ à 70 WRendement $\geq 85\%$ 

Circuits et Systèmes Electroniques

Ampli audio classe A

Soit l'amplificateur audio classe A suivant:



Caractéristiques nominales : $P_{out} = 10\text{ W}$ sur $R_L = 8\ \Omega$.

Calculer :

- $V_{out,max}$ et $V_{out,min}$, et en déduire la puissance maximale que l'ampli peut fournir à la charge en régime sinus;
 - le courant de repos $I_{C10} = I_S$, et vérifier qu'il est suffisant pour obtenir la puissance calculée précédemment dans la charge;
Si la température des jonctions de T_2 monte de 25° à 125° , estimer la variation ΔI_S dans le circuit proposé et la comparer à celle de la simple source de courant ci-dessous:
-
- le courant I_C maximum, la tension V_{CE} maximum et la puissance instantanée maximum que doit pouvoir supporter chacun des transistors T_1 et T_2 ;
 - la puissance moyenne maximum dissipée par chacun des transistors T_1 et T_2 ;
 - le courant moyen et la puissance moyenne maximale fournis par chaque source d'alimentation.

Circuits et Systèmes Electroniques

Ampli audio classe A-Corrigé

- a) $V_{out,max} = V_{sat+} - V_{BE1} = 14 - 2 \cdot 0.7 = 12.6 \text{ V}$
 $I_{out,max} = V_{out,max}/R_L = 1.58 \text{ A}$
 $V_{out,min} = -V_{CC} + U_{RE} + V_{CE2sat}$
 $U_{RE} = V_Z$ (Ampli Op idéal : $I_{b-} = 0$ et en réaction négative $\Rightarrow U_{j1} = 0$)
 $\Rightarrow V_{out,min} = -V_{CC} + V_Z + V_{CE2sat} = -16 + 1.23 + 1.5 \approx -13.3 \text{ V}$
 $I_{out,min} = V_{out,min}/R_L = -1.66 \text{ A}$
 En régime sinus, on aura donc :
 $V_{out,crête,max} = 12.6 \text{ V}$ $I_{out,crête,max} = V_{out,crête,max}/R_L = 1.6 \text{ A}$
 $P_{out,max} = V_{out,crête,max} \cdot I_{out,crête,max} = 9.9 \text{ W} \approx 10 \text{ W}$
- b) Grâce à l'AO1 en réaction négative: $U_{RE} = V_Z$
 $I_{C10} = I_S = I_{C2} = I_{RE} = U_{RE}/R_E = V_Z/R_E \approx 1.8 \text{ A}$
 Or : $I_{out} = I_{C1} - I_S \Rightarrow I_{C1,min} = I_S - I_{out,crête,max} = 0.14 \text{ A}$ ce qui garantit que l'élément actif conduit durant toute la période du sinus (classe A).
 La tension $U_{RE} = I_S R_E$ étant asservie à V_Z par l'ampli op, le courant I_S est indépendant de V_{BE2} et donc de la température de la jonction de T_2 .
 En comparaison, la source de courant simple, avec un potentiel fixe sur la base de T_2 , donne, pour une variation de la température des jonctions ΔT_j de 100° :
 $I_S = I_{C2} = I_{RE} = U_{RE}/R_E = (V_Z - V_{BE2})/R_E \approx (V_Z - 2U_j)/R_E \approx 1.8 \text{ A}$
 $\Delta I_S \approx -\Delta V_{BE2}/R_E = -2\Delta U_j/R_E \approx 2 \cdot 2 \cdot 10^{-3} \cdot \Delta T_j/R_E \approx +0.6 \text{ A} !!!$
- c) $I_{C2} = I_S$ est constant $\Rightarrow I_{C2,max} = I_S \approx 1.8 \text{ A}$
 $I_{C1} = I_{out} + I_S \Rightarrow I_{C1,max} = I_S + I_{out,max} \approx 3.5 \text{ A}$
 $V_{CE2} = V_{out} - I_S R_E - (-V_{CC})$
 $\Rightarrow V_{CE2,max} = V_{out,max} - V_Z + V_{CC} = 28.3 \text{ V}$
 soit une estimation grossière par excès de $V_{CE2,max} \approx 2 \cdot V_{CC}$
 $V_{CE1} = +V_{CC} - V_{out}$
 $\Rightarrow V_{CE1,max} = V_{CC} - V_{out,min} = 29.5 \text{ V}$
 soit une estimation grossière par excès de $V_{CE1,max} \approx 2 \cdot V_{CC}$
- La puissance instantanée dissipée par T_2 est :

- $P_{T2} = I_S \cdot V_{CE2} = I_S \cdot (V_{out} - (-V_{CC} + I_S R_E)) = I_S \cdot (V_{out} + V_{CC} - V_Z)$
 elle ne dépend pas de la valeur de la charge, et est maximum pour $V_{out,max}$:
 $P_{T2,max} = I_S \cdot (V_{out,max} + V_{CC} - V_Z) = I_S \cdot V_{CE2,max} = 51 \text{ W}$
 soit une estimation grossière par excès de $P_{T2,max} \approx I_S \cdot 2 \cdot V_{CC} = 58 \text{ W}$
 La puissance instantanée dissipée par T_1 est :
 $P_{T1} = (I_S + I_{out}) \cdot V_{CE1} = (I_S + I_{out}) \cdot (V_{CC} - V_{out}) = (I_S + V_{out}/R_L) \cdot (V_{CC} - V_{out})$
 elle est maximum lorsque $dP_{T1}/dV_{out} = 0$, c. à d. pour $V_{out} = (V_{CC} - R_L I_S)/2$
 $P_{T1,max} = \frac{V_{CC} I_S}{2} + \frac{V_{CC}^2}{4R_L} + \frac{R_L I_S^2}{4} = 28.9 \text{ W} \approx 29 \text{ W}$
- Dans le cas particulier où l'ampli fonctionne à vide ($R_L = \infty$) :
- $I_{out} = 0 \Rightarrow I_{C1} = I_S$ est constant pour tout V_{out}
 $P_{T1,à\ vide} = I_S \cdot V_{CE1} = I_S \cdot (V_{CC} - V_{out})$ est maximum pour $V_{out,min}$:
 $P_{T1,max\ à\ vide} = I_S \cdot (V_{CC} - V_{out,min}) = I_S \cdot V_{CE1,max} = 53 \text{ W}$
 soit une estimation grossière par excès de $P_{T1,max\ à\ vide} \approx I_S \cdot 2 \cdot V_{CC} = 58 \text{ W}$
- d) La puissance moyenne dissipée par T_1 est maximale au repos (voir théorie de la classe A):
 $P_{T1,max} = I_S \cdot V_{CC} \approx 29 \text{ W}$
 La puissance moyenne dissipée par T_2 est constante (voir théorie de la classe A):
 $P_{T2} = I_S \cdot (V_{CC} - I_S R_E) = I_S \cdot (V_{CC} - V_Z) = 26.6 \text{ W}$
 soit une estimation par excès, en négligeant la puissance dissipée par R_E :
 $P_{T2} \approx I_S \cdot V_{CC} \approx 29 \text{ W}$
- e) Le courant fourni par l'alimentation négative est constant $I_{alim-} = -I_S$
 $P_{alim-} = (-I_S) \cdot (-V_{CC}) \approx 29 \text{ W}$
 Le courant instantané fourni par l'alimentation positive est $i_{alim+} = I_S + i_{out}$
 Le courant i_{out} étant purement alternatif, le courant moyen fourni par l'alimentation positive est $I_{alim+} = I_S$
 $P_{alim+} = I_S \cdot V_{CC} \approx 29 \text{ W}$
 Le rendement à la puissance nominale vaut :
 $\eta = \frac{P_{out\ nominal}}{P_{alim+} + P_{alim-}} = 10/58 \approx 17\%$
 C'est moins que les 25% théoriques, car V_{CC} et I_S sont plus grands que les minima théoriques nécessaires pour obtenir 10 W en sortie.

Circuits et Systèmes Electroniques

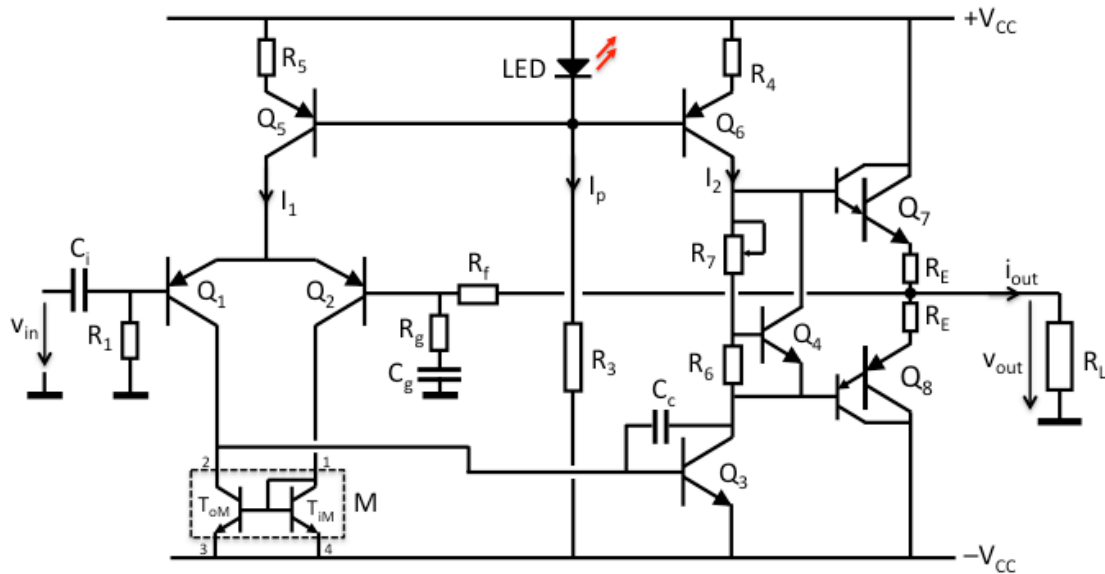
Conception d'un ampli BF de puissance classe A-B à composants discrets

Cahier des charges:

Puissance de sortie nominale en régime sinus : **60 W** sur une charge de **4 Ω**.

Gain en tension en boucle fermée : ≈ 30 dB

On propose le schéma suivant :



Types de transistors bipolaires à disposition :

Q_7 & Q_8 : BDV65A : darlington NPN, BDV64A : darlington PNP
 $|V_{CEmax}| = 80$ V $I_{Cmax} = 20$ A $P_{max} = 125$ W $\beta \approx 1500$ $|V_{CEsat}| \approx 1.3$ V

Q_3 & Q_6 : BC 337A : NPN, BC 327A : PNP
 $|V_{CEmax}| = 60$ V $I_{Cmax} = 1$ A $P_{max} = 625$ mW $\beta \approx 200$ $|V_{CEsat}| \approx 0.2$ V $V_{Early} \approx 80$ V

Q_1, Q_2, Q_5 : BC 557B : PNP
 $V_{ECmax} = 45$ V $I_{Cmax} = 0.2$ A $P_{max} = 500$ mW $\beta \approx 300$ $V_{ECsat} \approx 0.2$ V $V_{Early} \approx 50$ V

M : BCM61 : NPN double transistors
 $V_{CEmax} = 30$ V $I_{Cmax} = 100$ mA $P_{max} = 220$ mW $\beta \approx 300$ $V_{CEsat} \approx 0.2$ V $V_{Early} \approx 30$ V

Q_4 : BD 239, NPN $\beta \approx 50$ à $I_C = 10$ mA choisi pour son boîtier TO126

LED : rouge 640 nm : HLMP 1000, $V_F \approx 1.6$ V à $I_F = 15$ mA $\Delta V_F / \Delta T \approx -2$ mV/°

Questions :

- a) Déterminer la tension $V_{\text{out,crête}}$ et le courant $I_{\text{out,crête}}$ à la puissance de sortie nominale en régime sinus.
- b) Avec $R_E = 0.22 \, \Omega$ ($\approx 0.05 \cdot R_L$), déterminer la puissance que doit pouvoir dissiper chacune des deux résistances.
- c) Déterminer la tension d'alimentation minimum requise pour obtenir la puissance nominale désirée en régime sinus.

Pour la suite, on considérera une tension d'alimentation nominale $V_{CC} = 27 \, \text{V}$.

- d) Estimer la valeur de la tension $|V_{CE}|_{\text{max}}$, du courant $I_{C\text{max}}$, et de la puissance instantanée maximale que doivent supporter les transistors Q_7 et Q_8 .
- e) Calculer le courant moyen et la puissance que doit pouvoir délivrer chacune des deux alimentations en régime sinus à la puissance nominale.
- f) Calculer la puissance que doit pouvoir dissiper l'étage de sortie en régime sinus. Comparer avec le cas où le signal amplifié est un "carré".
- g) Estimer les courants $I_{B7,\text{crête}}$ et $I_{B8,\text{crête}}$, en déduire le courant I_2 minimum requis.

Pour la suite, on considérera un courant nominal $I_2 = 6 \, \text{mA}$.

- h) Estimer la valeur des tensions $|V_{CE}|_{\text{max}}$, des courants $I_{C\text{max}}$, et la puissance instantanée maximale que doivent supporter les transistors Q_3 et Q_6 .
- i) Estimer le courant $I_{B3,\text{repos}}$, choisir le courant I_1 en conséquence.

Pour la suite, on considérera un courant nominal $I_1 = 2 \, \text{mA}$.

- j) Estimer la valeur de la tension $V_{EC\text{max}}$, du courant $I_{C\text{max}}$, et de la puissance instantanée maximale que doivent supporter les transistors Q_1 , Q_2 et Q_5 .
- k) Calculer les valeurs de toutes les résistances du circuit, sauf R_g .
- l) Calculer le gain en tension "petits signaux" AC en boucle ouverte, dans la bande passante ($C_c = \text{circuit ouvert}$).
- m) Calculer les valeurs de R_g , C_{in} et C_g pour avoir un gain en boucle fermée de 30 dB, avec une bande passante à $-3 \, \text{dB}$ commençant à environ 20 Hz.

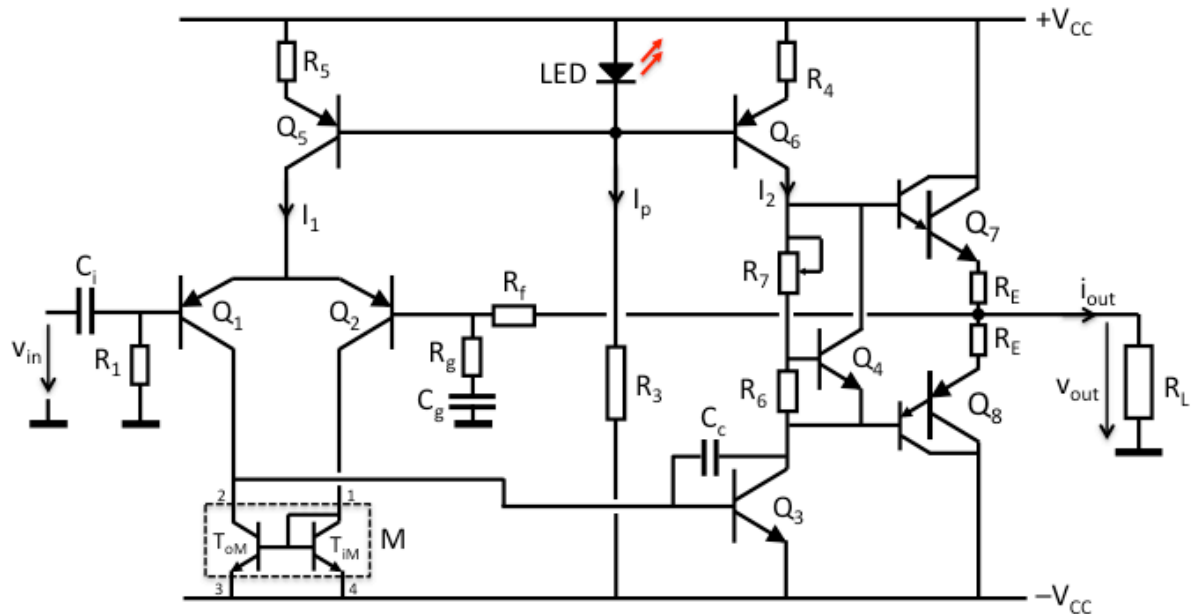
Corrigé, Circuits et Systèmes Electronique

AMPLIFICATEUR AUDIO CLASSE AB DE PUISSANCE

CAHIER DES CHARGES :

- Puissance de sortie nominale en mode sinus: $P_{L,nom.} = 60 \text{ W}$ sur une charge de $R_L = 4 \Omega$
- Gain en tension en boucle fermée $\approx 30 \text{ dB}$

SCHEMA COMPLET DETAILLE



Q_7 & Q_8 : BDV65A : darlington NPN, BDV64A : darlington PNP

$|V_{CEmax}| = 80 \text{ V}$ $I_{Cmax} = 20 \text{ A}$ $P_{max} = 125 \text{ W}$ $\beta \approx 1500$ $|V_{CEsat}| \approx 1.3 \text{ V}$

Q_3 & Q_6 : BC 337A : NPN, BC 327A : PNP

$|V_{CEmax}| = 60 \text{ V}$ $I_{Cmax} = 1 \text{ A}$ $P_{max} = 625 \text{ mW}$ $\beta \approx 200$ $|V_{CEsat}| \approx 0.2 \text{ V}$ $V_{Early} \approx 80 \text{ V}$

Q_1, Q_2, Q_5 : BC 557B : PNP

$V_{ECmax} = 45 \text{ V}$ $I_{Cmax} = 0.2 \text{ A}$ $P_{max} = 500 \text{ mW}$ $\beta \approx 300$ $V_{ECsat} \approx 0.2 \text{ V}$ $V_{Early} \approx 50 \text{ V}$

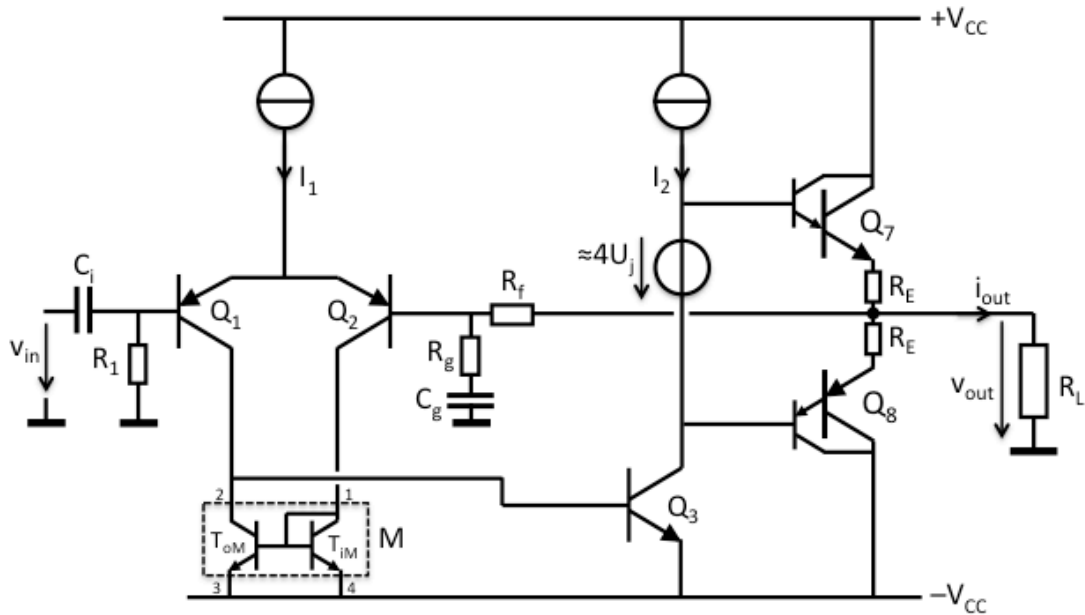
M : BCV61 : NPN double transistors

$V_{CEmax} = 30 \text{ V}$ $I_{Cmax} = 100 \text{ mA}$ $P_{max} = 220 \text{ mW}$ $\beta \approx 300$ $V_{CEsat} \approx 0.2 \text{ V}$ $V_{Early} \approx 30 \text{ V}$

Q_4 : BD 239, NPN $\beta \approx 50$ à $I_C = 10 \text{ mA}$ choisi pour son boîtier TO126

LED : rouge 640 nm : HLMP 1000, $V_F \approx 1.6 \text{ V}$ à $I_F = 15 \text{ mA}$ $\Delta V_F / \Delta V \approx -2 \text{ mV/}^\circ$

SCHEMA SIMPLIFIE (à comparer au schéma détaillé de la page précédente)



La LED, polarisée par R_3 , fournit une tension de référence de 1.6 V avec une dérive en température $-2 \text{ mV}/^\circ\text{C}$ identique à celle du V_{EB} des transistors Q_5 et Q_6 qui forment les sources de courant I_1 et I_2 .

L'étage d'entrée est formé de la paire différentielle Q_1 - Q_2 , polarisée par la source de courant constant I_1 , faite par Q_5 , R_5 et la tension de référence à LED. Cette paire différentielle a une charge active en miroir de courant formé par les transistors T_{iM} et T_{oM} , intégrés dans le même boîtier.

L'étage driver est formé de Q_3 en Emetteur Commun avec comme charge active la source de courant constant I_2 , faite par Q_6 , R_4 et la tension de référence à LED.

L'étage de sortie de puissance est un classique Push-Pull Collecteur Commun utilisant deux darlington complémentaires Q_7 et Q_8 . La source $4U_j$, faite par Q_4 , R_6 et R_7 , décale les bases du Push-Pull et permet de lui imposer un léger courant de repos ajustable ($I_{C70} = I_{C80} \approx 50 \text{ mA}$) qui supprime la distorsion de "cross-over".

a) TENSION ET COURANT NOMINAUX DANS LA CHARGE

La valeur de la puissance nominale ($P_{L,nom.} = 60 \text{ W}$) fournie à la charge ($R_L = 4 \Omega$) en régime sinus permet de déterminer la tension de sortie que l'amplificateur doit être capable de fournir:

$$P_{L,nom.} = V_{out,eff,nom.}^2 / R_L = V_{out,crête,nom.}^2 / 2R_L \quad \Rightarrow \quad V_{out,crête,nom.} = (2R_L P_{L,nom.})^{1/2} = 22 \text{ V}$$

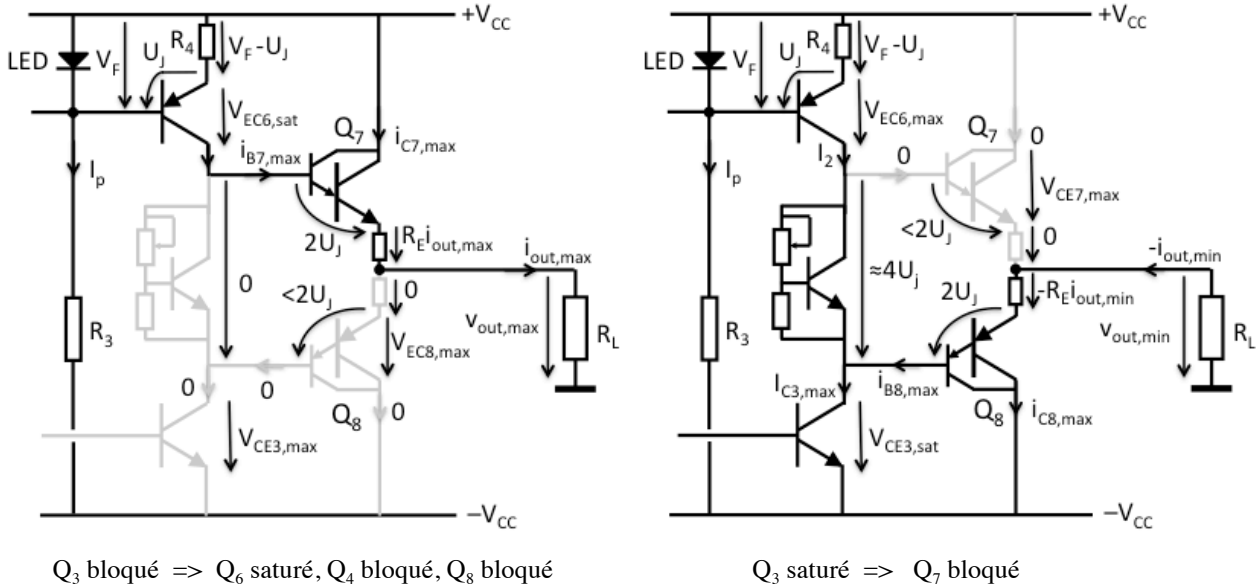
$$I_{out,crête,nom.} = V_{out,crête,nom.} / R_L = 5.5 \text{ A}$$

b) CHOIX DE R_E

$$R_E \approx 0.05 \cdot R_L = 0.2 \Omega \quad \Rightarrow \quad \text{valeur normalisée } R_E = 0.22 \Omega$$

En régime sinus, les deux résistances dissipent ensemble: $P_{RE,total} = I_{out,eff}^2 \cdot R_E = I_{out,crête}^2 \cdot R_E / 2 = 3.3 \text{ W}$, soit 1.65 W par résistance, on prendra donc des modèles capables de supporter au minimum 2 W.

SITUATIONS EXTREMES: SATURATION DE L'AMPLI EN POSITIF ET NEGATIF



c) CALCUL DE LA TENSION D'ALIMENTATION

Sur la crête positive : $+V_{CC,min} = V_{out,crête,nom.} + I_{out,crête,nom.} R_E + V_{BE7} + V_{EC6,sat} + U_{R4}$

$U_{R4} = V_{F,LED} - U_j \Rightarrow +V_{CC,min} = V_{out,crête,nom.} + I_{out,crête,nom.} R_E + 2U_j + V_{EC6,sat} + V_{F,LED} - U_j$

On en tire : $+V_{CC,min} = +22 + 5.5 \cdot 0.22 + 1.4 + 0.2 + 1.6 - 0.7 = 25.7 \text{ V}$

Sur la crête négative : $-(V_{CC,min}) = -V_{out,crête,nom.} - I_{out,crête,nom.} R_E - V_{EB8} - V_{CE3,sat}$

On en tire : $-(V_{CC,min}) = -22 - 5.5 \cdot 0.22 - 1.4 - 0.2 = -24.8 \text{ V}$

Comme les alimentations d'un ampli audio classe AB ne sont en général pas stabilisées, elles peuvent varier suivant la puissance fournie, on prendra donc une petite marge de sécurité: $V_{CC} = 27 \text{ V}$.

d) VERIFICATION DES TRANSISTORS DE SORTIE

Avec $V_{CC} = 27 \text{ V}$, le courant maximal de sortie vaut :

$$I_{out,max} = (V_{CC} - U_{R4} - V_{EC6,sat} - V_{BE7}) / (R_E + R_L) = (V_{CC} - (V_{F,LED} - U_j) - V_{EC6,sat} - 2U_j) / (R_E + R_L) = 5.8 \text{ A}$$

$$I_{out,min} = (-V_{CC} + V_{CE3,sat} + V_{EB8}) / (R_E + R_L) = (-V_{CC} + V_{CE3,sat} + 2U_j) / (R_E + R_L) = -6 \text{ A}$$

La puissance maximum que cet ampli peut délivrer à la charge en mode sinus est :

$$P_{RL,max} = I_{out,max}^2 \cdot R_L / 2 = 67 \text{ W} \quad \text{soit une marge de 10\% par rapport à la valeur nominale désirée.}$$

La tension $|V_{CE}|$ et le courant I_C que doivent supporter les transistors Q₇ et Q₈ sont maximaux lorsque l'ampli sature en positif ou en négatif:

$$I_{C7,max} = I_{out,max} = 5.8 \text{ A, valeur de toute façon inférieure à l'approximation grossière } V_{CC}/R_L = 6.75 \text{ A}$$

$$I_{C8,max} = -I_{out,min} = 6 \text{ A, valeur de toute façon inférieure à l'approximation grossière } -(V_{CC})/R_L = 6.75 \text{ A}$$

$$V_{out,max} = (V_{CC} - (V_{F,LED} - U_j) - V_{EC6,sat} - 2U_j) \cdot R_L / (R_E + R_L) = I_{out,max} \cdot R_L = 23.2 \text{ V}$$

$$V_{out,min} = (-V_{CC} + V_{CE3,sat} + 2U_j) \cdot R_L / (R_E + R_L) = I_{out,min} \cdot R_L = -24 \text{ V}$$

$$V_{CE7,max} = V_{CC} - V_{out,min} = 51 \text{ V, valeur de toute façon inférieure à l'approximation grossière } 2 \cdot V_{CC} = 60 \text{ V.}$$

$$V_{EC8,max} = V_{out,max} - (-V_{CC}) = 50.2 \text{ V, valeur de toute façon inférieure à l'approximation grossière } 2 \cdot V_{CC} = 60 \text{ V.}$$

La puissance instantanée dissipée par Q₇ (resp. Q₈) est maximale lorsque $V_{CE7(CE8)} = V_{CC}/2$; elle vaut :

$$p_{Q7/8,max}(t) = V_{CC}^2 / 4(R_E + R_L) \approx 43 \text{ W, valeur inférieure à celle théorique de } V_{CC}^2 / 4R_L \approx 46 \text{ W}$$

Les transistors darlington proposés **BDV64A** et **BDV65A** sont largement dimensionnés, puisque spécifiés à:

$$|V_{CEmax}| = 80 \text{ V, } I_{Cmax} = 20 \text{ A, } P_{max} = 125 \text{ W.}$$

e) CALCUL DES ALIMENTATIONS

A la puissance nominale de sortie $P_{L,nom} = 60 \text{ W}$ en régime sinus, chaque alimentation délivre un courant en forme de demi sinusoïde (simple alternance), dont la composante continue (valeur moyenne) est :

$$I_{CC} = I_{out,crête,nom.} / \pi = 1.75 \text{ A}$$

et donc la puissance fournie par chaque alimentation vaut :

$$P_{alim} = V_{CC} \cdot I_{CC} = V_{CC} \cdot I_{out,crête,nom.} / \pi = 47.3 \text{ W}$$

La puissance totale d'alimentation est alors :

$$P_{alim,tot} = 2 \cdot V_{CC} \cdot I_{out,crête,nom.} / \pi \approx 95 \text{ W}$$

f) PUISSANCE DISSIPÉE PAR L'ETAGE DE SORTIE

En régime sinus, la puissance moyenne maximale dissipée par l'étage de sortie est (voir théorie classe B) :

$$P_{Q7+8,max} \approx 0.2 \cdot V_{CC}^2 / R_L \approx 36 \text{ W}, \text{ soit } 18 \text{ W par transistor.}$$

Avec des signaux "carrés", la puissance moyenne maximale dissipée par l'étage de sortie est égale à la puissance instantanée maximale, soit $\approx 43 \text{ W}$ pour l'étage et donc $\approx 22 \text{ W}$ par transistor. Attention à ne pas faire travailler l'ampli à sa puissance maximum de sortie en régime "carré", car alors les puissances dans la charge et dans les résistance R_E sont **dobles** de celles en régime sinus ! la puissance d'alimentation augmente aussi d'un facteur $\pi/2$.

g+h) CALCUL DE L'ETAGE DRIVER

A la puissance de sortie maximale, les courants de base de Q_7 et Q_8 sont :

$$I_{B7/8,max} = I_{out,max} / \beta_{7/8} \approx 4 \text{ mA}$$

La source de courant I_2 réalisée par Q_6 et R_4 doit être capable de fournir le courant $I_{B7,max}$; aussi, on choisira une valeur légèrement supérieure pour avoir un bon gain et une linéarité suffisante de l'étage driver Emetteur

Commun, sans toutefois entraîner une dissipation excessive dans Q_6 et Q_3 ; on choisit **$I_2 = 6 \text{ mA}$** .

$$I_{C6} = I_2 = \text{cst} \Rightarrow I_{C6,max} = I_2 = 6 \text{ mA}$$

V_{EC6} est maximale lorsque Q_3 sature, donc lorsque l'ampli sature en négatif:

$$V_{EC6,max} = +V_{CC} - U_{R4} - (-V_{CC} + V_{CE3,sat} + 4U_j) \approx 2 \cdot V_{CC} \text{ (approximation grossière par excès)}$$

La puissance instantanée dissipée par Q_6 vaut:

$$P_{Q6,max}(t) = V_{EC6,max} \cdot I_2 \approx 2 \cdot V_{CC} \cdot I_2 = 324 \text{ mW (approximation grossière par excès).}$$

Le courant dans Q_3 est maximal lorsque l'ampli sature en négatif:

$$I_{C3,max} = I_2 + I_{B8,max} \approx 10 \text{ mA}$$

V_{CE3} est maximale lorsque Q_6 sature, donc lorsque l'ampli sature en positif:

$$V_{CE3,max} = +V_{CC} - U_{R4} - V_{EC6,sat} - (-V_{CC}) \approx 2 \cdot V_{CC} \text{ (approximation grossière par excès).}$$

La puissance instantanée dissipée par Q_3 est maximale lorsque l'amplificateur fonctionne sans charge ($R_L = \infty$) et est tout proche de la saturation en positif, alors que Q_6 maintient encore I_2 constant. Dans ce cas particulier :

$$I_{out} = 0 \Rightarrow I_{B7} = I_{B8} = 0 \Rightarrow I_{C3} = I_2 = \text{cst}$$

$$P_{Q3,max}(t) = V_{CE3,max} \cdot I_2 \approx 2 \cdot V_{CC} \cdot I_2 = 324 \text{ mW (approximation grossière par excès)}$$

Les transistors **BC327A** et **BC337A** conviendront parfaitement.

i+j) CALCUL DE L'ETAGE D'ENTREE

$$I_{B3, \text{repos}} = I_2 / \beta_3 = 30 \mu A$$

En négligeant les courants de base des transistors du miroir de courant:

$$I_{C1, \text{repos}} = I_{\text{out, Miroir}} + I_{B3, \text{repos}} = I_{\text{in, Miroir}} + I_{B3, \text{repos}} = I_{C2, \text{repos}} + I_{B3, \text{repos}}$$

On veut que la paire différentielle travaille autour de l'origine ($I_{C2, \text{repos}} = I_{C1, \text{repos}} = I_1/2$), donc sans offset et dans la zone la plus linéaire de sa caractéristique en tangente hyperbolique. Pour satisfaire cette condition sans connaître précisément $I_{B3, \text{repos}}$, car β_3 est très imprécis, on prendra $I_1/2 \gg I_{B3, \text{repos}}$.

On choisit **$I_1 = 2 \text{ mA}$**

$$\Rightarrow I_{C1, \text{repos}} = I_{C2, \text{repos}} = I_1/2 = 1 \text{ mA} \text{ ce qui est bien } \gg I_{B3, \text{repos}}.$$

Dans des conditions de fonctionnement normales, avec un signal d'entrée inférieur à $1 V_{\text{crête}}$, les potentiels des bases V_{B1} et V_{B2} restent dans une plage de $\pm 1 \text{ V}$, le potentiel $V_{E1} = V_{E2} = V_{C5}$ reste dans une plage de $(+0.7 \pm 1) \text{ V}$.

$$V_{EC5} = (V_{CC} - U_{R5} - V_{C5}) \approx V_{CC} = 27 \text{ V} \text{ approximativement constant}$$

$$V_{EC1} = V_{E1} - (-V_{CC} + V_{BE3}) \approx V_{CC} = 27 \text{ V} \text{ approximativement constant}$$

$$V_{EC2} = V_{E2} - (-V_{CC} + V_{BE1M}) \approx V_{CC} = 27 \text{ V} \text{ approximativement constant}$$

$$I_{C5} = I_1 = \text{cst} = 2 \text{ mA} \text{ et } I_{C1, \text{max}} = I_{C2, \text{max}} = I_1 = 2 \text{ mA}$$

$$P_{Q5} = V_{EC5} \cdot I_1 \approx V_{CC} \cdot I_1 = 54 \text{ mW} \text{ est approximativement constante.}$$

$$P_{Q1, \text{max}}(t) = P_{Q2, \text{max}}(t) = V_{EC1/2} \cdot I_{C1/2, \text{max}} \approx V_{CC} \cdot I_1 = 54 \text{ mW.}$$

Les transistors **BC557B** et **BC547B** conviendront parfaitement.

k) CALCUL DES RESISTANCES

Le circuit multiplicateur de U_j formé de R_6 , R_7 et Q_4 est traversé par I_2 , au repos. Pour que ce circuit fonctionne bien, il faut que l'essentiel du courant I_2 passe dans Q_4 , tout en assurant que le courant dans les résistances soit bien supérieur au courant de base de Q_4 , pour qu'on puisse considérer que $I_{R7} = I_{R6}$. De plus, pour minimiser la distorsion créée par l'ampli, il est souhaitable que ce circuit fonctionne encore, c'est à dire que I_{C4} ne s'annule pas, sur la crête positive maximale de V_{out} , lorsque l'ampli est tout proche de la saturation en positif, alors que Q_6 maintient encore I_2 constant, et donc que $I_{R7} + I_{C4, \text{min}} = I_2 - I_{B7, \text{max}} = 2 \text{ mA}$

On peut prendre:

$$\mathbf{R_6 = 680 \Omega} \Rightarrow I_{R6} = U_j / R_6 = 1 \text{ mA}$$

$$\text{Si } I_{B4} \ll I_{R6} \text{ alors } I_{R7} = I_{R6} = U_j / R_6 = 1 \text{ mA} \quad I_{C4, \text{min}} = I_2 - I_{B7, \text{max}} - I_{R7} = 1 \text{ mA}$$

$$\text{On veut } U_{R6} + U_{R7} \approx 4U_j \Rightarrow R_7 \approx 3R_6 = 2 \text{ k}\Omega$$

Pour avoir un réglage aisé, à peu près à mi-course du potentiomètre, on prendra **$P_{7, \text{tot}} = 4.7 \text{ k}\Omega$** .

Au repos : $I_{C4} = I_2 - I_{R7} = 5 \text{ mA}$; avec Q_4 : **BD239**, $I_{B4} = I_{C4} / \beta_4 = 100 \mu A$ est bien $\ll I_{R6}$.

Lorsque sature en négatif: $I_{C4, \text{max}} = I_2 - I_{R7} = 5 \text{ mA}$

$$V_{CE4} \approx 4U_j \text{ et } P_{Q4, \text{max}}(t) \approx 15 \text{ mW}$$

Q_4 est surdimensionné, mais il a été choisi surtout pour son boîtier TO126 facile à fixer sur le radiateur qui refroidira Q_7 et Q_8 , les trois transistors seront alors à peu près à la même température.

$$R_4 = (V_{F, \text{LED}} - V_{EB6}) / I_2 = (V_{F, \text{LED}} - U_j) / I_2 \Rightarrow \mathbf{R_4 = 150 \Omega}$$

$$R_5 = (V_{F, \text{LED}} - V_{EB5}) / I_1 = (V_{F, \text{LED}} - U_j) / I_1 = 450 \Omega, \text{ avec la valeur normalisée } \mathbf{R_5 = 470 \Omega} \Rightarrow I_1 = 0.9 / 470 = 1.9 \text{ mA}$$

$$R_3 = (2V_{CC} - V_{F, \text{LED}}) / I_{\text{LED}} = (54 - 1.6) / 0.015 = 3.5 \text{ k}\Omega, \text{ on prendra la valeur normalisée } \mathbf{R_3 = 3.3 \text{ k}\Omega};$$

$$P_{R3} = (2V_{CC} - V_{F, \text{LED}})^2 / R_3 = 0.83 \text{ W}, \text{ on prendra une résistance supportant au minimum } \mathbf{1 \text{ W}}.$$

En boucle fermée, la composante continue en sortie est :

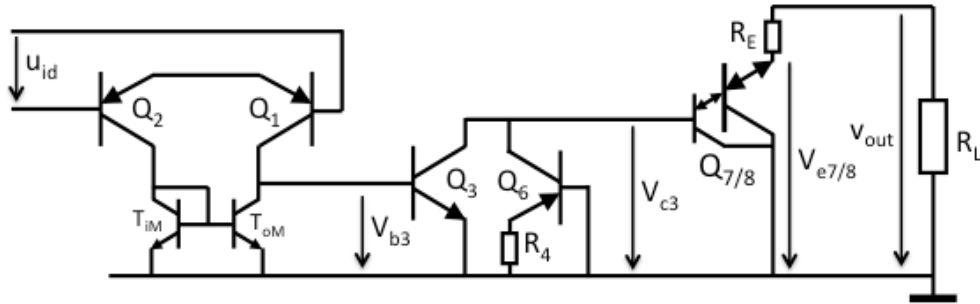
$$U_{out,DC} = +R_1 I_{B2,repos} + V_{EB2,repos} - V_{EB1,repos} - R_f I_{B1,repos} = +R_1 I_1 / 2\beta_2 + V_{EB2,repos} - V_{EB1,repos} - R_f I_1 / 2\beta_1$$

Comme β_1 et β_2 sont semblables, mais jamais parfaitement égaux, $U_{out,DC}$ sera minimisée si $R_1 = R_f$ aussi petites que possible; toutefois, il est souhaitable que la résistance d'entrée de l'ampli, qui dans ce cas est pratiquement égale à R_1 , soit de plusieurs $k\Omega$, pour ne pas devoir trop se soucier de l'impédance interne de la source de signal (préampli).

On a donc choisis $R_1 = R_f = 10 k\Omega$.

I) GAIN EN TENSION EN BOUCLE OUVERTE

Schéma "petit signaux" en bande passante (C_c est un circuit ouvert) :



Le gain en tension de l'étage différentiel, avec sa charge active en miroir de courant à sortie asymétrique, est (voir cours ch. 2 p. 22) :

$$|A_{v1}| = g_{m1/2} \cdot (1/g_{ce1} // R_{out,miroir} // R_{inQ3})$$

avec: $g_{m1/2} = I_{C1/2,repos} / U_T \approx I_1 / 2U_T \approx 35 \text{ mA/V}$

$$1/g_{ce1} = V_{Early1} / I_{C1,repos} = 2 \cdot V_{Early1} / I_1 \approx 56 k\Omega$$

$$R_{out,miroir} = 1/g_{ceoM} = V_{EarlyM} / I_{CoM,repos} = 2 \cdot V_{EarlyM} / I_1 \approx 33 k\Omega$$

$$R_{inQ3} = 1/g_{be3} = \beta_3 U_T / I_{C3,repos} = \beta_3 U_T / I_2 = 870 \Omega \quad (EC)$$

d'où: $|A_{v1}| \approx g_{m1/2} / g_{be3} \approx 30$

Le gain en tension de l'étage driver EC avec charge active, est:

$$|A_{v2}| = g_{m3} (1/g_{ce3} // R_{outQ6} // R_{inpush-pull})$$

avec: $g_{m3} = I_{C3,repos} / U_T \approx I_2 / U_T \approx 230 \text{ mA/V}$

$$1/g_{ce3} = V_{Early3} / I_{C3,repos} = V_{Early3} / I_2 \approx 13 k\Omega$$

$$R_{outQ6} \approx g_{m6} R_4 / g_{ce6} = R_4 V_{Early6} / U_T \approx 460 k\Omega \quad (\text{comme une BC})$$

$$R_{inpush-pull} = \beta_{7/8} (R_L + R_E) + 1/g_{be7/8} \approx \beta_{7/8} R_L = 6000 \Omega \quad (CC \text{ dont le gain en tension} \approx 1)$$

d'où: $|A_{v2}| \approx g_{m3} \cdot (1/g_{ce3} // R_{inpush-pull}) \approx 940$

Le gain en tension de l'étage push-pull CC avec la résistance R_E en série:

$$|A_{v3}| \approx 1 \cdot R_L / (R_L + R_E) = 0.95 \quad (CC + \text{diviseur résistif})$$

Le gain en tension global en boucle ouverte:

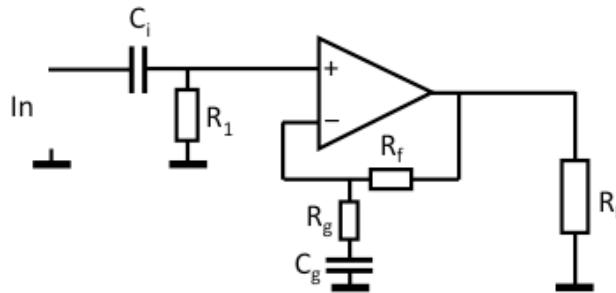
$$|A_{vo}| = |A_{v1}| \cdot |A_{v2}| \cdot |A_{v3}| \approx 27'000 \quad \text{soit} \approx 88 \text{ dB}$$

On vérifie facilement que la base de Q_1 est bien l'entrée + non-inverseuse.

En effet si $V_{B1} \uparrow$, alors $I_{C1} \downarrow$ et $I_{C2} \uparrow$, ceci provoque $V_{BE3} \downarrow$ et donc $I_{C3} \downarrow$, comme $I_2 = \text{cst}$ cela provoque $V_{C3} \uparrow$ et donc $U_{out} \uparrow$. La sortie varie donc dans le même sens que l'entrée sur la base de Q_1 .

m) MONTAGE EN BOUCLE FERMÉE :

L'amplificateur ainsi dimensionné correspond à un amplificateur opérationnel capable de fournir une puissance de 60 W à une charge de 4 Ω. Cet AO est utilisé dans un montage non-inverseur :



Sachant que le gain en boucle ouverte (88 dB) est bien supérieur à celui en boucle fermée (30 dB), la fonction de transfert est (théorie de l'ampli op idéal):

$$\frac{V_{out}}{V_{in}} = \frac{R_1}{R_1 + 1/j\omega C_i} \cdot \frac{R_f + R_g + 1/j\omega C_g}{R_g + 1/j\omega C_g} = \frac{j\omega R_1 C_i}{1 + j\omega R_1 C_i} \cdot \frac{1 + j\omega(R_f + R_g)C_g}{1 + j\omega R_g C_g}$$

Le cahier des charges demande un gain en boucle fermée en bande passante de 30 dB, donc :

$$G = V_{out,eff}/V_{in,eff} = 10^{30/20} = 31.6 = (R_f + R_g)/R_g$$

$$R_f = 10 \text{ k}\Omega \quad \quad \quad \mathbf{R_g = 330 \Omega}$$

La fréquence de coupure basse à -3 dB est : $f_L \approx 1/2\pi C_{in} R_1 + 1/2\pi C_g R_g$

En prenant $C_i = 2.2 \mu F$ et $C_g = 47 \mu F$, on obtient $f_L \approx 17 \text{ Hz}$, inférieure à la limite désirée de 20 Hz.

La fréquence de coupure haute f_H est déterminée la capacité de compensation C_c , dont la valeur sera choisie expérimentalement, ou par simulation, pour avoir un bon amortissement en boucle fermée, soit une marge de phase $\geq 75^\circ$.

**CONVERSION
ANALOGIQUE / NUMERIQUE
ET
NUMERIQUE / ANALOGIQUE**

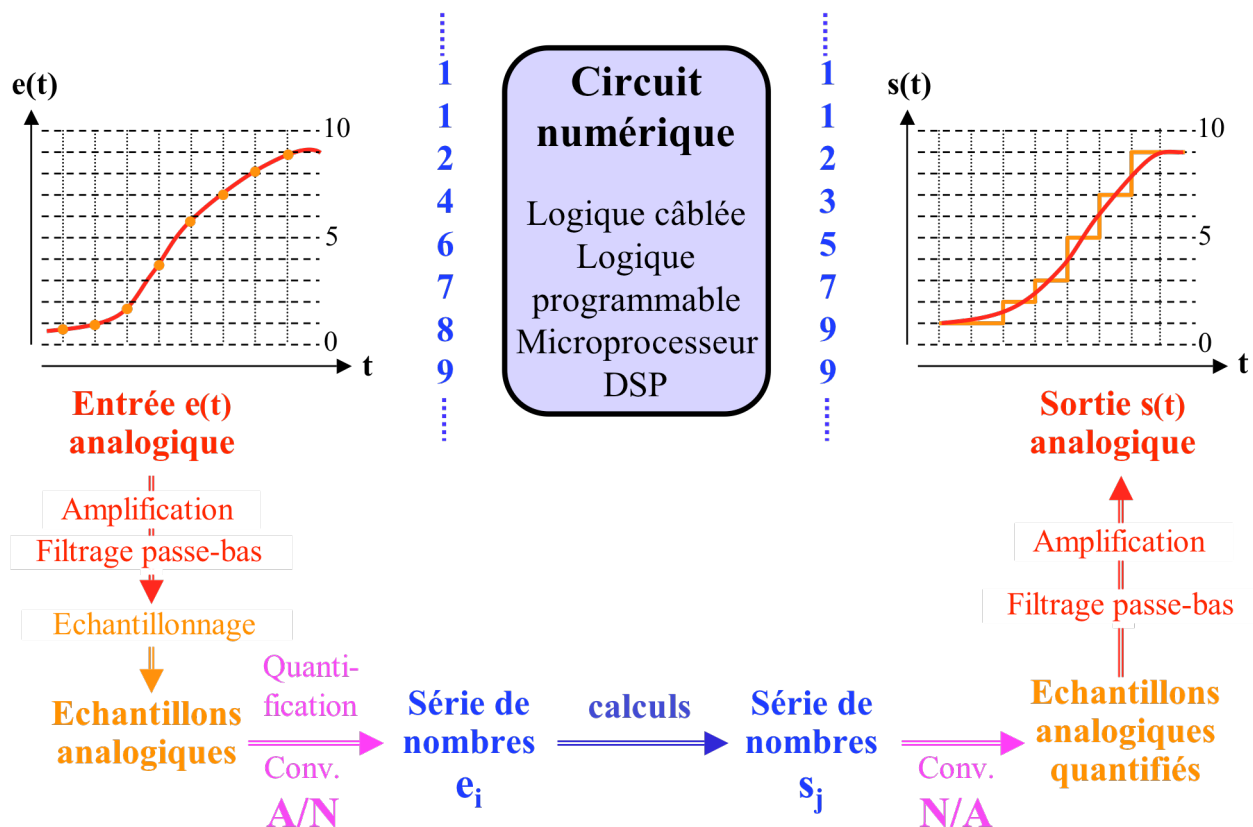
CONVERSION ANALOGIQUE/NUMERIQUE ET NUMERIQUE/ANALOGIQUE

	page
1. INTRODUCTION - DEFINITIONS	
1.1 INTRODUCTION	1
1.2 ECHANTILLONNAGE	1
1.3 DEFINITION DE LA CONVERSION N/A	3
1.4 DEFINITION DE LA CONVERSION A/N	5
1.5 PARAMETRES STATIQUES	6
1.6 PARAMETRES DYNAMIQUES	9
1.7 INTERFACE NUMERIQUE	12
 2. CONVERSION NUMERIQUE / ANALOGIQUE	
2.1 CONVERTISSEURS N/A POTENTIOMETRIQUES	13
2.2 CONVERTISSEURS N/A A RESISTANCES PONDEREES	15
2.3 CONVERTISSEURS N/A A ECHELLE R/2R	16
2.4 CONVERTISSEURS N/A A SOURCES DE COURANT PONDEREES	20
2.5 CONVERTISSEURS N/A A CAPACITES PONDEREES	24
2.6 CONVERTISSEURS N/A SURECHANTILLONNES	28
 3. CONVERSION ANALOGIQUE / NUMERIQUE	
3.1 INTRODUCTION	31
3.2 CLASSIFICATION DES CONVERTISSEURS A/N	32
3.3 FENÊTRE D'ECHANTILLONNAGE, SAMPLE & HOLD	34
3.4 CONVERTISSEURS A/N A INTEGRATION	37
3.5 CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES	42
3.6 CONVERTISSEURS A/N "FLASH"	46
3.7 CONVERTISSEURS A/N SURECHANTILLONNES (SIGMA-DELTA)	48

1. INTRODUCTION - DEFINITIONS

1.1. INTRODUCTION

La majorité des systèmes actuels de traitement du signal ont une structure mixte, avec des circuits analogiques et numériques, comme illustré dans l'exemple ci-dessous.



Les Convertisseurs Analogique/Numérique et Numérique/Analogique forment l'interface indispensable entre les deux types de circuits.

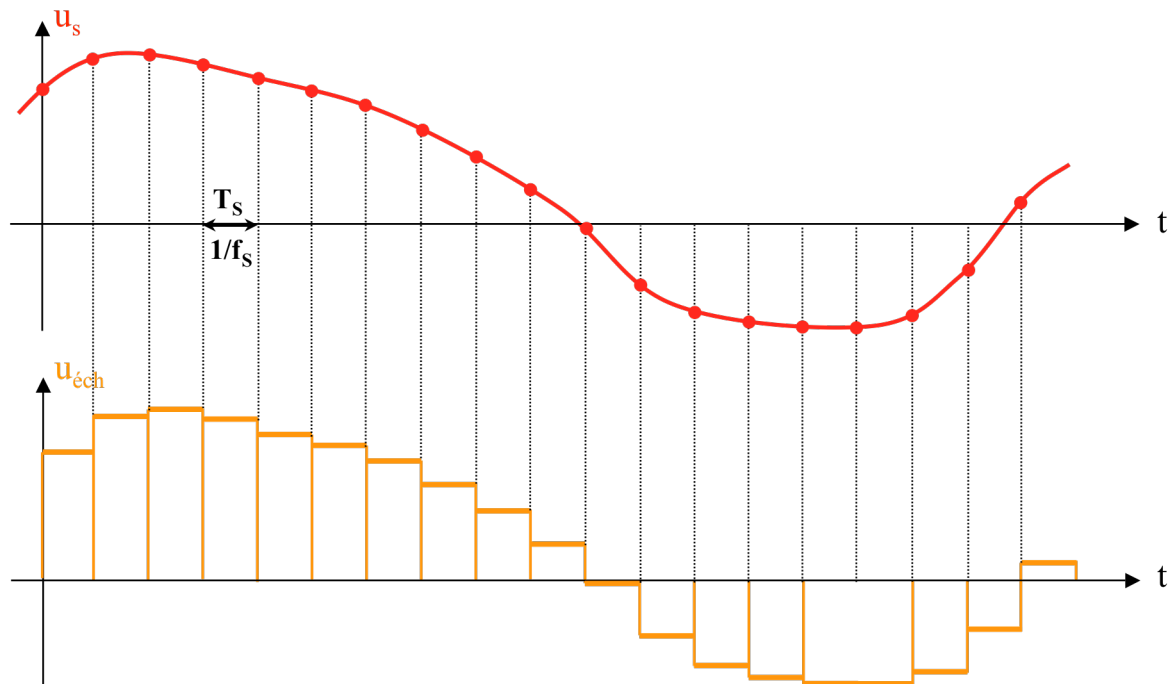
1.2. ECHANTILLONNAGE (SAMPLING)

Comme le montre l'exemple ci-dessus, la représentation numérique d'un signal est une suite de valeurs discrètes dans le temps, appelées échantillons.

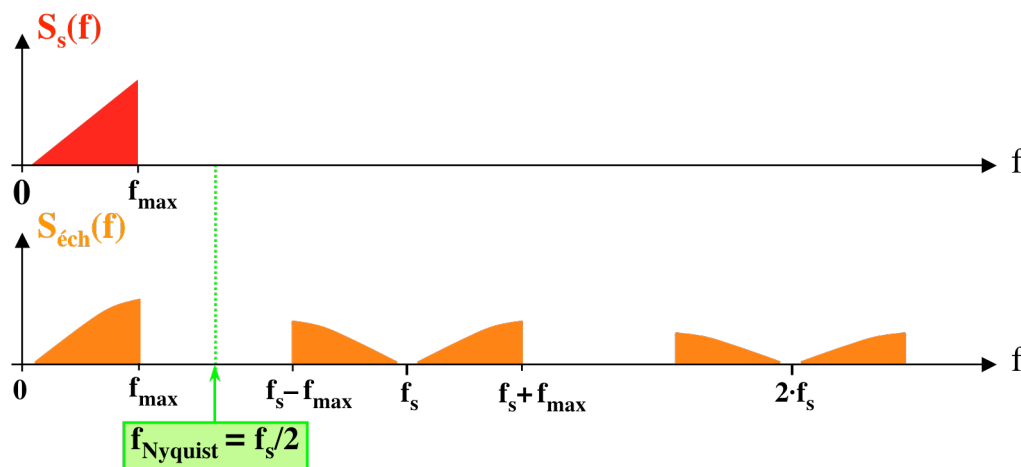
Un signal analogique peut aussi être échantillonné, ce qui, en pratique, donne une suite d'impulsions analogiques rectangulaires, d'où l'appellation d'échantillonnage avec maintien (Sample and Hold).

Dans ce cours, on supposera toujours un échantillonnage périodique, à une fréquence constante f_s , et donc un temps constant $T_s = 1/f_s$ entre deux échantillons successifs.

Soit un signal $u_s(t)$, et sa version échantillonnée, avec maintien durant la période d'échantillonnage de la valeur échantillonnée, $u_{\text{éch}}(t)$:



Les spectres respectifs $S_s(f)$ et $S_{\text{éch}}(f)$ de ces signaux sont:



Ce signal échantillonné $u_{\text{éch}}(t)$ idéal est le résultat d'une modulation de "Diracs" à f_s par $u_s(t)$, suivie d'une fonction $\text{rect}(t/T_s)$. Ceci fait apparaître dans $S_{\text{éch}}(f)$ des bandes latérales aux multiples entiers de f_s , multipliées par la fonction $\text{sinc}(\pi f/f_s)$.

La figure ci-dessus met parfaitement en évidence le **Théorème d'échantillonnage**:

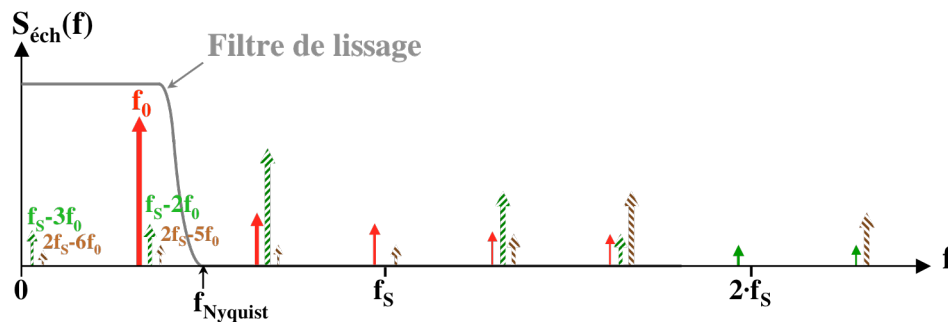
Un signal peut être reconstruit sans erreur à partir de ses échantillons, par un filtre passe-bas de lissage idéal, à condition que la fréquence d'échantillonnage soit supérieure ou égale au double de la composante fréquentielle la plus haute du signal.

La moitié de la fréquence d'échantillonnage est souvent appelée fréquence de Nyquist. La bande de fréquence s'étendant du continu à cette fréquence est appelée bande de Nyquist.

Dans la pratique, pour que les contraintes sur le filtrage soient réalistes, la fréquence d'échantillonnage minimale est, suivant le type de signal, de 2.5 à 4 fois sa composante fréquentielle la plus haute.

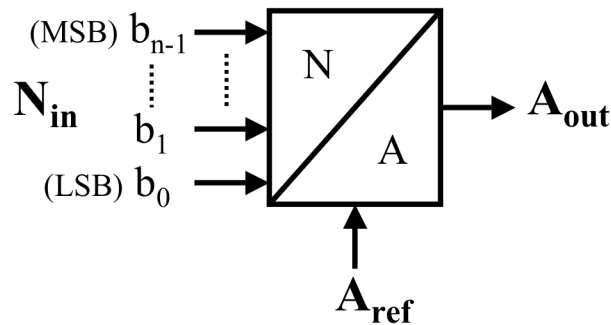
De plus, pour satisfaire le théorème d'échantillonnage, le spectre du signal initial doit forcément être borné, ce qui est généralement garanti par un filtre passe-bas de garde, précédant l'échantillonneur.

Même en respectant le théorème d'échantillonnage, le repliement de spectre (bandes latérales inférieures) provoque l'apparition de signaux parasites indésirables dans la bande de Nyquist, par repliement des composantes harmoniques du signal initial créées par les inévitables distorsions de la chaîne de traitement de celui-ci. La figure ci-dessous illustre ce phénomène dans le cas où le signal est un simple sinus à f_0 .



1.3. DEFINITION DE LA CONVERSION NUMERIQUE / ANALOGIQUE

Un convertisseur numérique/analogique (CNA) reçoit à son entrée des signaux binaires, qui correspondent aux bits représentant un nombre N_{in} selon un codage donné, et produit en sortie un signal analogique A_{out} , tension ou courant, proportionnel à N_{in} .



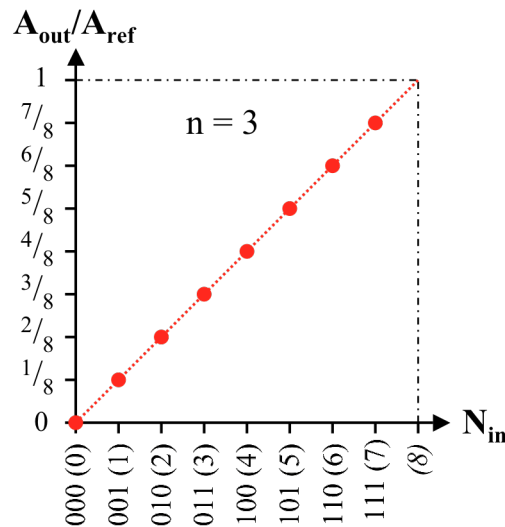
La grandeur analogique A_{ref} est un facteur d'échelle, dit de pleine échelle ("Full Scale") qui détermine la dimension et la dynamique de la grandeur de sortie.

Dans le cas le plus courant d'un codage binaire pur, N_{in} est un entier positif compris entre 0 et $2^n - 1$, et la grandeur analogique de sortie est donnée par:

$$A_{out} = \frac{A_{ref}}{2^n} \cdot N_{in} = \frac{A_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{A_{ref}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0)$$

On parle alors de CNA unipolaire à n bits.

Caractéristique de transfert d'un CAN unipolaire (exemple à 3 bits):



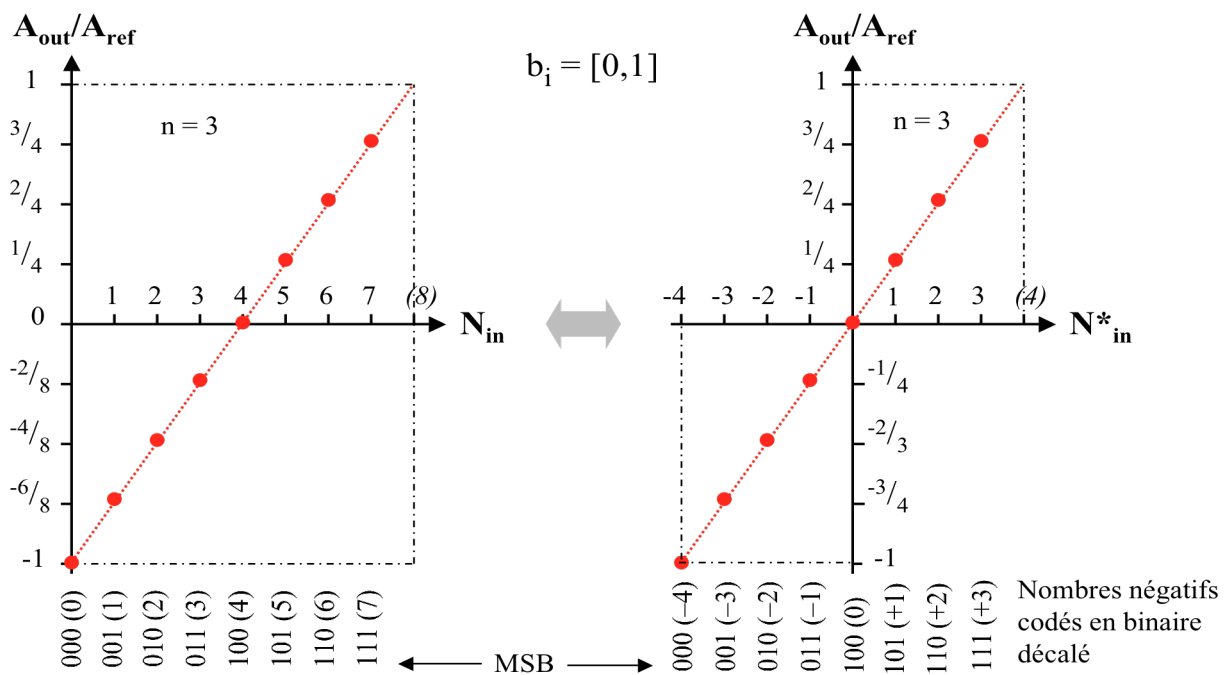
Le codage peut aussi être binaire décalé, pour lequel les bits sont interprétés ainsi:

$$N_{in}^* = -2^{n-1} + \sum_{i=0}^{n-1} b_i \cdot 2^i = -2^{n-1} + b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0 = -2^{n-1} + N_{in}$$

N_{in}^* est alors un entier entre -2^{n-1} et $+2^{n-1}-1$, et la grandeur analogique de sortie est donnée par:

$$A_{out} = -A_{ref} + \frac{A_{ref}}{2^{n-1}} \cdot N_{in} = \frac{A_{ref}}{2^{n-1}} \cdot N_{in}^*$$

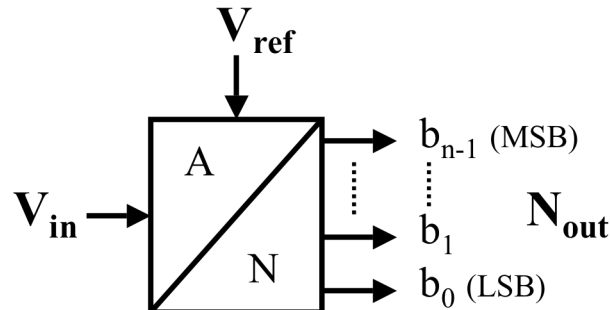
On parle alors de CNA bipolaire à n bits, dont la caractéristique de transfert est la suivante (exemple à 3 bits):



Dans tous les cas, la grandeur analogique de sortie ne peut prendre que 2^n valeurs discrètes.

1.4. DEFINITION DE LA CONVERSION ANALOGIQUE / NUMERIQUE

Un convertisseur analogique/numérique (CAN) reçoit à son entrée un signal analogique, généralement une tension V_{in} , et produit en sortie n signaux binaires qui correspondent aux bits représentant, selon un codage donné, un nombre N_{out} proportionnel à V_{in} .



La grandeur analogique V_{ref} est un facteur d'échelle, dit de pleine échelle ("Full Scale") qui détermine la dimension et la dynamique de la grandeur d'entrée.

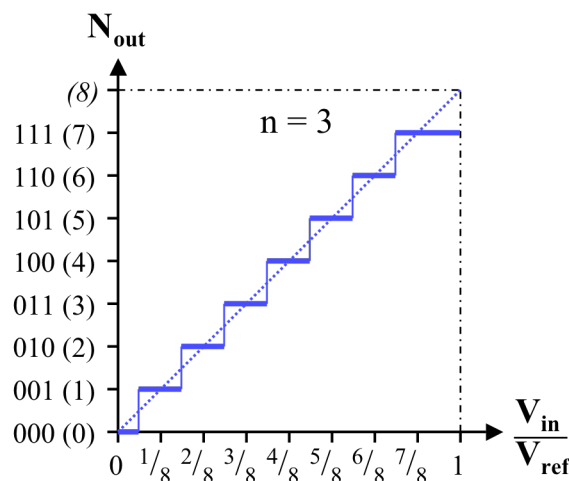
Dans le cas d'un CAN unipolaire, la tension à l'entrée V_{in} est toujours positive, comprise entre 0 et V_{ref} , les bits en sortie, pour un codage binaire de N_{out} , sont donnés par :

$$N_{out} = \sum_{i=0}^{n-1} b_i \cdot 2^i = b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0 = \text{arrondi} \left(2^n \cdot \frac{V_{in}}{V_{ref}} \right)$$

Lors de la conversion A/N, le signal est "*quantifié*", c'est-à-dire approximé au plus proche parmi les 2^n niveaux discrets que peut représenter un nombre codé en binaire avec n bits.

La conversion A/N introduit une "erreur de quantification" comprise entre $-V_{ref}/2^{n+1}$ et $+V_{ref}/2^{n+1}$

La caractéristique de transfert d'un CAN unipolaire est la suivante (exemple à 3 bits):



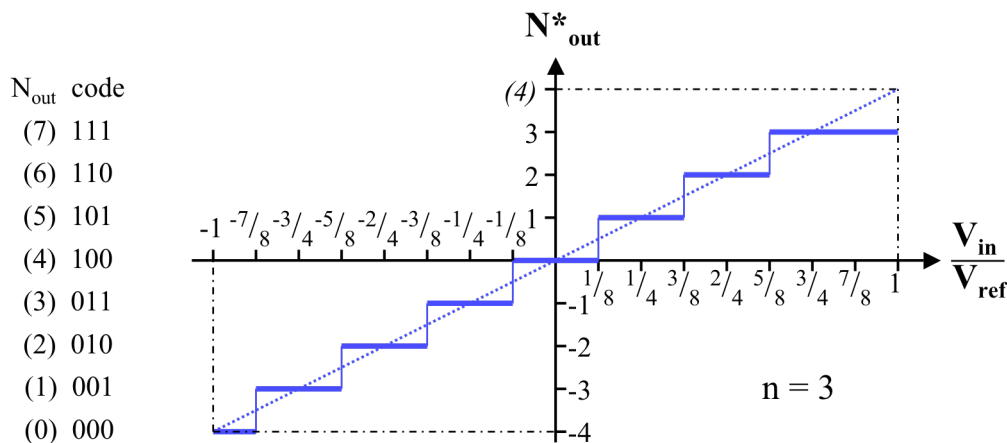
Dans le cas d'un CAN bipolaire, la tension à l'entrée V_{in} est comprise entre $-V_{ref}$ et $+V_{ref}$, les bits en sortie, pour un codage binaire de l'entier N_{out} , sont donnés par :

$$N_{out} = \sum_{i=0}^{n-1} b_i \cdot 2^i = b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0 = \text{arrondi} \left(2^n \cdot \frac{V_{in} + V_{ref}}{2 \cdot V_{ref}} \right)$$

Ces bits produits en sortie, peuvent aussi être interprétés comme un entier signé N_{out}^* , codé en binaire décalé, selon la relation :

$$N_{out}^* = -2^{n-1} + \sum_{i=0}^{n-1} b_i \cdot 2^i = -2^{n-1} + b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0 = \text{arrondi} \left(2^{n-1} \cdot \frac{V_{in}}{V_{ref}} \right)$$

La caractéristique de transfert d'un CAN bipolaire est la suivante (exemple à 3 bits):



1.5. PARAMETRES STATIQUES DES CONVERTISSEURS A/N ET N/A

1.5.1 Dynamique (Range)

La dynamique est la plage de la grandeur analogique qu'un CNA peut générer, ou qu'un CAN peut quantifier. Elle est fixée par le facteur de pleine échelle, soit la grandeur analogique de référence.

$$\text{CNA unipolaire: } 0 \leq A_{out} \leq \frac{2^n - 1}{2^n} \cdot A_{ref}$$

$$\text{CNA bipolaire: } -A_{ref} \leq A_{out} \leq \frac{2^{n-1} - 1}{2^{n-1}} \cdot A_{ref}$$

$$\text{CAN unipolaire: } 0 \leq V_{in} \leq V_{ref}$$

$$\text{CAN bipolaire: } -V_{ref} \leq V_{in} \leq +V_{ref}$$

1.5.2 Résolution, pas de quantification

La résolution, ou pas de quantification Δq , est la plus petite variation de la grandeur analogique qu'un CNA peut générer, ou qu'un CAN peut distinguer. Le pas de quantification correspond à une variation de 1 LSB de la valeur numérique binaire, c'est pourquoi il est aussi souvent appelé "LSB". La résolution est liée au nombre n de bits du convertisseur, la pleine échelle de la grandeur analogique étant divisée en 2^n parties égales, soit 2^n pas de quantification.

$$\text{CNA et CAN unipolaire: } \Delta q = \frac{V_{ref}}{2^n}$$

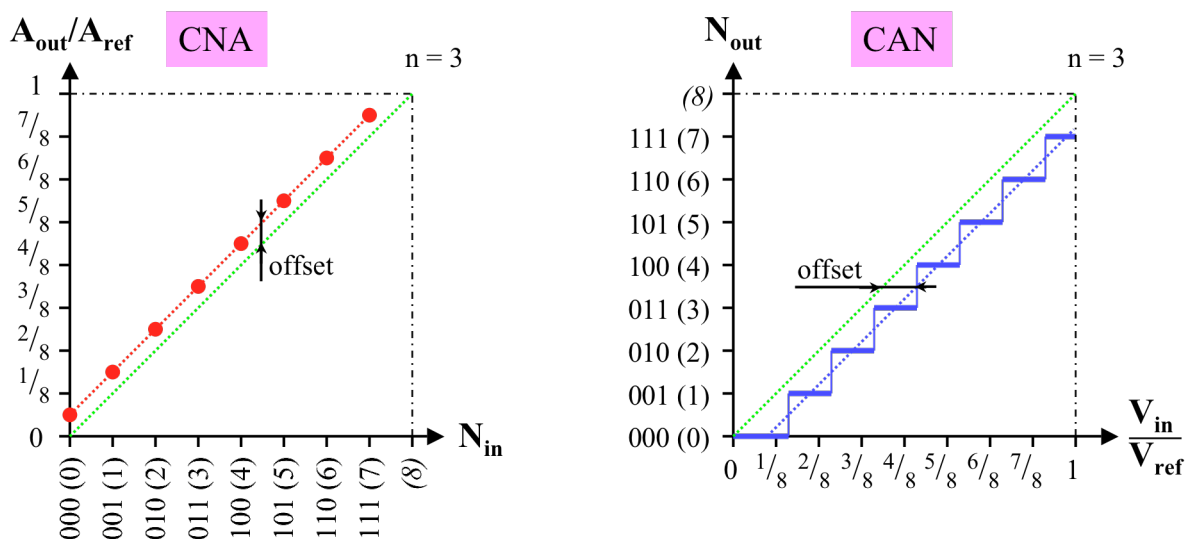
$$\text{CNA et CAN bipolaire: } \Delta q = \frac{2 \cdot V_{ref}}{2^n} = \frac{V_{ref}}{2^{n-1}}$$

1.5.3 Erreurs et imperfections

La caractéristique réelle d'un convertisseur A/N ou N/A ne correspond jamais exactement à la caractéristique idéale théorique. Des imperfections, liées aux éléments qui constituent le circuit (erreurs d'appariement, non-linéarité, imprécision, dérive thermique, injection de charge, éléments parasites, ...), ou même parfois au principe de conversion utilisé, engendrent des erreurs que l'on classe en fonction du type de déformation qu'elles provoquent. Globalement, l'erreur associée à la caractéristique d'un convertisseur résulte de la superposition des différents types.

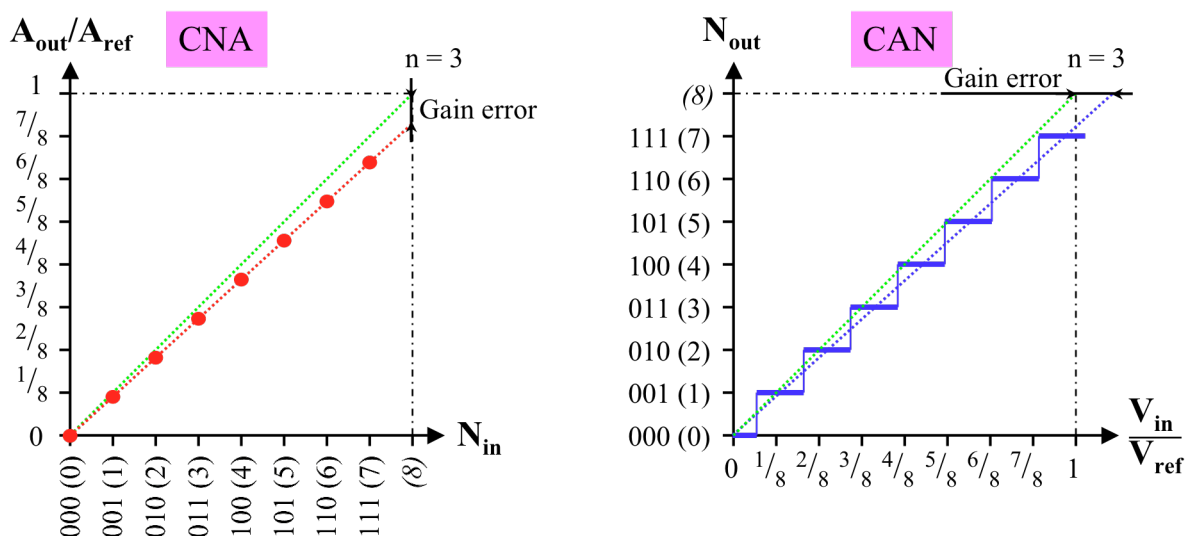
Offset

L'offset est un décalage selon l'axe de la grandeur analogique. Il est spécifié en Volts ou en "LSB".



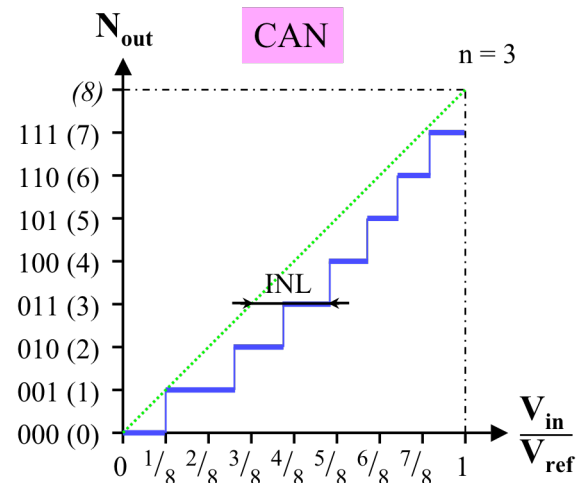
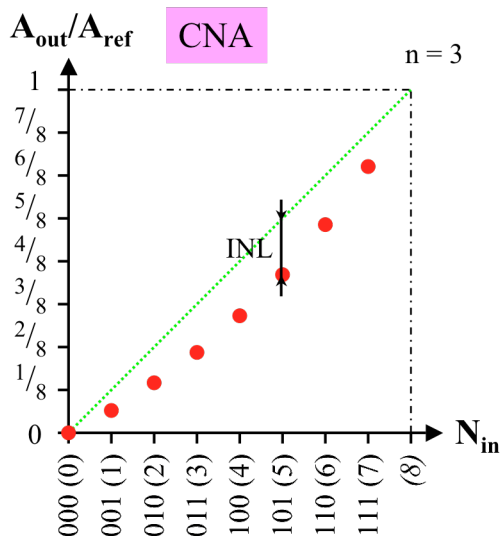
Erreur de gain

L'erreur de gain se traduit par une pente de la caractéristique de transfert qui s'écarte de la valeur idéale. C'est donc une erreur du facteur d'échelle. Elle correspond à une erreur systématique du pas de quantification. Elle s'exprime souvent en % du "LSB" idéal.



Non-linéarité intégrale (INL)

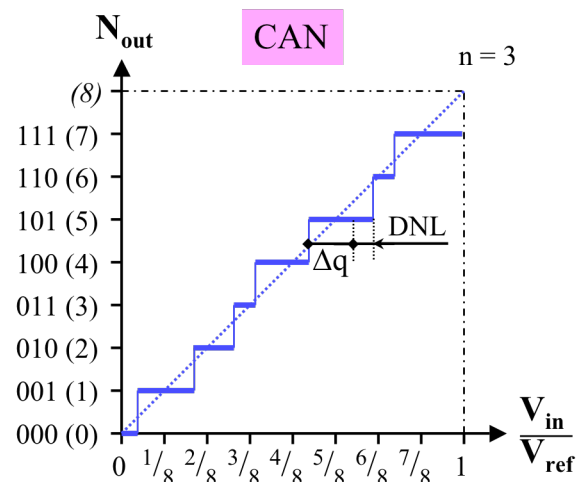
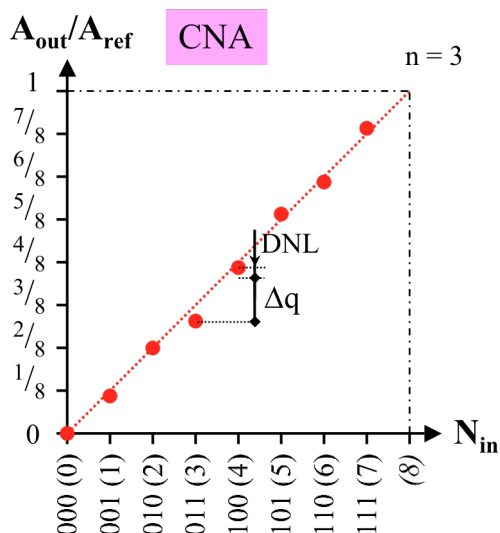
La non-linéarité intégrale correspond à l'écart maximal entre la caractéristique de transfert réelle et la droite idéale ou, parfois, la droite passant au plus près des points mesurés. Elle s'exprime en "LSB".



La non-linéarité intégrale crée des distorsions harmoniques et des produits d'intermodulation dans le signal de sortie. A cause du repliement de spectre dû à l'échantillonnage, des harmoniques ou produits d'ordre élevé peuvent se retrouver dans la bande de Nyquist.

Non-linéarité différentielle (DNL)

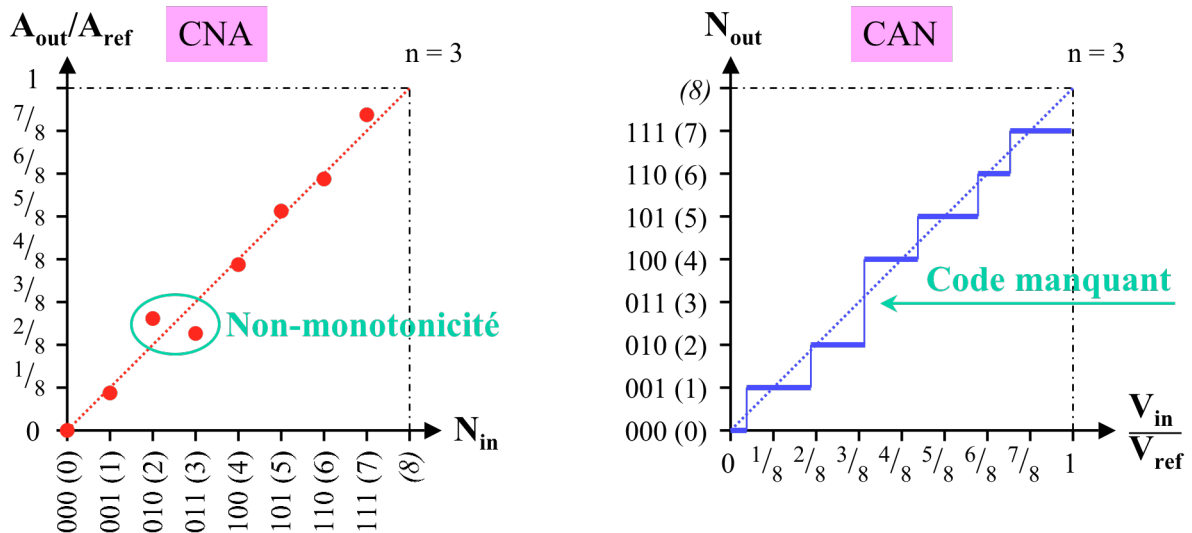
La non-linéarité différentielle correspond à la valeur maximale de l'écart entre chaque "pas" de la caractéristique de transfert réelle et le pas de quantification idéal ou, parfois, le pas moyen résultant des points mesurés. Elle s'exprime en "LSB".



Si le signal et l'échantillonnage ne sont pas corrélés, les non-linéarités différentielles ajoutent du bruit au signal de sortie.

Non-monotonicit  et code manquant

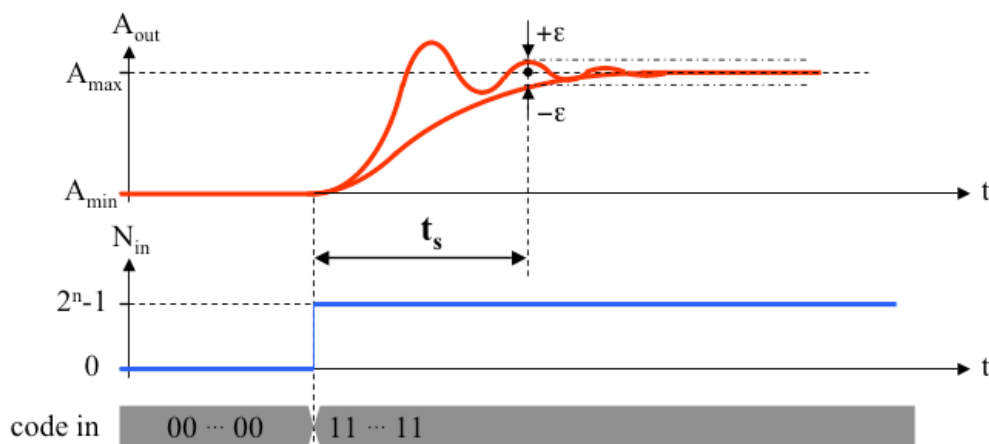
Lorsque la non-lin arit  diff rentielle est sup rieure   1 "LSB", il peut arriver, pour un CNA, que la pente de la caract ristique ne soit plus monotone (inversion locale de la pente), et pour un CAN, qu'une valeur de N_{out} soit saut e et n'apparaissent jamais (code manquant).



1.6. PARAMETRES DYNAMIQUES DES CONVERTISSEURS A/N ET N/A

1.6.1 Temps d' tablissement d'un CNA (settling time)

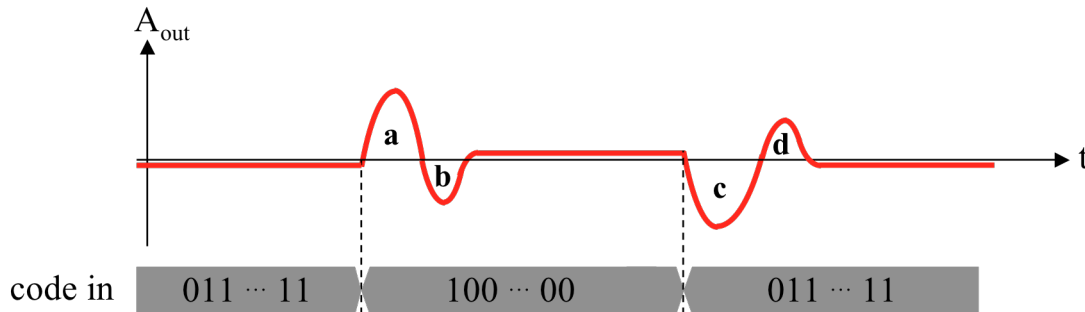
Le "settling time" est le temps que met la sortie analogique pour atteindre sa valeur finale, dans une fourchette sp cifi e,   partir du changement du code d'entr e. Il est en g n ral donn  pour un saut de pleine  chelle, comme illustr  ci-dessous.



1.6.2 "Glitch" d'un CNA

Ce terme désigne un petit transitoire généré par un CNA à chaque changement du code d'entrée. Il est créé par les différences des temps de propagation des circuits associés à chaque bit.

Les "glitches" les plus marqués se produisent généralement au milieu de la dynamique, lorsque tous les bits d'entrée changent, comme illustrés par la figure suivante.

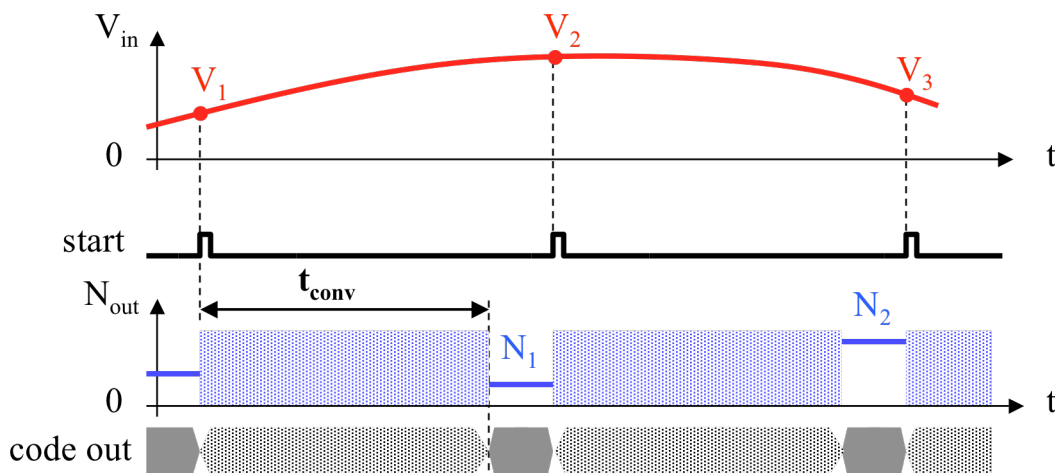


Les spécifications de "glitch impulses" sont les surfaces a, b, c et d, en pV.s.

Pour un signal de sortie sinus, les "glitches" les plus forts se présentent à chaque passage par zéro, soit deux fois par période, ce qui provoque des harmoniques paires.

1.6.3 Le temps de conversion d'un CAN

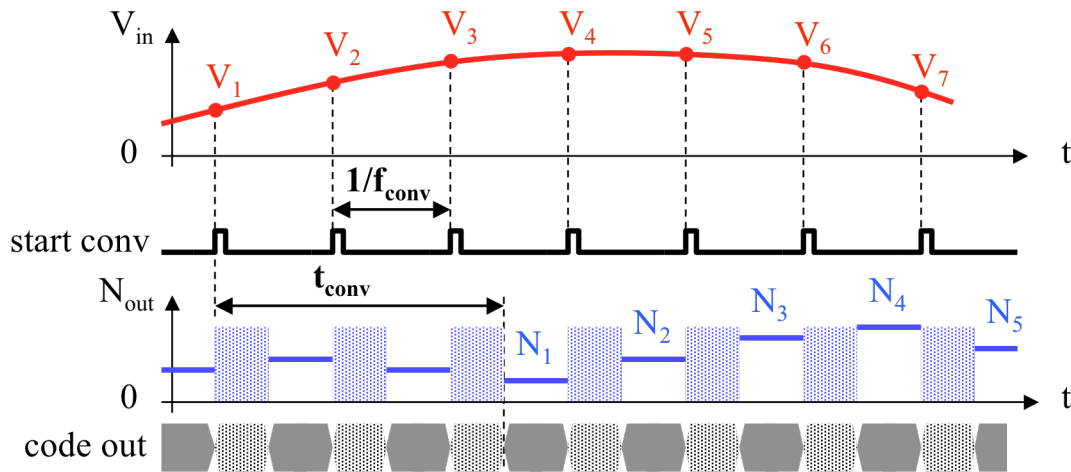
Le temps de conversion d'un CAN est le temps écoulé depuis l'ordre de début de conversion et la délivrance du code de sortie correspondant à la valeur analogique à l'entrée.



1.6.4 Fréquence de conversion (conversion rate, update rate) fréquence d'échantillonnage (sample rate)

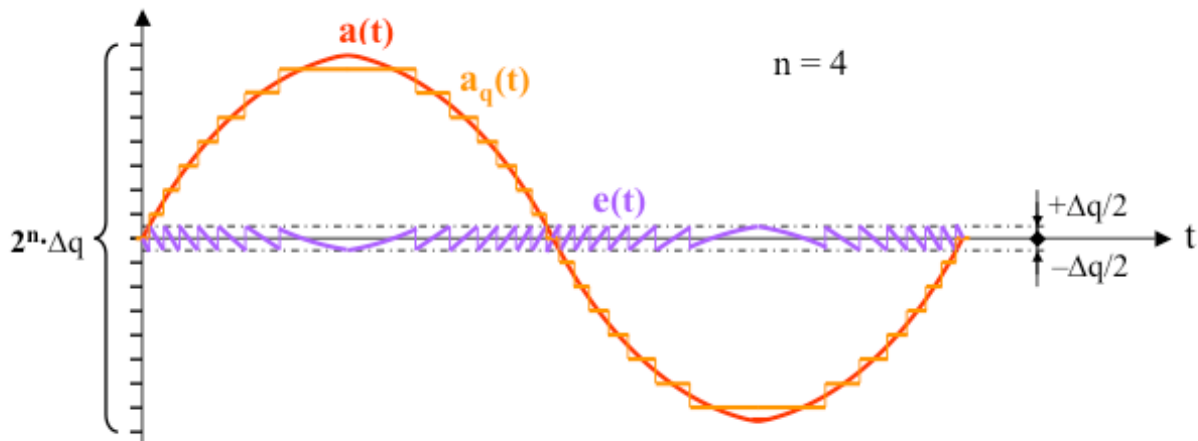
La fréquence de conversion (ou d'échantillonnage) est le nombre maximum de conversions par seconde. C'est aussi la fréquence maximale d'écriture, pour un CNA, ou de lecture, pour un CAN, de nouvelles valeurs numériques. Elle est souvent donnée en Sample/s.

Pour un CAN, la fréquence de conversion peut être supérieure à $1/t_{\text{conv}}$ grâce à des structures parallèles ou en pipeline.



1.6.5 Rapport signal/bruit (Signal-to-Noise Ratio)

Le processus de quantification, même parfait, introduit une erreur d'arrondi, comprise entre plus et moins un demi-pas de quantification. La figure ci-dessous illustre le cas d'un signal sinus de pleine échelle quantifié sur 16 niveaux, ce qui correspond à une conversion avec 4 bits.



L'erreur a une allure quasi triangulaire, sa valeur efficace peut s'exprimer comme:

$$e_{\text{RMS}} = \frac{\Delta q}{\sqrt{12}}$$

La valeur efficace du signal sinus de pleine échelle vaut:

$$a_{\text{RMS}} = \frac{2^n \cdot \Delta q}{2 \cdot \sqrt{2}}$$

Le rapport signal sur bruit est donné par:

$$\text{SNR}_{\text{db}} = 20 \log \left(\frac{a_{\text{RMS}}}{e_{\text{RMS}}} \right) = 20 \log \left(2^n \cdot \frac{\sqrt{3}}{\sqrt{2}} \right) = 6.02 \cdot n + 1.76 \text{ [dB]}$$

Un convertisseur réel va générer du bruit supplémentaire, ainsi que de la distorsion. On peut alors définir le rapport signal sur bruit+distorsion ($S/(N+D)$ ou SINAD) qu'on appelle aussi simplement rapport signal sur bruit, sous-entendu réel. Ce SNR réel sera inférieur à l'idéal théorique. On en tire un nombre effectif de bits (effective number of bits) selon la relation:

$$\text{enob} = \frac{\text{SNR}_{\text{db,réel}} - 1.76}{6.02}$$

1.7. INTERFACE NUMERIQUE DES CONVERTISSEURS A/N ET N/A

1.7.1 Interface parallèle

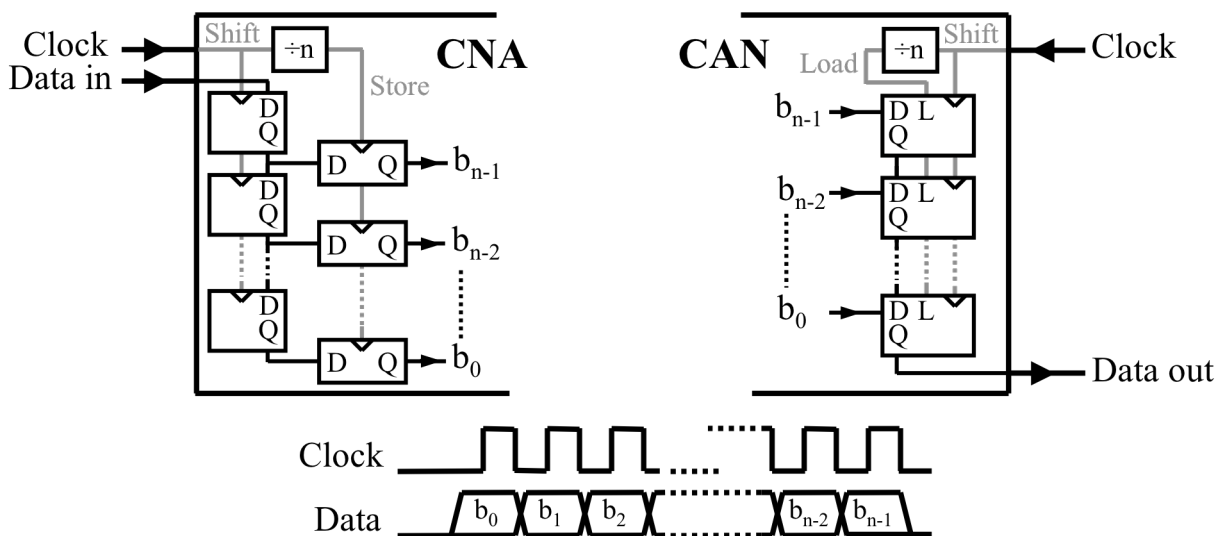
L'interface numérique est constituée d'autant de fils qu'il y a de bits.



L'entrée du CNA peut être équipée d'un registre (ou latch) à n bits. La sortie du CAN peut comporter des drivers 3-state. Ces dispositifs permettent une connexion sur un bus parallèle commun à plusieurs circuits numériques (processeur, mémoire, périphériques divers, ...).

1.7.2 Interface série

L'interface numérique est constituée d'un seul fil sur lequel les bits sont transmis l'un après l'autre. Le plus souvent un deuxième fil est dédié à un signal d'horloge, pour une transmission synchrone.

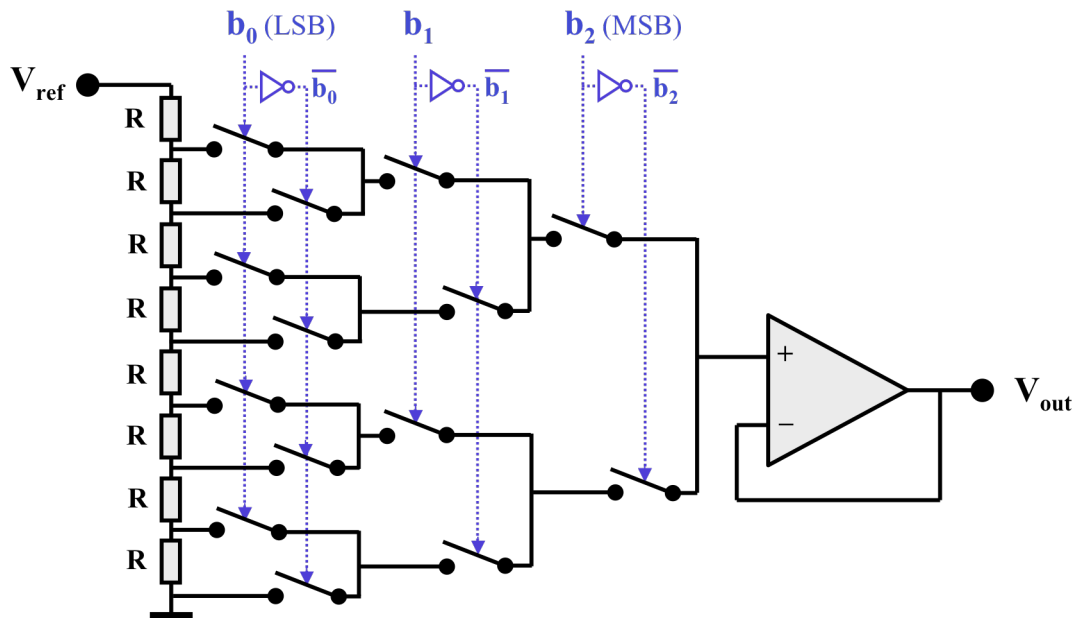


L'interface série permet de réduire le coût du hardware.

2. CONVERSION NUMERIQUE / ANALOGIQUE

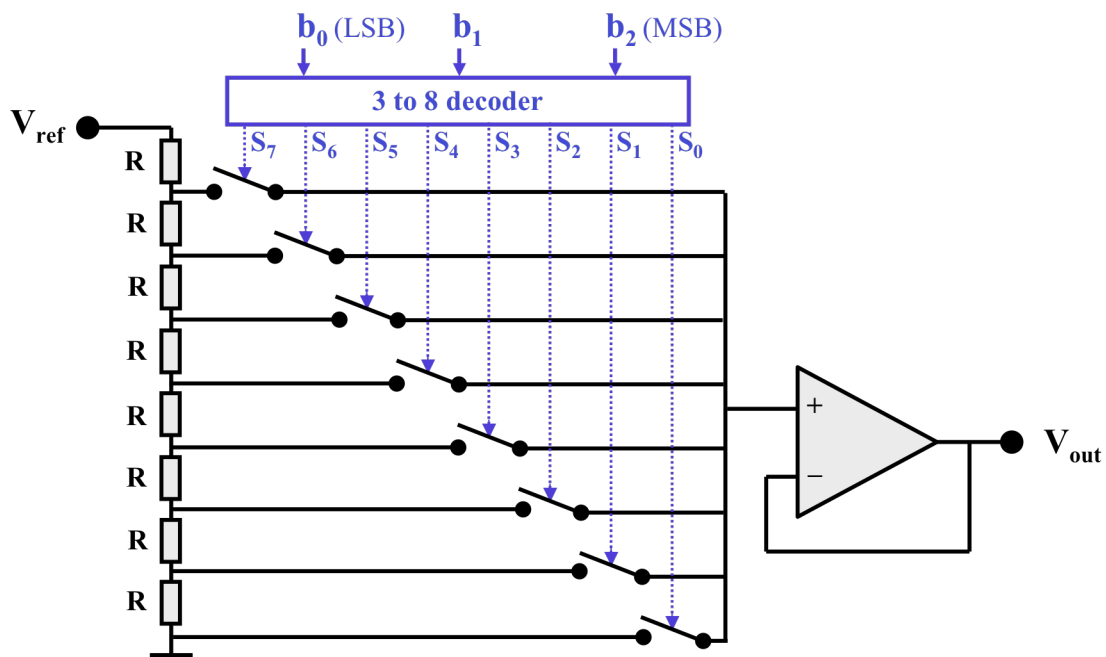
2.1. CONVERTISSEUR N/A POTENTIOMETRIQUE

Le schéma ci-dessous illustre le principe d'un CNA potentiométrique (exemple à 3 bits).



Un diviseur de tension, formé de 2^n résistances égales, génère les 2^n niveaux quantifiés. Un ensemble de switches, formant un arbre de sélection binaire, connecte l'entrée du suiveur de tension au niveau correspondant au code binaire imposé.

Le réseau de $(2^{n+1}-2)$ switches peut être réduit à seulement 2^n switches, commandés chacun par une sortie d'une logique de décodage n vers 2^n . Le schéma ci-dessous illustre cette solution pour $n = 3$.



La tension de sortie vaut:

$$V_{\text{out}} = \frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{V_{\text{ref}}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0)$$

Avantages:

- les switches sont bien adaptés à une réalisation en technologie CMOS, la résistance série n'influence pas la précision
- la dynamique de sortie est donnée par V_{ref} , sans erreur de gain
- la monotonicité est garantie

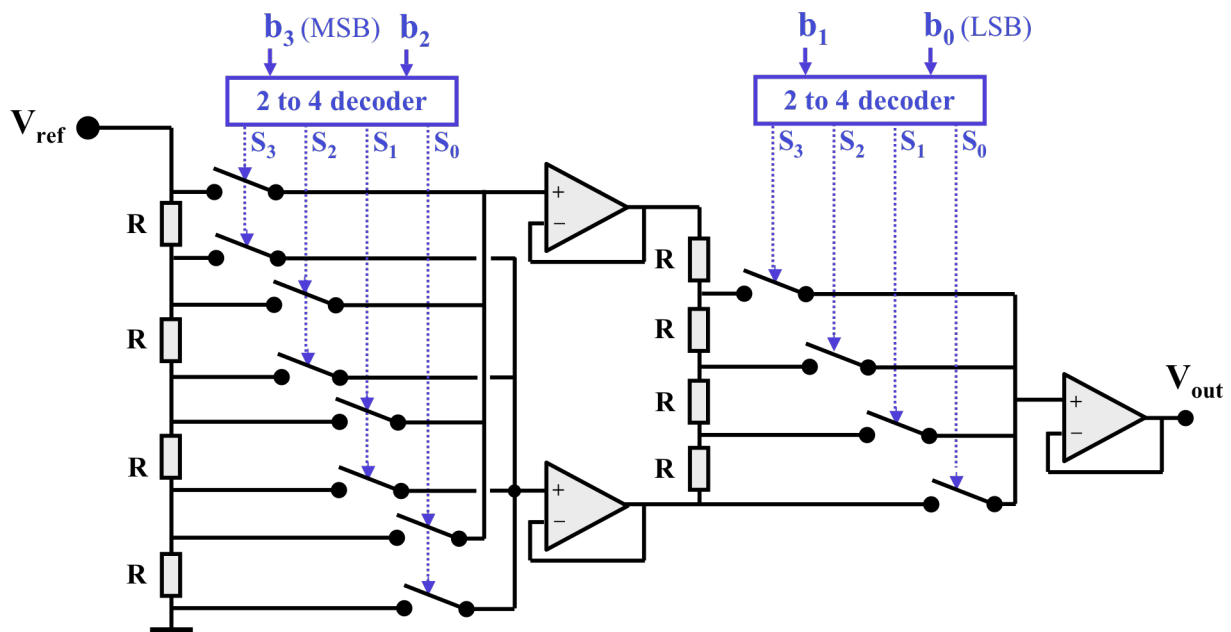
Limitations:

- la linéarité dépend de l'appariement des résistances

Inconvénients:

- Le nombre de composants est élevé, 2^n résistances, avec $(2^{n+1}-2)$ switches (ou 2^n switches + logique de décodage n vers 2^n)

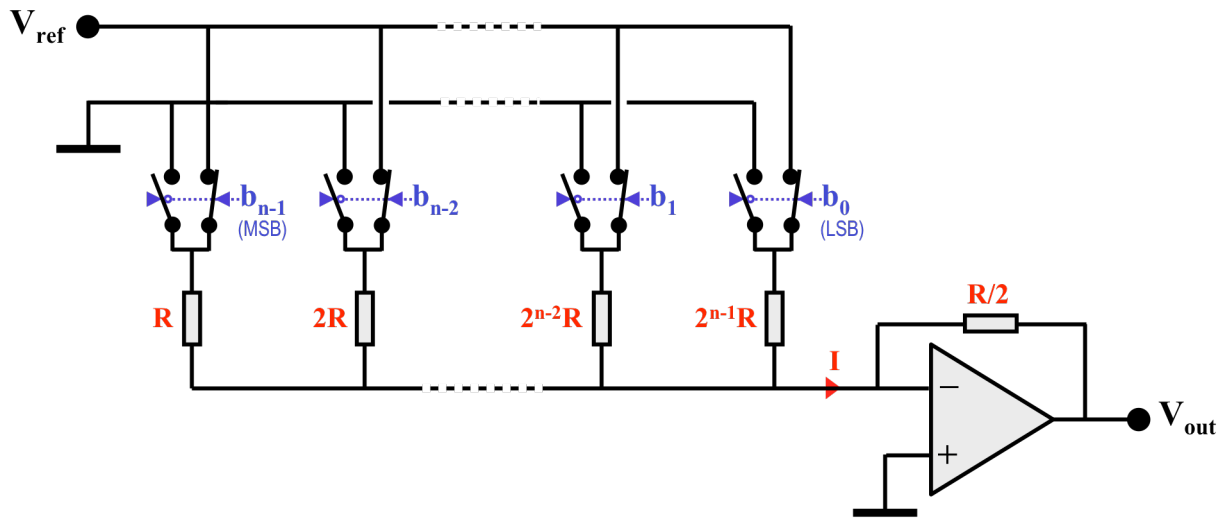
Pour faire un CNA à haute résolution selon ce principe, sans que le nombre de composants soit prohibitif, on utilise deux diviseurs résistifs. Le schéma de principe d'un tel CNA, dit segmenté, est le suivant (exemple à 4 bits):



Le diviseur résistif de gauche divise la pleine échelle en 2^k segments égaux. Les k bits de poids fort sélectionnent un segment. Celui-ci est subdivisé en 2^m valeurs également réparties dans le segment par le diviseur résistif flottant de droite. Les m bits de poids faible sélectionnent une valeur. Le nombre total de valeurs discrètes est de $2^k \cdot 2^m = 2^{k+m}$. Cela correspond à un CNA à $n = (k+m)$ bits.

2.2. CONVERTISSEURS N/A A RESISTANCES PONDEREES

2.2.1. Variante 1 : CNA à résistances pondérées à commutation de tension



Principe:

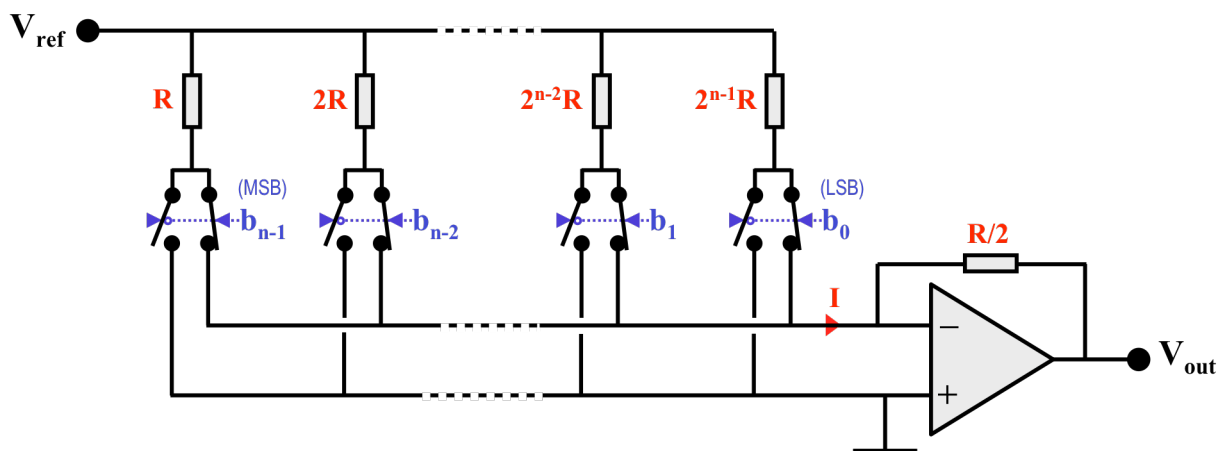
C'est un additionneur analogique à ampli-op. Les résistances sont pondérées suivant les puissances de 2. L'extrémité supérieure de chaque résistance est connectée soit à V_{ref} , soit à 0V, par deux switches commandés par le bit correspondant. Une résistance n'est parcourue par un courant que si le bit correspondant est à "1".

La tension de sortie vaut:

$$V_{out} = -\frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = -\frac{V_{ref}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0)$$

La capacité parasite au nœud de connexion de chaque résistances et de ses deux switches, doit être chargée à V_{ref} et déchargée à 0V à travers la résistance d'un switch, ce qui limite la rapidité du circuit.

2.2.2. Variante 2 : CNA à résistances pondérées à commutation de courant



Principe:

C'est un additionneur analogique à ampli-op. Les résistances sont pondérées suivant les puissances de 2. Les résistances sont en permanence parcourues par un courant constant, l'extrémité inférieure

de chacune étant connectée à la masse ou à la masse fictive. Deux switches commandés par le bit correspondant aiguillent le courant vers la masse ou vers le nœud de sommation.

Tous les nœuds sont à des potentiels constants, les capacités parasites ne limitent pas la rapidité de ce circuit, qui est supérieure à celle du circuit à commutation de tension.

Comme pour la version à commutation de tension, la tension de sortie est donnée par:

$$V_{\text{out}} = -\frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = -\frac{V_{\text{ref}}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_1 \cdot 2^1 + b_0)$$

2.2.3. Caractéristiques générales des convertisseurs N/A à résistances pondérées

La précision de ces convertisseurs est directement liée à celle des rapports des résistances, ainsi qu'à leur dérive en fonction du temps et de la température. De plus chaque résistance de pondération est augmentée de celle du switch en série avec elle. Or le rapport extrême entre la plus petite et la plus grande des résistances est de 2^{n-1} . La résistance globale correspondant au MSB ne doit pas s'écarter de plus de $1/2^n$ de la valeur idéale (on néglige -1 par rapport à 2^n).

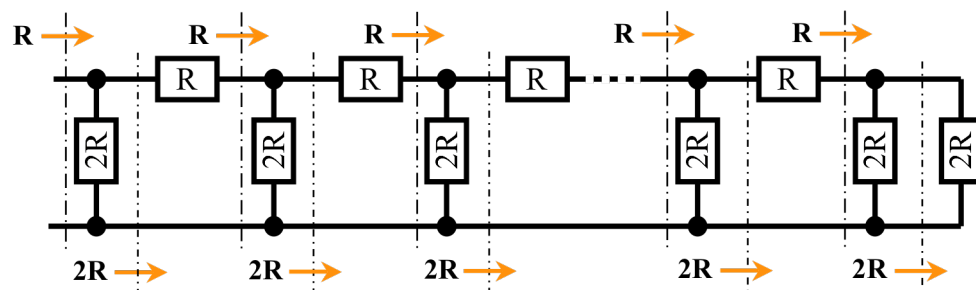
Dans la pratique, $n = 8$ bits est la limite réalisable pour ce type de convertisseurs N/A.

Ce type de convertisseur N/A est particulièrement adapté à la technologie CMOS. Le transistor MOS permet de réaliser un switch quasi idéal, sans tension d'offset et avec une faible résistance.

2.3. CONVERTISSEURS N/A A ECHELLE R/2R

2.3.1. Le réseau en échelle R/2R et ses propriétés

Le réseau en échelle R/2R se présente ainsi:



C'est un réseau régulier, sauf à son extrémité droite où il doit être terminé par une résistance $2R$.

Le nombre de cellules identiques peut être quelconque.

Les résistances horizontales et verticales doivent être dans un rapport exact de 2.

Propriété 1 :

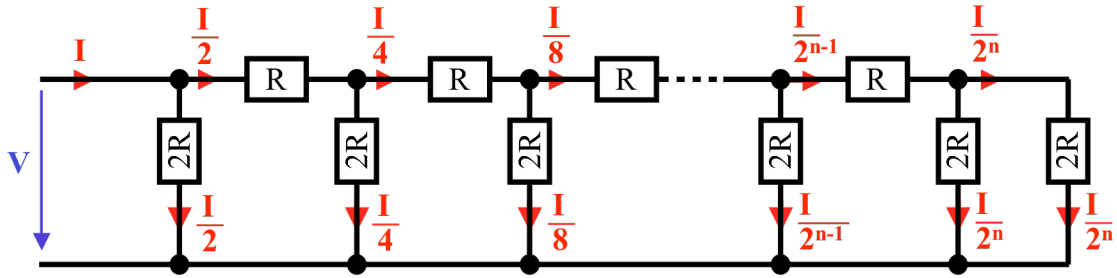
Comme on peut le voir sur le schéma ci-dessus, en remontant de la droite vers la gauche:

- la résistance globale de toute coupe du réseau juste à droite d'un nœud vaut $2R$,
- la résistance globale de toute coupe du réseau juste à gauche d'un nœud vaut R .

Les autres propriétés découlent de celle-ci. Les propriétés 3 et 4 se démontrent en partant de la droite et en remontant vers la gauche, par une succession de transformations Thevenin-Norton.

Propriété 2 :

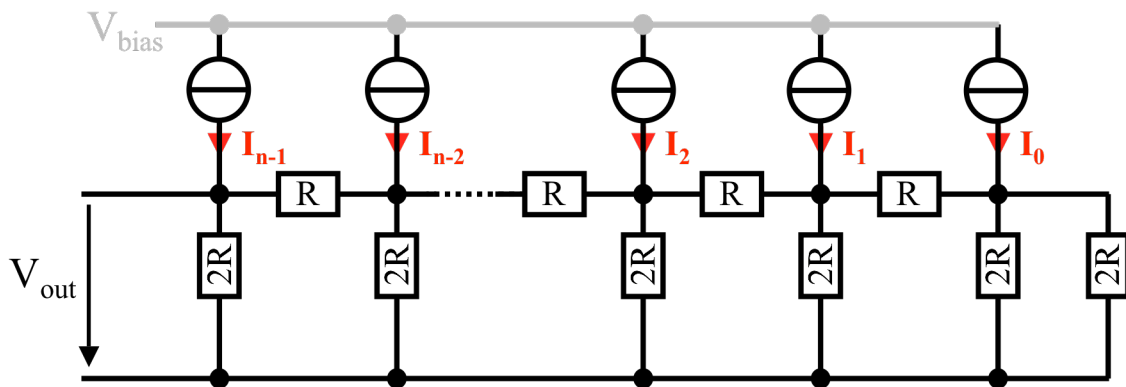
Comme le montre le schéma ci-dessous, à chaque nœud le courant est divisé en deux parts égales.



En conséquence les courants dans les résistances $2R$, sont des fractions en puissance croissante de 2 du courant principal $I = V/R$. La seule exception est le courant dans la terminaison $2R$ tout à droite.

Propriété 3 :

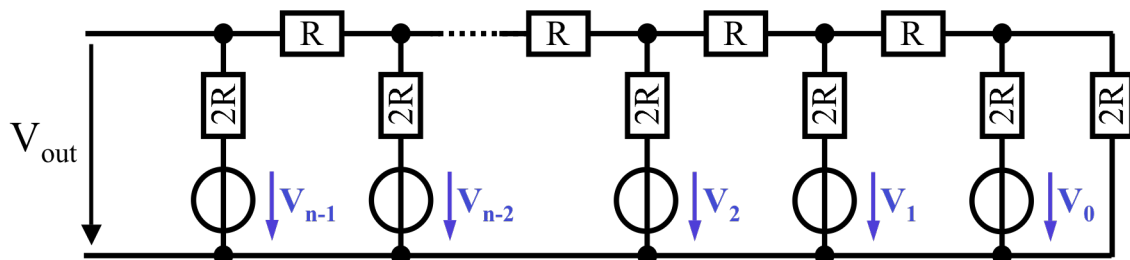
Le circuit du schéma ci-dessous, effectue une somme pondérée de sources de courant avec un facteur de pondération en puissance croissante de $\frac{1}{2}$ selon la position de la source dans le réseau.



$$V_{\text{out}} = \sum_{i=0}^{n-1} \frac{R \cdot I_i}{2^{n-1-i}} = \sum_{i=0}^{n-1} \frac{R \cdot I_i}{2^{n-1}} \cdot 2^i = \sum_{i=0}^{n-1} \frac{2R \cdot I_i}{2^n} \cdot 2^i$$

Propriété 4 :

Le circuit du schéma ci-dessous, effectue une somme pondérée de sources de tension avec un facteur de pondération en puissance croissante de $\frac{1}{2}$ selon la position de la source dans le réseau.

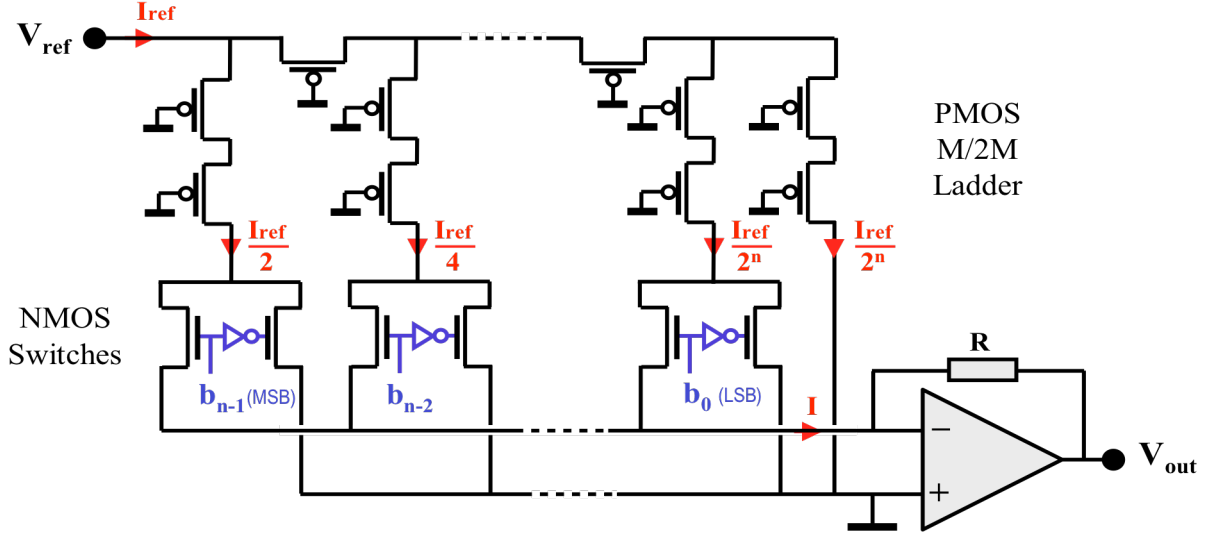


$$V_{\text{out}} = \sum_{i=0}^{n-1} \frac{V_i}{2^{n-i}} = \sum_{i=0}^{n-1} \frac{V_i}{2^n} \cdot 2^i$$

2.3.3. Variante 2: CNA à échelle M/2M et commutation de courant.

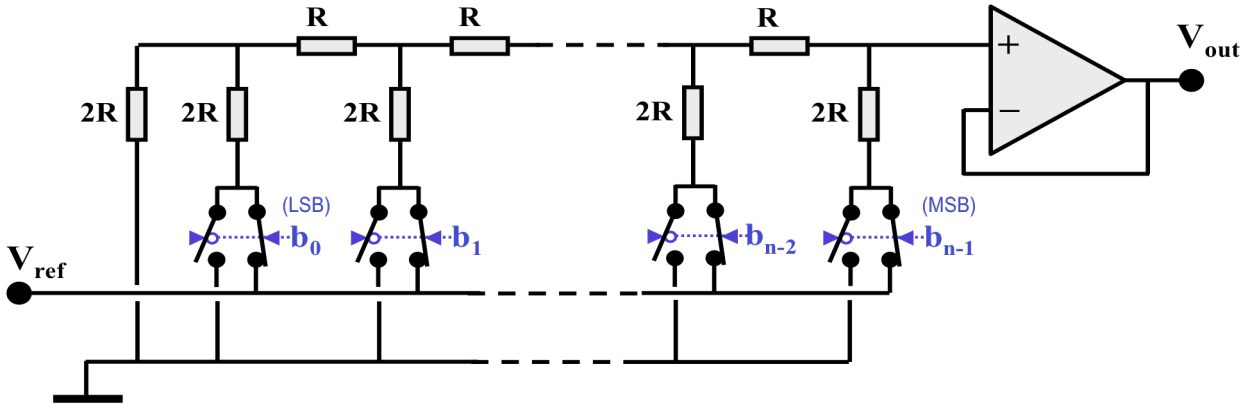
En technologie CMOS, lorsque le coût est un facteur primordial, et que la résolution requise ne dépasse pas 8 bits, les résistances sont remplacées par des transistors PMOS en mode de conduction, car ils nécessitent une surface de silicium bien plus réduite.

Le schéma de principe d'un CNA à réseau M/2M est le suivant:



2.3.4. Variante 3: CNA à échelle R/2R inversée et commutation de tension.

Le schéma de ce CNA est le suivant:



Le réseau R/2R + switches est inchangé, mais, à l'inverse de la "classique" variante 1: V_{ref} est appliqué sur ce qui était la sortie en courant, et V_{out} apparaît là où était l'entrée de référence.

Le résultat découle de la propriété 4 décrite précédemment avec chaque source de tension V_i valant V_{ref} ou $0V$, suivant les positions des deux switches associés au bit b_i correspondant. La tension de sortie du réseau, recopiée en sortie du suiveur de tension, vaut:

$$V_{out} = \frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{V_{ref}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + b_{n-2} \cdot 2^{n-2} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

Avantages:

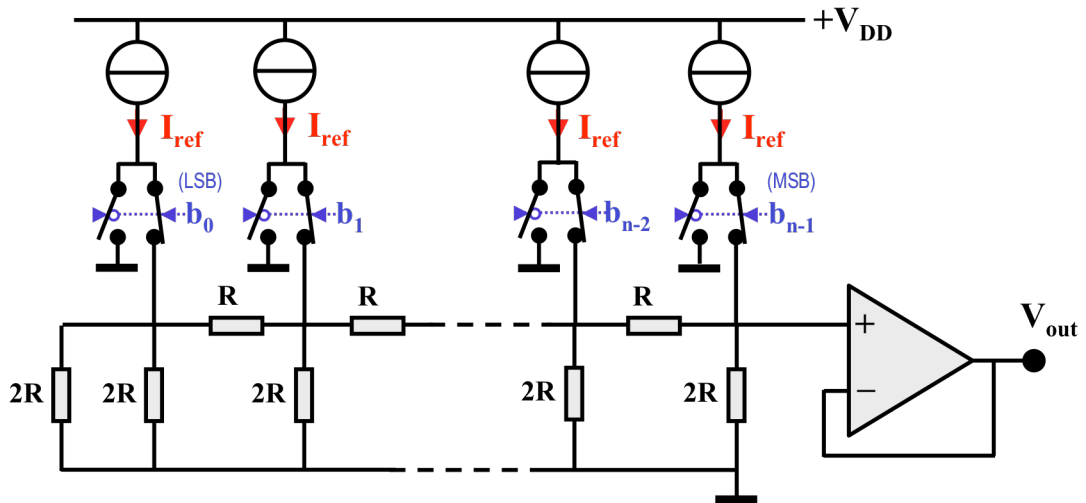
- pour une référence positive, la sortie l'est aussi, permettant d'alimenter tout le circuit avec une unique source positive (single supply).

Inconvénients:

- la commutation de tension est moins rapide que la commutation de courant.

2.3.5. Variante 4: CNA échelle R/2R et commutation de sources de courants identiques.

Le schéma de ce CNA est le suivant:



Le résultat découle de la propriété 3 décrite précédemment, avec chaque source de courant I_i valant I_{ref} ou 0, suivant les positions des deux switches associés au bit b_i correspondant. La tension de sortie du réseau, recopiée en sortie du suiveur de tension, vaut:

$$V_{out} = \frac{I_{ref} \cdot 2R}{2^{n-1}} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{I_{ref} \cdot 2R}{2^{n-1}} \cdot (b_{n-1} \cdot 2^{n-1} + b_{n-2} \cdot 2^{n-2} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

- Avantages:**
- la résistance des switches n'a plus d'influence sur la précision
 - les deux switches associés à la source de courant peuvent aussi être remplacés par un aiguillage à paire différentielle (voir 2.4.1), réalisable aussi bien en technologie bipolaire que MOS.
- Inconvénients:**
- des sources de courant à haute impédance de sortie sont nécessaires. En effet, plus on s'approche de la sortie, plus les sources débitent sur un noeud dont le potentiel est variable. Or, ces sources correspondent aux bits de poids forts.

2.4. CONVERTISSEURS N/A A SOURCES DE COURANT PONDEREES

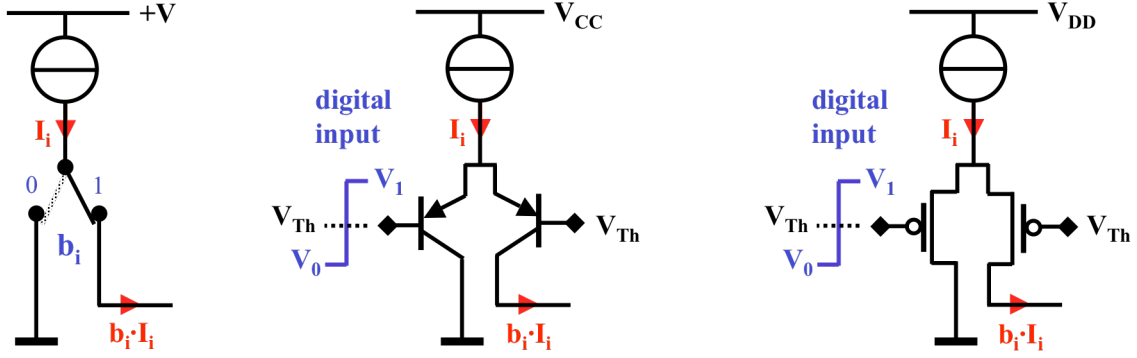
2.4.1. Introduction, pourquoi des sources de courant ?

Dans la plupart des convertisseurs étudiés jusqu'à présent, on a vu que la résistance parasite des switches posait un problème important et limitait la résolution des convertisseurs. Ce problème était lié au fait que les switches se retrouvaient en série dans une branche dont la résistance avait une valeur finie R qui devait impérativement être précise.

Une source de courant présente par contre une impédance de sortie extrêmement élevée. Si la commutation de courant peut s'effectuer à la sortie d'une source de courant, la résistance parasite du switch devient dès lors totalement négligeable devant la résistance propre de la source.

Pour commuter des sources de courant, une paire de switches commandés en opposition par b_i et son inverse $/b_i$, peut être avantageusement remplacée par un aiguillage de courant réalisé par une paire différentielle. Cette solution est utilisable tant en technologie bipolaire que MOS.

Réalisation d'un aiguillage (ou commutateur) de source de courant "sortant":

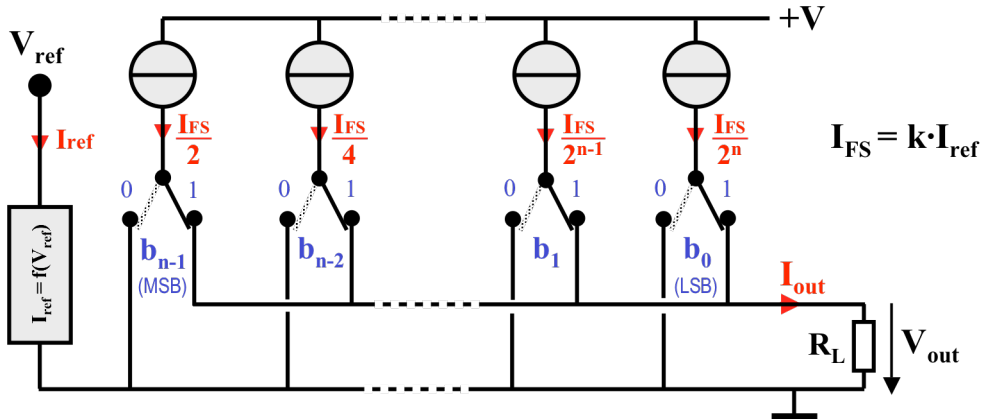


La base ou la grille de droite est à un potentiel de seuil fixe V_{Th} . La base ou grille de gauche est commandée par un signal binaire de valeurs $V_0 < V_{Th}$ lorsque $b_i = 0$, et $V_1 > V_{Th}$ lorsque $b_i = 1$, telles que la tension différentielle d'entrée est suffisante pour que les transistors fonctionnent en tout-ou-rien. La totalité du courant est aiguillée dans une des deux branches, tandis que la valeur du courant débité par la source ne change pas, ce qui évite des parasites (ou "glitches") à la commutation.

Un tel aiguillage est aussi réalisable pour un courant "entrant" avec des transistors PNP ou NMOS.

2.4.2. CNA à sources de courant pondérées avec sortie en courant sur charge passive

Le schéma de base d'un CNA à sources de courant pondérées est le suivant:



Le paramètre k est une caractéristique du circuit, qui lie le courant de référence à celui de sortie de pleine échelle (Full Scale). Ce dernier est généralement spécifié.

Le courant et la tension de sortie valent:

$$I_{out} = \sum_{i=0}^{n-1} \frac{I_{FS}}{2^{n-i}} \cdot b_i = \sum_{i=0}^{n-1} \frac{I_{FS}}{2^n} \cdot b_i \cdot 2^i = \frac{I_{FS}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{I_{FS}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

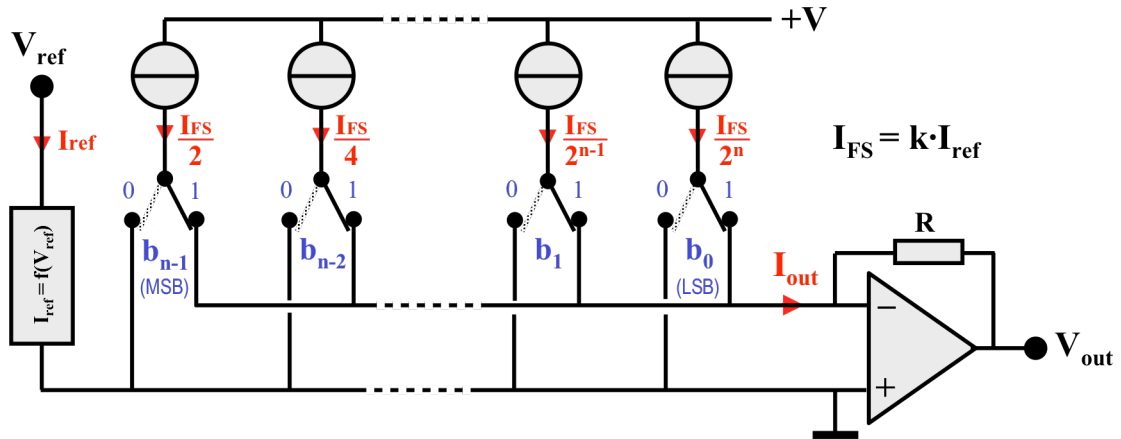
$$V_{out} = R_L \cdot I_{out} = \frac{R_L \cdot I_{FS}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = \frac{R_L \cdot I_{FS}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

Avec un courant I_{FS} de quelques mA à quelques dizaines de mA et une charge R_L inférieure au $k\Omega$, voire 50Ω , de tels CNA sont les plus rapides réalisables.

2.4.3. CNA à sources de courant pondérées et ampli op avec sortie en tension

Dans la précédente réalisation avec une charge passive, la chute de tension aux bornes des sources de courant se modifie en fonction du code de commande. En raison de la conductance de sortie non-nulle des sources de courant réelles (effet Early des transistors), le courant débité par celles-ci peut donc légèrement varier, ce qui constitue une première limite à la précision atteignable par ce principe.

Pour éviter ce phénomène, on utilise un amplificateur opérationnel, ce qui permet de faire débiter les sources soit sur un noeud à un potentiel toujours nul (masse ou masse fictive), selon le schéma suivant:



La tension de sortie vaut:

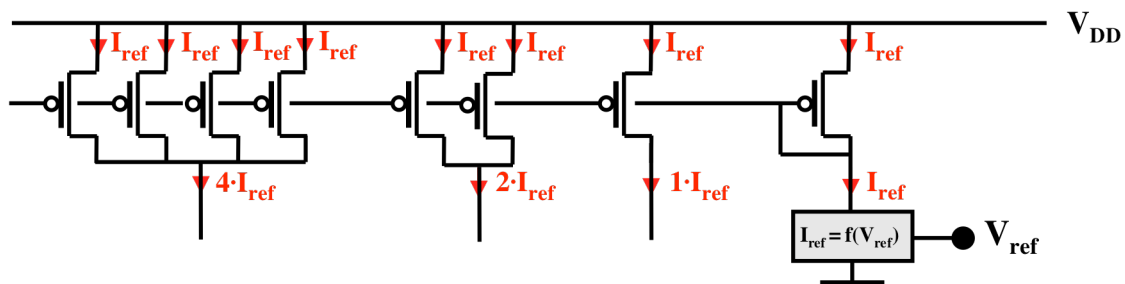
$$V_{out} = -R \cdot I_{out} = -\frac{R \cdot I_{FS}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = -\frac{R \cdot I_{FS}}{2^n} \cdot (b_{n-1} \cdot 2^{n-1} + \dots + b_2 \cdot 4 + b_1 \cdot 2 + b_0)$$

Outre l'inversion du signe de la tension de sortie, l'ampli op introduit aussi sa propre limite à la vitesse du circuit.

2.4.4. Réalisation des sources de courant pondérées en technologie MOS

Les sources de courant pondérées sont faites à l'aide d'un miroir de courant à sorties multiples de rapport croissant en puissance de deux.

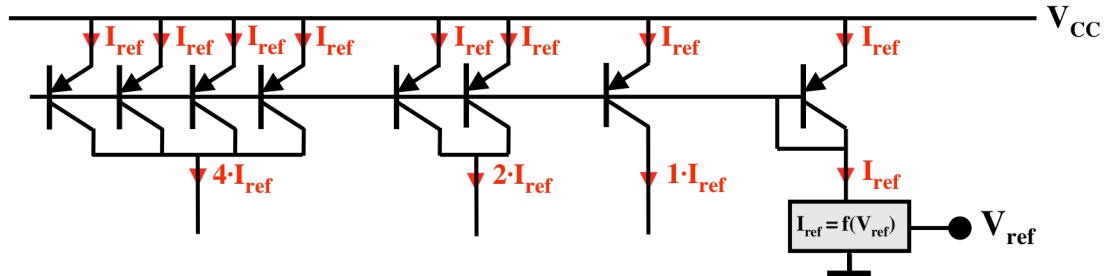
Un tel miroir peut être réalisé avec des transistors MOS selon le schéma suivant (exemple $n = 3$):



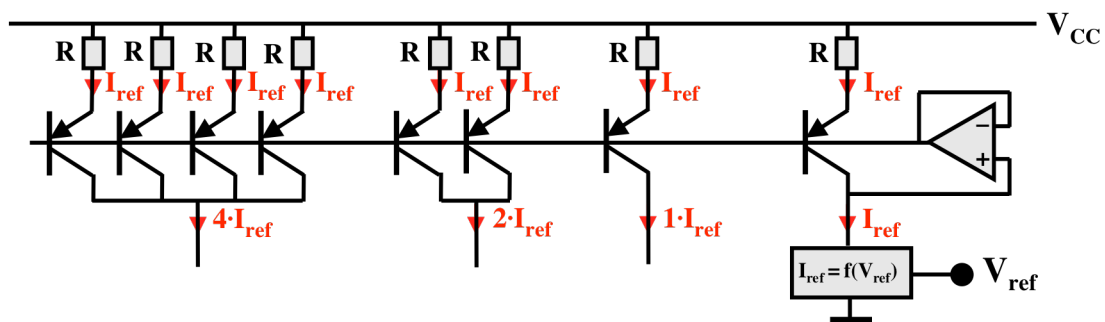
2.4.5. Réalisation des sources de courant pondérées en technologie bipolaire

Les sources de courant pondérées sont faites à l'aide d'un miroir de courant à sorties multiples de rapport croissant en puissance de deux.

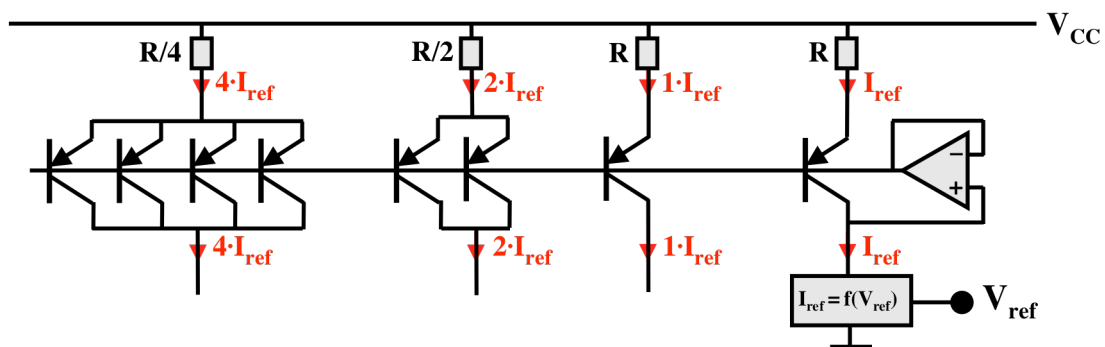
Un tel miroir peut être réalisé avec des transistors bipolaires PNP selon le schéma suivant (exemple $n = 3$):



A cause de la caractéristique exponentielle des transistors bipolaires, leurs disparités ont une grande influence sur les rapports des courants. Pour diminuer celle-ci, on insère des résistances d'émetteur. En plus, pour réduire l'erreur provoquée par la somme de tous les courants des bases, on modifie l'entrée du miroir. On arrive ainsi à la solution améliorée suivante (cas $n = 3$):

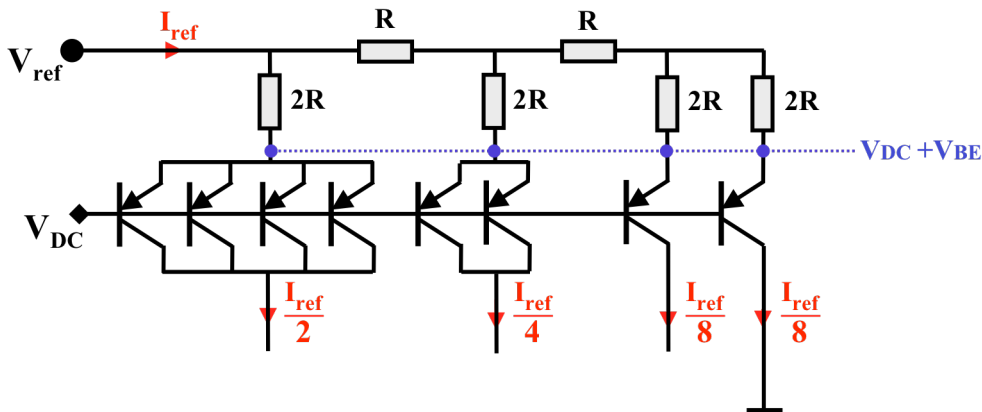


Une première limitation de ce circuit est la surface importante occupée par les 2^n résistances. On peut réduire ce nombre en utilisant des résistances pondérées, ce qui donne le schéma suivant:



Le nombre de résistances est minimal. Mais on retrouve le problème de la précision du rapport extrême (2^{n-1}) des valeurs des résistances pondérées.

Avec un nombre raisonnable de résistances dont le rapport des valeurs est limité à 2, le réseau en échelle $R/2R$ permet de réaliser des sources de courant pondérées selon le schéma suivant:



Tous les transistors étant identiques et parcouru par un courant égal $I_{ref}/2^n$, ils ont tous un même V_{BE} . Par conséquent, tous les émetteurs se trouvent au même potentiel $V_{DC} + V_{BE}$. Donc le pied de toutes les résistances $2R$ se trouvent au même potentiel, même s'ils ne sont pas connectés, et la répartition des courants est conforme à la propriété 2 du réseau $R/2R$. Ces courants se retrouvent directement à la sortie de chaque source.

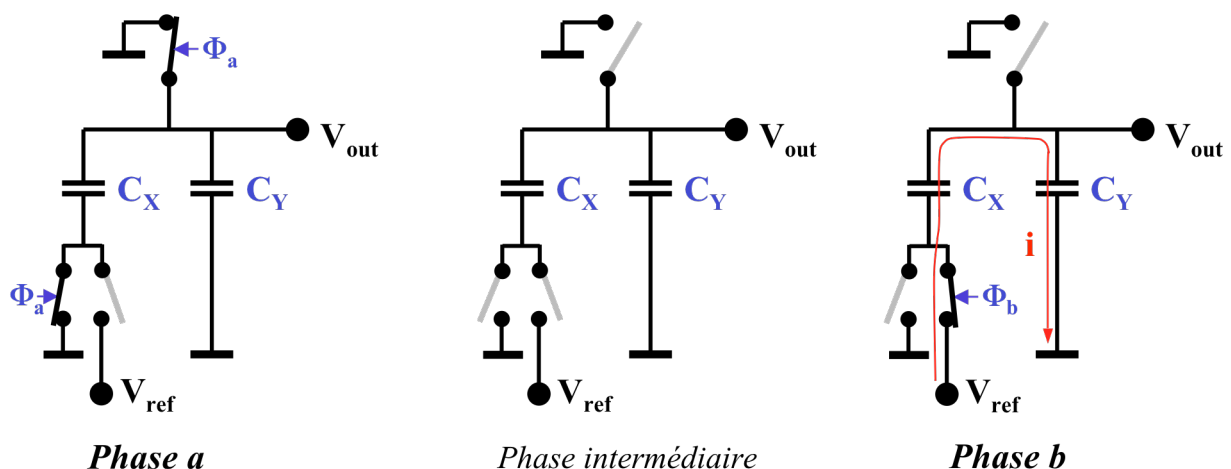
Une autre limitation, commune à tous les circuits bipolaires présentés jusqu'ici, est la surface prohibitive occupée par les 2^n transistors nécessaires pour faire les n sources de courant pondérées en puissance de 2. La solution à ce problème est la segmentation.

2.5. CONVERTISSEURS N/A A CAPACITES PONDEREES

Ces convertisseurs appartiennent à la famille des circuits à capacités commutées. Ils reposent sur le principe de la redistribution de charge entre capacités que l'on commute à l'aide de switches réalisés avec des transistors MOS. Ces circuits sont bien adaptés à une intégration en technologie CMOS.

2.5.1. Variante 1: CNA à capacités pondérées et distribution passive de charge.

Le principe de la distribution passive de charge est illustré par la figure suivante:



Le processus s'effectue théoriquement en 2 phases:

- **phase a:** décharge totale de toutes les capacités

$$V_{\text{out}} = 0 \quad \text{et} \quad Q_X = Q_Y = 0$$

- **phase b:** charge des capacités par la source V_{ref}

le même courant traversant les deux capacités, leur charge finale est égale

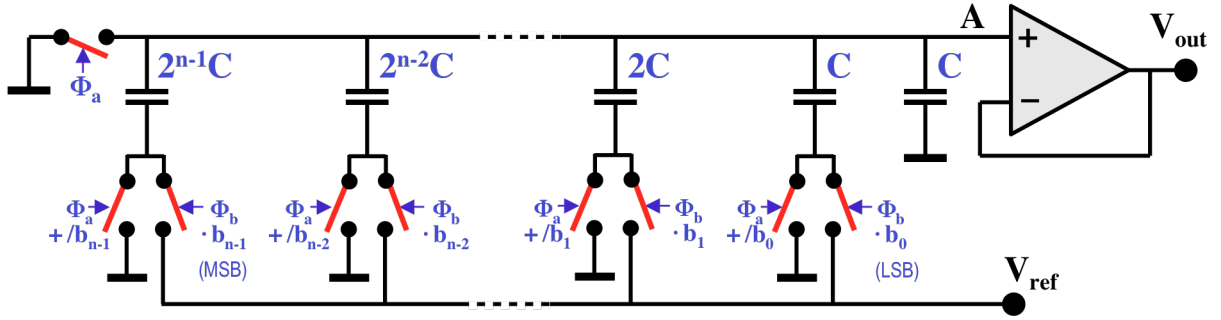
$$Q_X = Q_Y$$

$$(V_{\text{ref}} - V_{\text{out}}) \cdot C_X = V_{\text{out}} \cdot C_Y$$

$$V_{\text{out}} = V_{\text{ref}} \cdot \frac{C_X}{C_X + C_Y} = V_{\text{ref}} \cdot \frac{C_X}{C_{\text{tot}}}$$

Dans la pratique, une phase intermédiaire, d'une durée minimum, est ajoutée entre les deux phases principales, pour garantir que le switch qui court-circuite V_{out} à la masse est ouvert, avant que ne débute la charge, à la fermeture du switch connecté à la référence de tension. Ainsi est assuré, que tout électron qui arrive sur la plaque supérieure de C_X vient de la plaque supérieure C_Y .

Sur la base de ce principe de distribution passive de charge, un CNA à capacités pondérées en puissance de 2 peut être réalisé selon le schéma suivant:



Durant la phase a, toutes les capacités, ainsi que le nœud commun A, sont connectés à la masse. Toutes les capacités sont déchargées.

Durant la phase b, les capacités dont le bit correspondant est à 0 restent connectées à la masse, car $\phi_a + b_i = 1$, celles dont le bit correspondant est à 1 sont connectées à V_{ref} , car $\phi_b \cdot b_i = 1$, La capacité globale connecté à V_{ref} vaut:

$$C_X = \sum_{i=0}^{n-1} b_i \cdot 2^i \cdot C = C \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

La capacité totale, y compris la capacité de terminaison C qui n'est pas commutée, vaut:

$$C_{\text{tot}} = C + \sum_{i=0}^{n-1} b_i \cdot 2^i \cdot C = C \cdot 2^n$$

A la fin de la distribution de charge, potentiel du nœud A, recopié à la sortie du suiveur de tension à ampli op (supposé idéal), vaut:

$$V_{\text{out}} = V_A = V_{\text{ref}} \cdot \frac{C_X}{C_{\text{tot}}} = \frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

Le suiveur de tension à ampli op est nécessaire pour qu'aucun courant ne soit soutiré du nœud A, ce qui fausserait la distribution de charge.

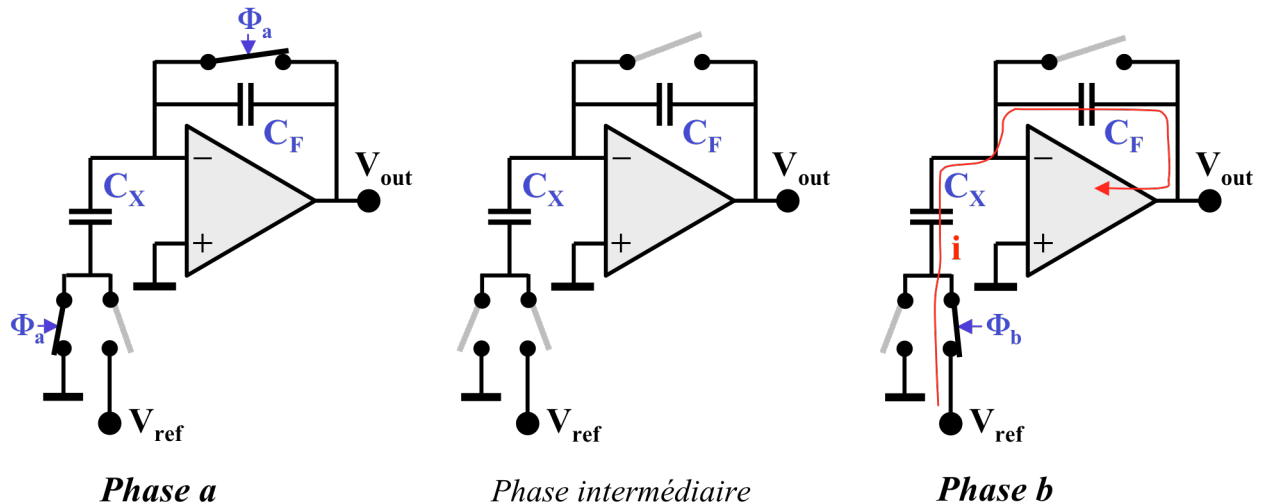
Inconvénients:

- la capacité parasite totale au nœud A introduit une erreur de gain, et de linéarité si elle-même est non-linéaire.

- l'offset de l'ampli op s'ajoute directement à V_A .

2.5.2. Variante 2: CNA à capacités pondérées et distribution active de charge.

Le principe de la distribution active de charge est illustré par la figure suivante:



Le processus s'effectue théoriquement en 2 phases:

- phase a:** décharge totale de toutes les capacités
 $V_{out} = 0$ et $Q_X = Q_F = 0$
- phase b:** charge des capacités par la source V_{ref} ,
 le même courant traversant les deux capacités, leur charge finale est égale

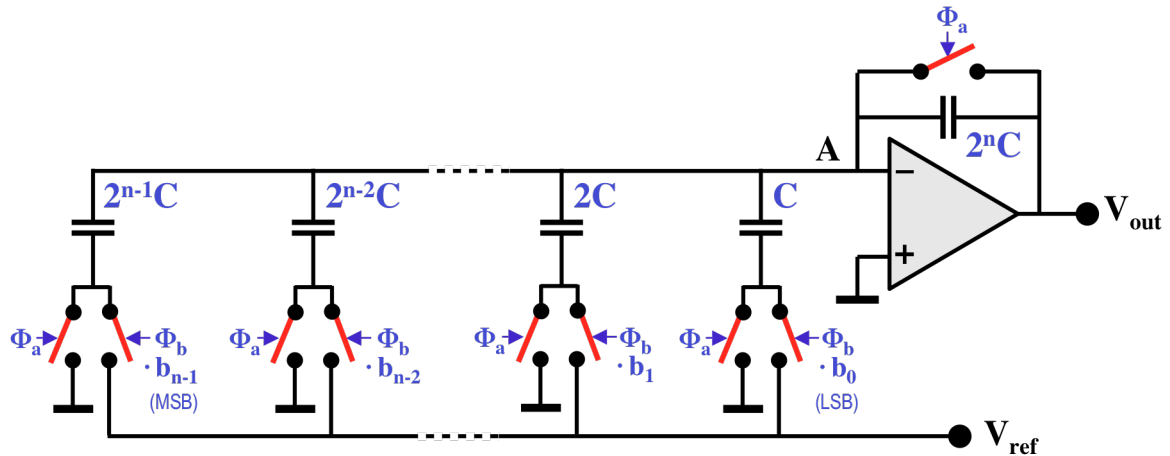
$$Q_X = Q_F$$

$$V_{ref} \cdot C_X = -V_{out} \cdot C_F$$

$$V_{out} = -V_{ref} \cdot \frac{C_X}{C_F} = -V_{ref} \cdot \frac{C_X}{C_{tot}}$$

Dans la pratique, une phase intermédiaire, d'une durée minimum, est ajoutée entre les deux phases principales, pour garantir que le switch qui court-circuite C_F est ouvert, avant que ne débute la charge, à la fermeture du switch connecté à la référence de tension.

Sur la base de ce principe de distribution active de charge, un CNA à capacités pondérées en puissance de 2 peut être réalisé selon le schéma de la page suivante.



Durant la phase a, la capacité de réaction est court-circuitée, et toutes les capacités pondérées sont entre la masse et la masse fictive. Elles sont toutes déchargées.

Durant la phase b, les capacités dont le bit correspondant est à 1 sont connectées à V_{ref} . la capacité globale connectée à V_{ref} vaut:

$$C_X = \sum_{i=0}^{n-1} b_i \cdot 2^i \cdot C = C \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

Si la capacité de contre réaction C_F est égale à $2^n \cdot C$, à la fin de la distribution de charge, le potentiel à la sortie de l'ampli op, vaut:

$$V_{out} = -V_{ref} \cdot \frac{C_X}{C_F} = -\frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

Le signe – dans cette expression peut être supprimé par une gestion judicieuse des switches.

Avantage:

- la capacité parasite totale au nœud A n'a pas d'influence car ce point est à un potentiel fixe (masse fictive).

Inconvénients:

- la capacité totale à intégrer, donc la surface occupée, est de $2 \cdot 2^n \cdot C$, soit le double que dans le circuit précédent.
- l'offset de l'ampli op apparaît directement à la sortie.

2.5.3. Caractéristique générales des CNA à capacités pondérées

Les circuits à capacités pondérées sont bien adaptés à la technologie CMOS qui permet de réaliser :

- des capacités de haute qualité, avec des rapports de valeurs bien contrôlés
- d'excellents switches (transistors MOS)

En outre, dans ce type de circuits, la résistance série des switches n'influence que la vitesse de conversion (temps de charge et de décharge des capacités), mais n'affecte pas la précision du résultat final.

La précision des CNA à capacités pondérées est limitée par:

- la précision des rapports des capacités.
- l'injection de charge des interrupteurs: lors de la coupure d'un MOS, une partie des charges de son canal est transférée vers la capacité qu'il contrôle.

2.6. CONVERTISSEURS N/A SURECHANTILLONNES

2.6.1. Principe du CNA suréchantillonné.

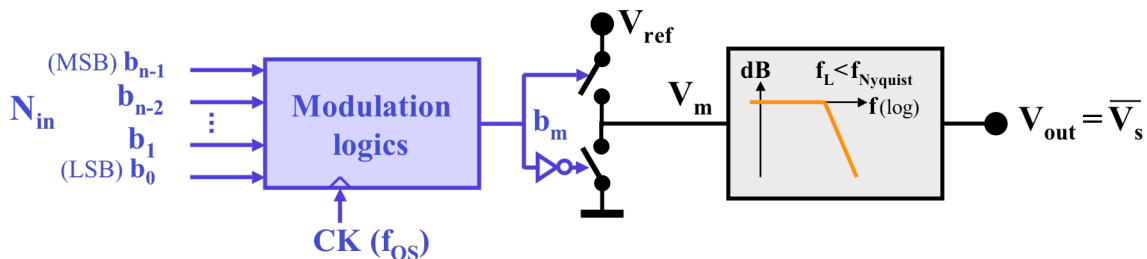
Un signal numérique est une suite de nombres à intervalles de temps réguliers $T_s = 1/f_s$, où f_s est la fréquence d'échantillonnage. En théorie, celle-ci doit être au minimum le double de la composante fréquentielle la plus haute du signal.

Le suréchantillonnage d'un signal numérique consiste à générer, par interpolation numérique, des échantillons intermédiaires, donc avec une fréquence d'échantillonnage plus élevée f_{OS} . Le rapport f_{OS}/f_s est appelé taux de suréchantillonnage ou OSR (OverSampling Rate).

Dans le signal suréchantillonné, le bruit de quantification est uniformément réparti entre 0 et $f_{OS}/2$ alors que les composantes utiles du signal sont toutes en dessous de $f_s/2 = f_{Nyquist}$. Si, après conversion N/A du signal suréchantillonné, on fait un filtrage passe-bas à $f_{Nyquist}$, on réduit le bruit de quantification, sans toucher au signal utile, ce qui équivaut à augmenter la résolution.

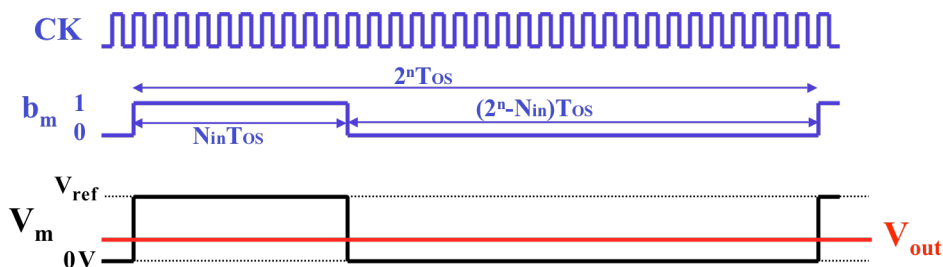
Donc, un signal numérique avec une résolution de n bits, peut être suréchantillonné avec une résolution moindre, voire réduite à un seul bit, puis converti N/A à basse résolution, et enfin filtré passe-bas à $f_{Nyquist}$ ou plus bas encore. La précision du résultat analogique correspondra à celle qu'on aurait obtenue par la conversion N/A à n bits classique des échantillons numériques d'origine, à condition que le taux de suréchantillonnage soit suffisant.

Le schéma de principe d'un CNA suréchantillonné, avec une conversion rapide à une seul bit, est le suivant:



2.6.2. CNA suréchantillonné à modulation PWM.

Les signaux générés sont représentés ci-dessous:



La logique de modulation fabrique un signal binaire dit PWM (Pulse Width Modulation) à fréquence fixe égale à $f_{OS}/2^n$ et dont le rapport cyclique d est égal à $N_m/2^n$. Une telle logique est essentiellement composée d'un compteur et d'un décompteur à n bits.

Les deux switches convertissent cet unique bit en un signal V_m , de valeur précise 0V ou V_{ref} , de même fréquence et rapport cyclique que le bit.

Le filtre passe-bas ne laisse passer que les composantes à basse fréquence de V_m , c'est à dire sa valeur moyenne, qui vaut:

$$V_{out} = V_{ref} \cdot d = V_{ref} \cdot \frac{N_{in}}{2^n} = \frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

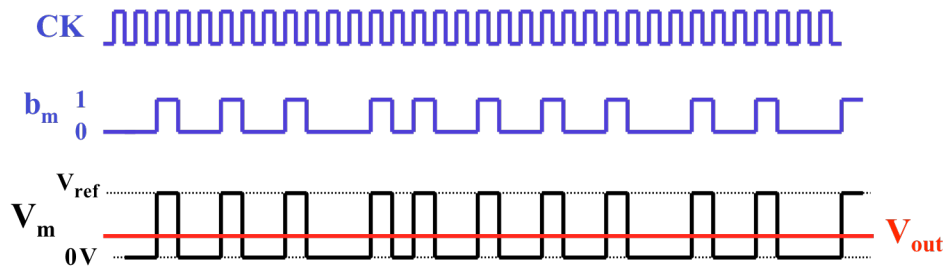
Le taux de suréchantillonnage nécessaire est directement proportionnel à la résolution désirée:

$$OSR = \frac{f_{OS}}{2 \cdot f_{Nyquist}} = 2^n$$

Dans la pratique, pour qu'un filtre simple soit suffisamment efficace, on prendra une fréquence de coupure bien inférieure à celle de Nyquist. C'est pourquoi ce type de CNA n'est utilisé que pour des signaux lents.

2.6.2. CNA suréchantillonné à modulation $\Sigma-\Delta$.

Les signaux générés sont représentés ci-dessous:



La logique de modulation sigma-delta fabrique, selon un algorithme complexe, une série de bits (bit-stream) dont la moyenne est égale à $N_{in}/2^n$, et de façon que le bruit de quantification soit repoussé vers les hautes fréquences.

Les deux switches convertissent cet unique bit en un signal V_m , de valeur précise 0V ou V_{ref} .

Le filtre passe-bas ne laisse passer que les composantes à basse fréquence de V_m , c'est à dire sa valeur moyenne, qui vaut:

$$V_{out} = V_{ref} \cdot \frac{N_{in}}{2^n} = \frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

La théorie de la modulation sigma-delta, qui se trouve en 3.7, donne le taux de suréchantillonnage nécessaire pour une modulation $\Sigma-\Delta$ d'ordre 1:

$$OSR = \frac{f_{OS}}{2 \cdot f_{Nyquist}} \approx 10^{0.2 \cdot n}$$

Dans la pratique, ce type de CNA permet d'obtenir une résolution de 16 à 18 bits, avec une fréquence de conversion pouvant atteindre 100 kHz. Ces convertisseurs sont surtout utilisés dans les applications audio de qualité CD.

3. CONVERSION ANALOGIQUE / NUMERIQUE

3.1. INTRODUCTION

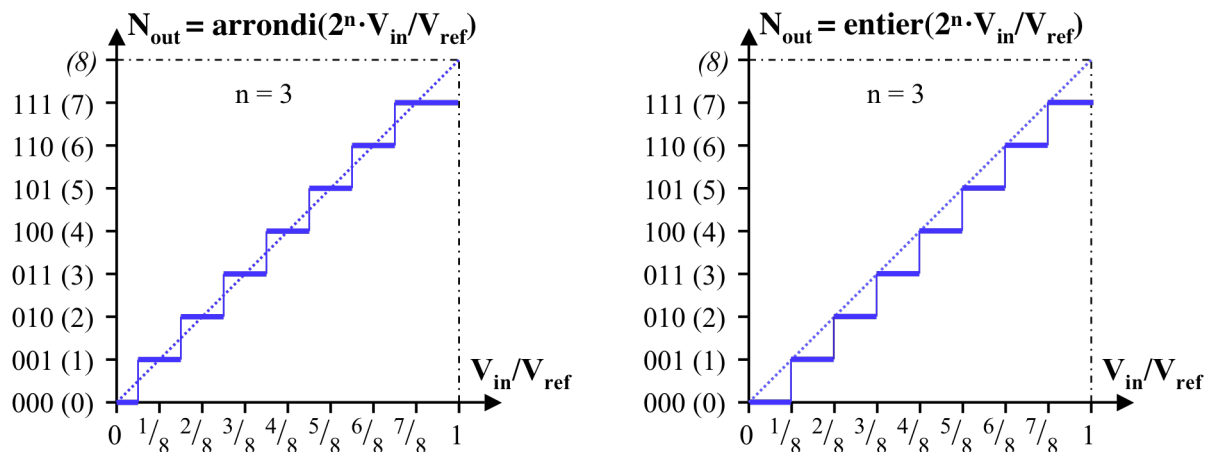
Un convertisseur A/N idéal génère un nombre codé en binaire selon la loi:

$$N_{\text{out}} = \sum_{i=0}^{n-1} b_i \cdot 2^i = \text{arrondi} \left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}} \right)$$

Certains convertisseurs A/N font l'approximation:

$$N_{\text{out}} = \sum_{i=0}^{n-1} b_i \cdot 2^i = \text{entier} \left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}} \right)$$

Cela génère une erreur d'offset systématique d'un demi-pas de quantification, comme le montre la figure ci-dessous (exemple à 3 bits). Cette erreur est d'autant moins significative que le nombre n de bits est élevé.



De manière générale, les convertisseurs A/N peuvent être caractérisés par leur précision, leur vitesse de conversion et leur coût en surface et consommation. D'un point de vue algorithmique, on peut les diviser en quatre familles, suivant le principe de base utilisé:

- intégration
- approximations successives
- "flash" et dérivés
- modulation sigma-delta

Bien entendu, ces techniques peuvent être combinées à volonté dans un même convertisseur.

3.2. CLASSIFICATION DES FAMILLES DE CONVERTISSEURS A/N

3.2.1. Convertisseurs A/N à intégration

Principe:

La grandeur analogique d'entrée est convertie en une durée selon une loi proportionnelle, cette durée est chronométrée pour donner un résultat numérique. La plupart de ces convertisseurs sont basés sur le principe de l'intégration à double pente, qui effectue un rapport des temps d'intégration des grandeurs d'entrée et de référence.

Caractéristiques:

- Haute résolution, haute précision (16 bits ou plus)
- Excellente linéarité différentielle et intégrale
- Temps de conversion assez long: de la milliseconde à plusieurs seconde. Une conversion nécessite l'exécution de 2^n , voire même 2^{n+1} , opérations élémentaires.

Technologie utilisée:

Typiquement la technologie CMOS

Applications typiques:

- Instrumentation de précision
- Télémétrie

3.2.2. Convertisseurs A/N à approximations successives

Principe:

Il est similaire à celui d'une pesée avec des poids sur une balance. On commence par comparer la grandeur analogique d'entrée avec la moitié de la référence, ce qui permet de déterminer le bit de poids le plus fort; on compare ensuite la grandeur d'entrée avec $\frac{1}{4}$ ou $\frac{3}{4}$ de la référence, suivant que le bit résultant de la comparaison précédente était 0 ou 1, ce qui permet de déterminer le bit de poids juste inférieur; et ainsi de suite, réduisant à chaque fois de moitié la plage d'incertitude.

Caractéristiques:

- Résolution moyenne, typiquement de 8 à 14 bits. La précision dépend essentiellement de celle du CNA utilisé dans le système.
- Temps de conversion moyen, typiquement de $1\ \mu s$ à $100\ \mu s$. Une conversion nécessite l'exécution de n opérations élémentaires.

Technologie utilisée:

Typiquement CMOS, en circuit standard, ou dans un ASIC.

Aussi en technologie bipolaire pour des circuits standards rapides.

Applications typiques:

Les CANs à approximations successives font un excellent compromis entre la précision, la vitesse et le prix. Ils représentent la grande majorité des convertisseurs à usage général.

- Télécommunications
- Traitement du signal
- Interface avec un microprocesseur

3.2.3. Convertisseurs A/N "flash"

Principe:

Il est similaire à la mesure immédiate d'une longueur, par comparaison de celle-ci avec les graduations d'une règle. Les $2^n - 1$ seuils de quantification sont obtenus, à partir de la tension de référence, par un diviseur de tension formé de 2^n résistances identiques. On compare simultanément la tension d'entrée à chaque seuil grâce à autant de comparateurs. La conversion est effectuée en une seule étape, mais le résultat, disponible sous forme d'un code thermomètre (ou bargraph), doit encore être encodé en binaire sur n bits.

Caractéristiques:

- Résolution faible, typiquement de 6 à 8 bits, limitée par la taille du circuit et sa dissipation, à cause du grand nombre de composants.
- Temps de conversion court, typiquement de 1 ns à 1 μ s. Une conversion s'exécute en une seule opération.

Technologie utilisée:

CMOS, BiCMOS et bipolaire.

Applications typiques:

Les CANs "flash" sont les plus rapides.

- Radar
- Traitement numérique rapide du signal
- Oscilloscopie numérique

3.2.4. Convertisseurs A/N à structure "pipeline"

Les CANs à structure pipeline sont dérivés de ceux à approximations successives. Au lieu de traiter un échantillon du signal dans un seul étage au cours de n cycles successifs, on utilise n étages en cascade. L'étage de rang " i " est chargé de déterminer le bit de poids $(n-i)$. C'est le principe du travail à la chaîne: n conversions sont toujours en cours simultanément, mais chacune décalée d'un cycle, un résultat de conversion sort à chaque cycle, mais avec un retard de n cycles sur la prise de l'échantillon analogique.

3.2.5. Convertisseurs A/N Sigma-Delta ($\Sigma-\Delta$)

Les CANs sigma-delta forment une catégorie à part dans le monde des convertisseurs. Leur principe de base consiste à effectuer initialement une conversion à une fréquence extrêmement rapide (suréchantillonnage) avec une résolution limitée, souvent à 1 seul bit. On échange ensuite la vitesse contre la précision à l'aide d'un filtre numérique complexe.

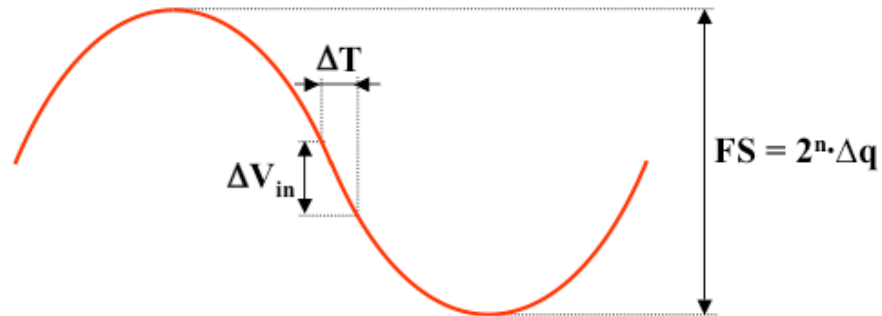
Les convertisseurs $\Sigma-\Delta$ ont des caractéristiques très bien adaptées au traitement de signaux audio, car ils permettent d'atteindre des résolutions 18 à 22 bits avec des fréquences de Nyquist de plusieurs dizaines de kilohertz.

3.3. FENETRE D'ECHANTILLONNAGE, SAMPLE & HOLD

3.3.1 Durée de la fenêtre d'échantillonnage et précision de la conversion A/N

Le temps de conversion d'un convertisseur A/N dépend du procédé utilisé, de la résolution désirée, et de la consommation de puissance tolérée. Durant l'opération de conversion, la plupart des convertisseurs A/N font plusieurs fois appel à la tension d'entrée à quantifier. Si cette valeur varie durant l'opération, cela peut affecter gravement la qualité du résultat. L'erreur associée s'appelle "erreur d'ouverture". L'objectif est que cette erreur ne dépasse pas le pas de quantification.

Prenons pour exemple un signal sinus d'amplitude égale à la pleine échelle du CAN:



En faisant une approximation du premier ordre, la variation de la tension d'entrée ΔV_{in} est liée au temps "d'ouverture" ΔT , qui est semblable au temps de conversion t_{conv} , par la relation:

$$\Delta V_{in} = \frac{dv(t)}{dt} \cdot \Delta T = \frac{d(2^{n-1} \cdot \Delta q \cdot \sin(\omega t))}{dt} \cdot \Delta T = 2^{n-1} \cdot \Delta q \cdot \omega \cdot \Delta T \cdot \cos(\omega t)$$

$$\Delta V_{in,max} = 2^{n-1} \cdot \Delta q \cdot \omega \cdot \Delta T = 2^n \cdot \Delta q \cdot \pi \cdot f \cdot \Delta T$$

Si l'on veut que cette variation soit inférieure au pas de quantification Δq , il faut un temps d'ouverture plus court que:

$$\Delta T_{max} = \frac{1}{2^n \cdot \pi \cdot f}$$

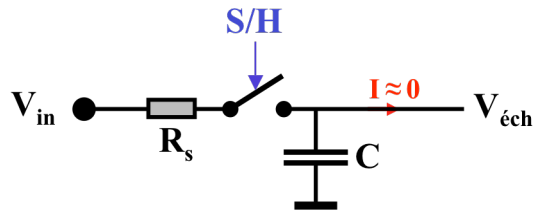
ΔT_{max} représente le temps maximum durant lequel la conversion doit se dérouler. Dans la pratique cela conduit à des temps de conversion irréalistes. Par exemples:

- application audio de qualité moyenne: $f = 10\text{ kHz}$, $n = 12\text{ bits} \Rightarrow t_{conv} < 7.8\text{ ns}$
- oscilloscope numérique: $f = 100\text{ MHz}$, $n = 8\text{ bits} \Rightarrow t_{conv} < 12.4\text{ ps} !$

Pour éliminer cette contrainte, on utilise un circuit échantillonneur-bloqueur (Sample-Hold) en amont du convertisseur, pour fournir à l'entrée de ce dernier une tension constante durant tout le temps de conversion. La seule exigence à respecter est alors le théorème d'échantillonnage, qui impose une fréquence d'échantillonnage d'au moins 2 fois la composante fréquentielle maximum du signal à échantillonner. Pour les deux exemples précédents, le temps de conversion maximum devient $50\text{ }\mu\text{s}$ pour l'application audio, et 5 ns pour l'oscilloscope numérique, ce qui est réalisable.

3.3.2 Sample-Hold en boucle ouverte

Le Sample-Hold le plus simple est le suivant:



La résistance R_s représente la somme de la résistance interne de la source du signal V_{in} et de la résistance de passage du switch.

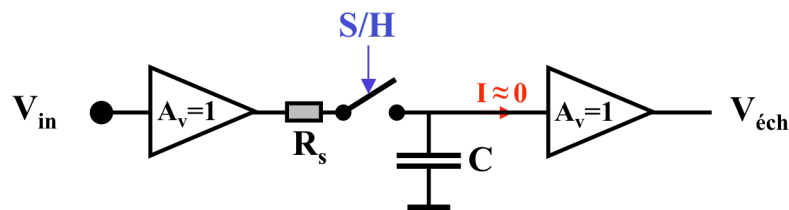
Lorsque le switch est fermé (Sample), après un transitoire d'acquisition, $v_{éch}(t)$ tend à être égal à $v_{in}(t)$, pour autant que le spectre de ce dernier soit borné à une valeur bien inférieure à $1/2\pi R_s C$.

Lorsque le switch est ouvert (Hold), $V_{éch}$ reste constant, égal à sa valeur à l'instant de l'ouverture du switch, pour autant que le courant de décharge soit suffisamment faible.

Pour assurer une décharge minimale de la capacité en mode Hold, un suiveur de tension (Buffer) à haute impédance d'entrée est souvent ajouté après la capacité.

Pour assurer une valeur de R_s faible, et donc une acquisition rapide et une large bande passante, ce circuit simple est souvent précédé d'un suiveur de tension (Buffer) à fort courant de sortie.

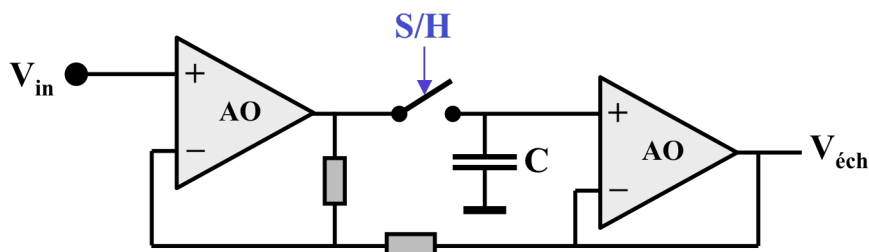
Le schéma d'un Sample-Hold en boucle ouverte est le suivant:



Le principal défaut de cette structure est sa relative imprécision, car les erreurs d'offset et de non-linéarité du switch, ainsi que les erreurs de gain et d'offset des deux suiveurs de tension s'ajoutent.

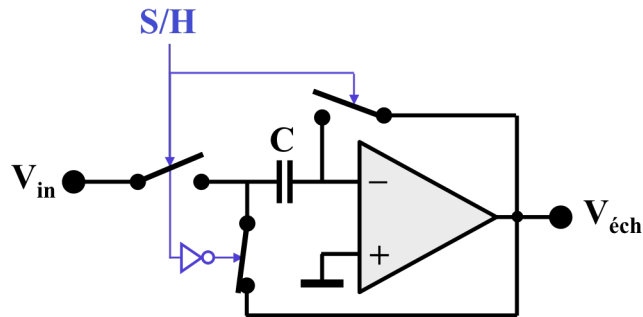
3.3.3 Sample-Hold en boucle fermée

De nombreuses solutions existent permettant d'améliorer la précision et/ou la rapidité par une structure en boucle fermée. Un exemple est donné dans schéma suivant:

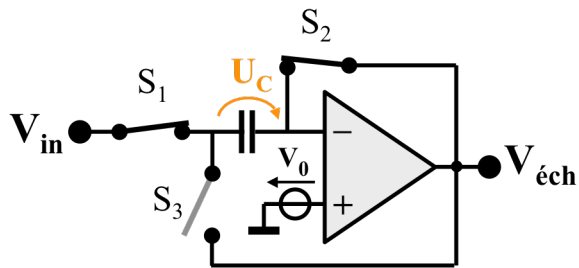


3.3.4 Sample-Hold à capacité commutée

Le schéma de ce circuit, bien adapté à une intégration en technologie CMOS, est le suivant:



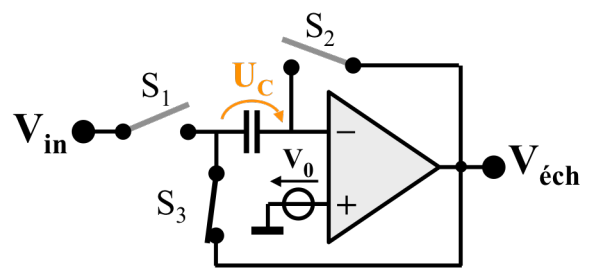
Le fonctionnement est analysé ci-dessous, avec V_0 modélisant la tension d'offset en entrée de L'AO, plus une éventuelle polarisation:



Sample

$$V_{\text{éch}} = V_0$$

$$U_C = V_{\text{in}} - V_{\text{éch}} = V_{\text{in}} - V_0$$



Hold

$$U_C = V_{\text{in}}(t_{S \rightarrow H}) - V_0 \text{ inchangée}$$

$$V_{\text{éch}} = V_0 + U_C = V_{\text{in}}(t_{S \rightarrow H})$$

Où $V_{\text{in}}(t_{S \rightarrow H})$ est la valeur de V_{in} à l'instant de l'ouverture de S_1 .

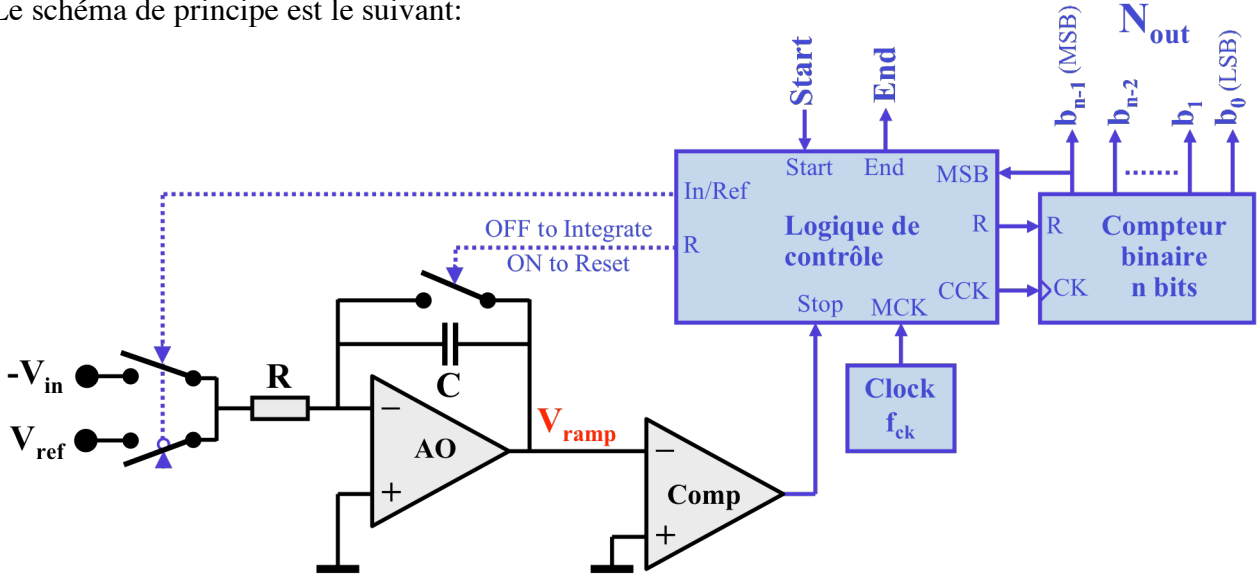
Dans la pratique, une phase intermédiaire, avec tous les switches ouverts, de durée minimum est nécessaire, pour garantir que S_2 soit ouvert avant que S_3 ne se ferme.

Avantage: La tension de sortie ne dépend pas de l'offset de l'AO, ni d'une éventuelle polarisation.

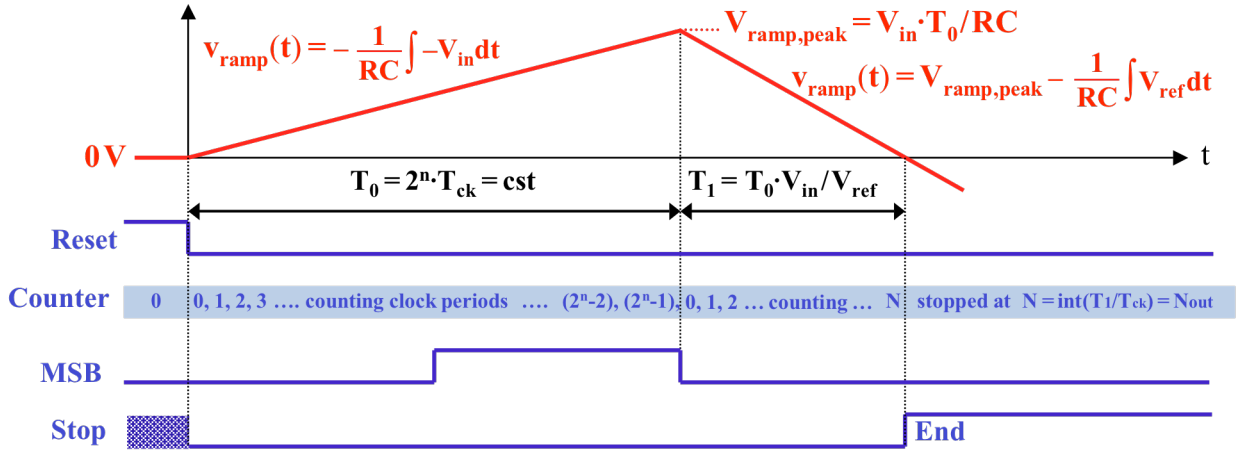
3.4. CONVERTISSEURS A/N A INTEGRATION

3.4.1 CAN à double rampe

Le schéma de principe est le suivant:



Hormis la phase initiale de "reset", durant laquelle la capacité est déchargée, d'où $V_{\text{ramp}} = 0$, et l'état du compteur est maintenu à zéro, la conversion, illustrée ci-dessous, se fait en deux étapes:



1. rampe montante par intégration de la tension d'entrée V_{in} durant un temps T_0 fixe, imposé par le système, en général égal à $2^n \cdot T_{\text{ck}}$, soit un "tour" complet du compteur; la rampe atteint alors:

$$V_{\text{ramp,peak}} = \frac{V_{\text{in}} \cdot T_0}{RC} = \frac{V_{\text{in}} \cdot 2^n \cdot T_{\text{ck}}}{RC}$$

2. rampe descendante depuis la valeur de crête atteinte à l'étape 1, par intégration d'une tension de référence V_{ref} , de signe opposé à V_{in} , durant le temps T_1 nécessaire pour ramener la sortie de l'intégrateur à zéro, et comptage du nombre de périodes de "clock" durant ce temps:

$$T_1 = RC \cdot \frac{V_{\text{ramp,peak}}}{V_{\text{ref}}} = \frac{V_{\text{in}}}{V_{\text{ref}}} \cdot T_0 = \frac{V_{\text{in}}}{V_{\text{ref}}} \cdot 2^n \cdot T_{\text{ck}} \Rightarrow N_{\text{out}} = \text{entier}\left(\frac{T_1}{T_{\text{ck}}}\right) = \text{entier}\left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}}\right)$$

Le résultat numérique ne dépend ni de R ni de C , et n'est donc pas influencé par leur précision. En effet, les pentes montante et descendante étant toutes deux inversement proportionnelles à la même constante de temps RC , le rapport des temps de montée et de descente est indépendant de la valeur du produit RC .

Le résultat numérique ne dépend pas non plus de la fréquence d'horloge, et n'est donc pas influencé par sa précision. En effet, les deux temps T_0 et T_1 étant tous deux mesurés avec la même base de temps T_{ck} , leur rapport est indépendant de celle-ci.

Si V_{in} varie durant le temps d'intégration T_0 , le résultat de la conversion correspond à la valeur moyenne de V_{in} durant T_0 . En particulier, si la variation est purement alternative, avec une période correspondant à une fraction entière de T_0 , le résultat numérique y est insensible.

Avec quelques astuces de circuiterie, il est possible de compenser automatiquement l'offset de l'ampli op et du comparateur.

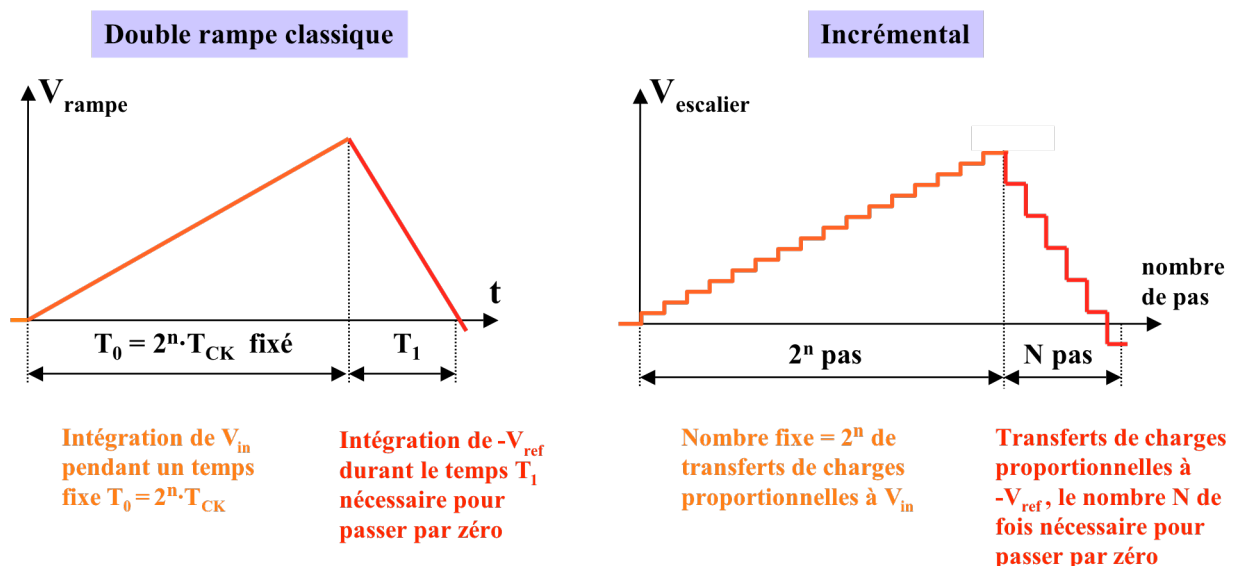
Si le compteur binaire est remplacé par un compteur BCD, le résultat est alors décimal, et peut être affiché grâce à un décodeur BCD - 7 segments. C'est le principe utilisé dans nombre de Volt-mètres à affichage numérique.

Caractéristiques:

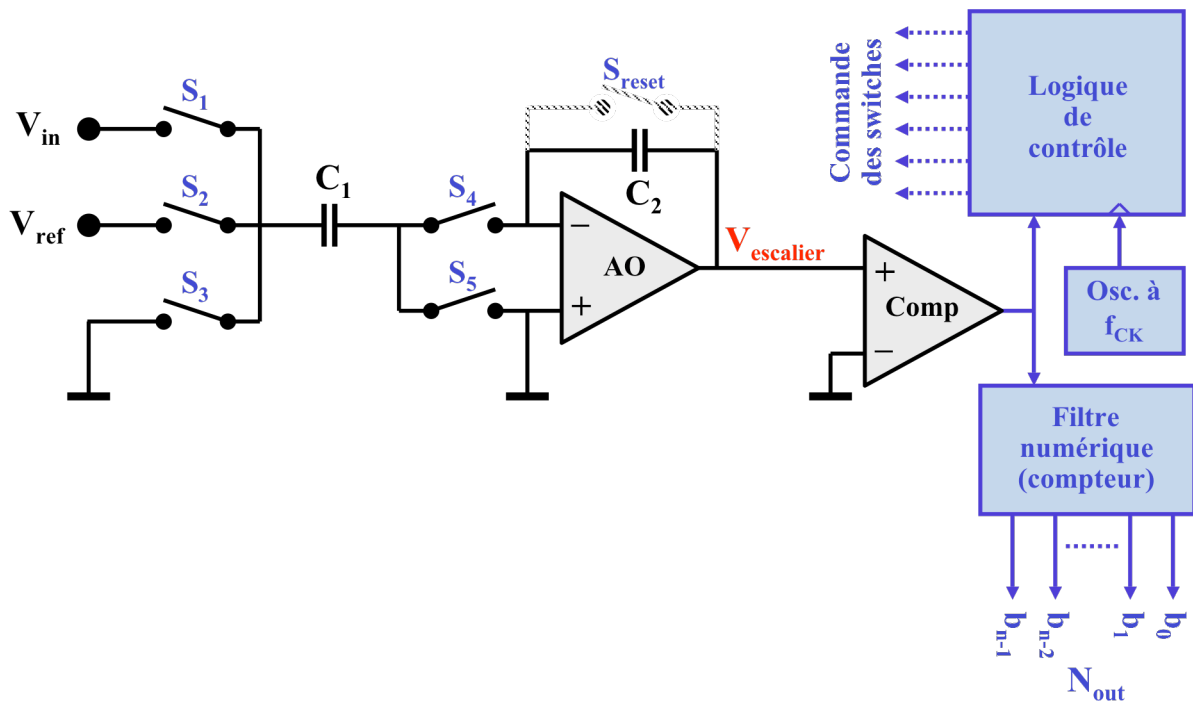
- résolution possible de 16 bits, voir plus.
- temps de conversion important, compris entre 2^n et 2^{n+1} périodes de l'horloge de base, ce qui fait que ce type de convertisseur est principalement utilisé pour la mesure de tensions continues.

3.4.2. CAN à équilibre de charge ou "incrémental"

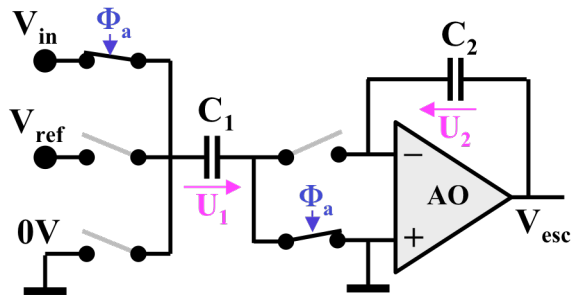
Le CAN incrémental est basé sur le principe de la double rampe, mais avec un intégrateur à capacité commutée. Celui-ci génère des escaliers, à la place de rampes, comme le montre la figure suivante:



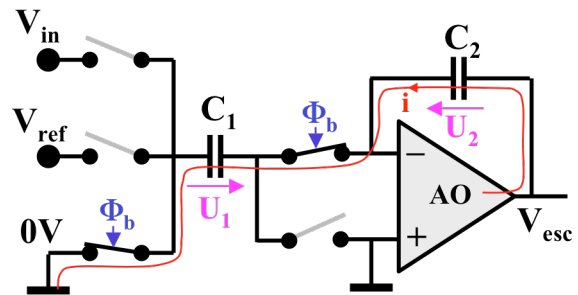
Le schéma de principe est le suivant:



Chaque cycle d'intégration de V_{in} se fait selon la procédure suivante:



Phase a



Phase b

Durant la phase a, la capacité C_1 stocke une charge $Q_1 = C_1 \cdot V_{in}$, alors que le courant à travers C_2 est nul, et que sa charge reste à la valeur atteinte à la fin du cycle précédent : $Q_2 = C_2 \cdot V_{esc(i-1)}$,

Durant la phase b, la capacité C_1 est court-circuitée, sa charge diminue de $Q_1 = C_1 \cdot V_{in}$, et, comme le même courant traverse C_1 et C_2 , la charge de C_2 augmente de la même valeur, pour atteindre $Q_2 = C_2 \cdot V_{esc(i-1)} + C_1 \cdot V_{in} = C_2 \cdot V_{esc(i)}$; on en déduit que la tension de sortie à la fin du cycle i vaut:

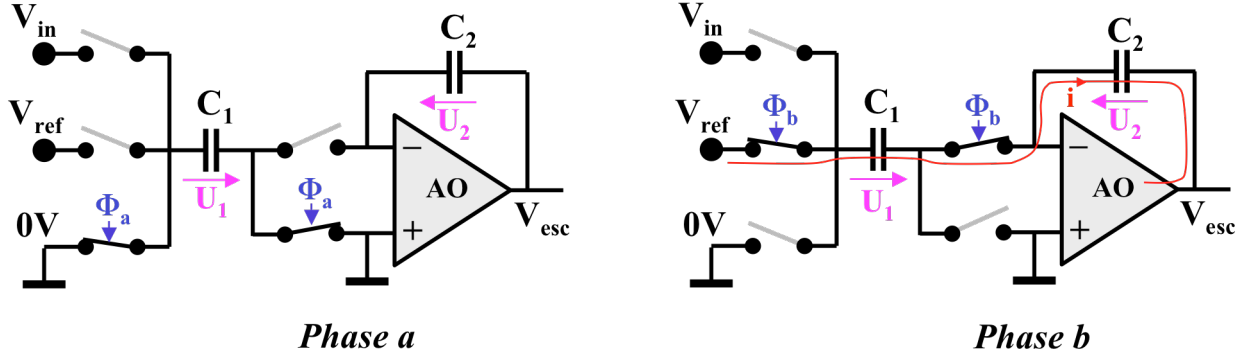
$$V_{escalier}(i) = V_{escalier}(i-1) + \frac{C_1}{C_2} \cdot V_{in}$$

Si, après une phase initiale unique de reset, durant laquelle S_{reset} est fermé, on part d'une valeur initiale nulle, après 2^n cycles, on atteint le sommet de l'escalier de valeur:

$$V_{escalier,peak} = V_{escalier}(i = 2^n) = 2^n \cdot \frac{C_1}{C_2} \cdot V_{in}$$

Dans la pratique, on a une succession de phases a-o-b-o-a-o-b-o-a-..., avec une phase intermédiaire o, durant laquelle tous les switches sont ouverts, pour assurer que la charge de C_2 n'est pas faussée par un recouvrement, même minime, des phases a et b.

Chaque cycle d'intégration de $-V_{\text{ref}}$ se fait selon la procédure suivante:



Durant la phase a, la capacité C_1 est en court-circuit, donc sa charge est nulle, le courant à travers C_2 est nul, et sa charge reste à la valeur atteinte à la fin du cycle précédent: $Q_2 = C_2 \cdot V_{\text{esc}(i-1)}$.

Durant la phase b, la capacité C_1 est chargée à $Q_1 = C_1 \cdot V_{\text{ref}}$, et, comme le même courant traverse C_1 et C_2 , la charge de C_2 diminue de la même valeur, et atteint $Q_2 = C_2 \cdot V_{\text{esc}(i-1)} - C_1 \cdot V_{\text{ref}} = C_2 \cdot V_{\text{esc}(i)}$; on en déduit que la tension de sortie à la fin du cycle i vaut:

$$V_{\text{escalier}}(i) = V_{\text{escalier}}(i-1) - \frac{C_1}{C_2} \cdot V_{\text{ref}}$$

Dans la pratique, on a une succession de phases a-o-b-o-a-o-b-o-a..., avec une phase intermédiaire o, durant laquelle tous les switches sont ouverts, pour assurer que la charge de C_2 n'est pas faussée par un recouvrement, même minime, des phases a et b.

L'escalier descendant partant du sommet atteint lors de l'intégration de V_{in} , il faudra N cycles pour qu'il passe en dessous de zéro:

$$V_{\text{escalier}}(N) = 2^n \cdot \frac{C_1}{C_2} \cdot V_{\text{in}} - N \cdot \frac{C_1}{C_2} \cdot V_{\text{ref}} \leq 0$$

$$N = 1 + \text{entier}\left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}}\right)$$

On constate que le résultat ne dépend pas du rapport C_1/C_2 , la précision de ces capacités n'a pas d'influence sur celle du CAN.

Le résultat de la conversion A/N s'obtient simplement en effectuant le comptage binaire de N . Le terme $+1$ disparaît si l'on considère que le premier pas descendant porte le numéro zéro et non un.

Toutefois, pour ce type de CAN, il n'est pas possible de procéder comme pour le convertisseur à double rampe continue, en effectuant la totalité de l'intégration de V_{in} dans une première étape, puis la totalité de l'intégration de $-V_{\text{ref}}$ dans une deuxième étape. En effet, dans le cas où V_{in} est proche de la pleine échelle V_{ref} , après les 2^n cycles d'intégration de V_{in} , V_{esc} atteindrait:

$$V_{\text{escalier,peak,max}} \approx 2^n \cdot \frac{C_1}{C_2} \cdot V_{\text{ref}}$$

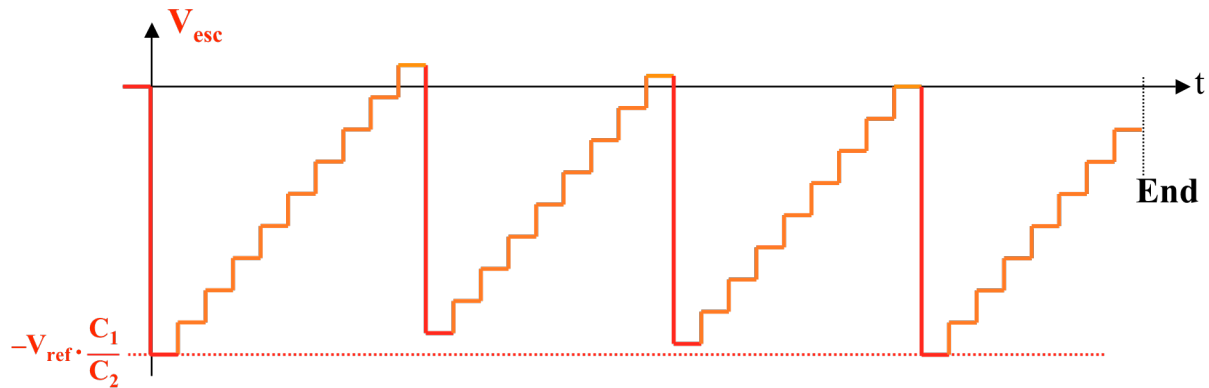
Comme en pratique, pour des raisons de bruit (injection d'horloge), de précision, et de surface de silicium, on ne peut pas travailler avec un rapport de capacités beaucoup plus petit que l'unité, $V_{\text{escalier,peak,max}}$ atteindrait une valeur considérable, totalement irréalisable pour un ampli op en technologie CMOS courante.

La solution adoptée pour limiter la valeur de V_{escalier} consiste à entrelacer les intégrations de V_{in} avec celles de $-V_{\text{ref}}$ selon l'algorithme suivant:

Initialiser $V_{\text{esc}}=0$, $\rightarrow$ boucle: Intégrer une fois $-V_{\text{ref}}$, puis intégrer V_{in} autant de fois que nécessaire pour que V_{esc} repasse au dessus de zéro, alors recommencer la boucle jusqu'à avoir fait 2^n intégrations de V_{in} .

Le résultat de la conversion est le nombre N d'intégrations de V_{ref} .

La tension V_{escalier} a alors l'allure suivante (ex: $n = 5$):



Les valeurs extrêmes de V_{escalier} sont:

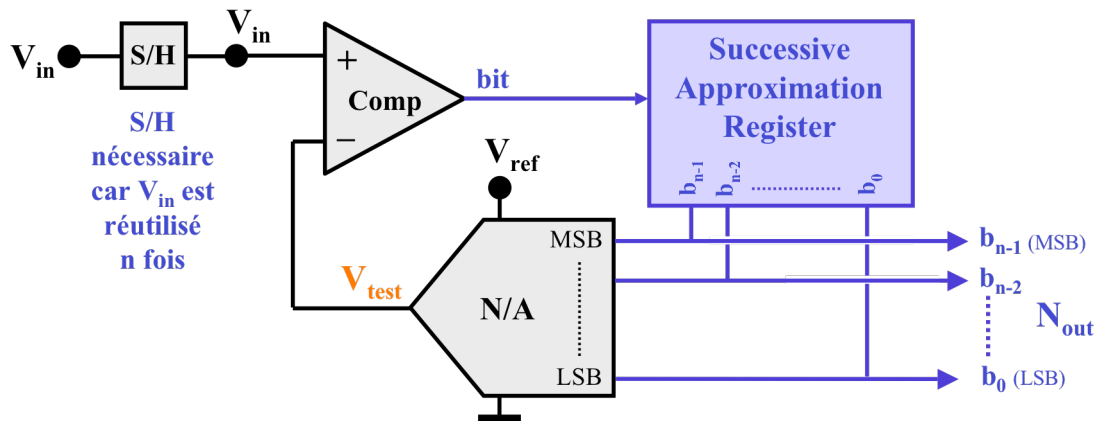
$$-V_{\text{ref}} \cdot \frac{C_1}{C_2} \leq V_{\text{escalier}} \leq V_{\text{in,max}} \cdot \frac{C_1}{C_2} = +V_{\text{ref}} \cdot \frac{C_1}{C_2}$$

- Caractéristiques:**
- temps de conversion important, compris entre 2^n et 2^{n+1} périodes de l'horloge de base, ce qui fait que ce type de convertisseur est principalement utilisé pour la mesure de tensions continues.
 - la précision dépend de l'offset du comparateur et de "l'injection d'horloge" des switches MOS. Ces deux effets peuvent toutefois être compensés par des techniques spéciales, qui ne seront pas abordées ici.
 - résolution possible jusqu'à 16 bits, en circuit intégré, ceci sans ajustage.

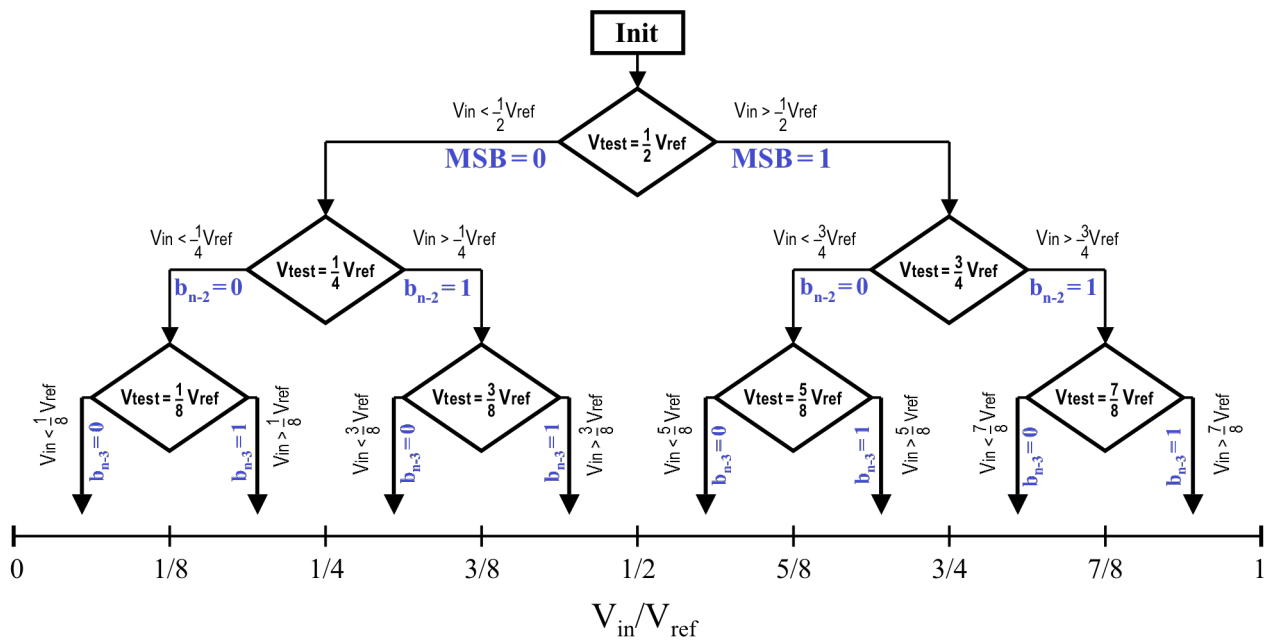
3.5. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES

3.5.1. Principe général

Les convertisseurs A/N à approximations successives sont des systèmes bouclés construits autour d'une logique générant une valeur numérique, d'un CNA convertissant celle-ci en une tension dite de test, et d'un comparateur de cette tension avec celle d'entrée. Le schéma de principe est le suivant:



L'algorithme de génération des valeurs de tests successives est le suivant:



A chaque étape, on réduit de moitié la plage où se situe V_{in} , déterminant donc la valeur d'un bit, en commençant par celui de poids le plus fort. Tous les bits sont déterminés, et la conversion est donc terminée, après n étapes.

La conversion nécessitant la comparaison de V_{in} avec n valeurs successives de V_{test} dans l'intervalle de temps t_{conv} , il est indispensable que la tension d'entrée reste constante sur cette durée. D'où la nécessité d'un Sample-and-Hold à l'entrée d'un tel CAN.

On teste ensuite le bit de poids immédiatement inférieur en descendant d'un étage le 1 dans le registre à décalage, et en répétant les processus de comparaison et de décision.

Après n étapes, le registre de décision contient le résultat de la conversion.

Si le CNA générant la valeur analogique de test a la caractéristique de transfert classique:

$$V_{\text{test}} = \frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

le résultat de la conversion A/N est:

$$N_{\text{out}} = \sum_{i=0}^{n-1} b_i \cdot 2^i = \text{entier} \left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}} \right)$$

Pour abaisser les seuils de comparaisons d'un demi-pas de quantification, et compte tenu que la valeur de test $N = 0$ n'est jamais générée, on peut modifier légèrement le CNA pour qu'il donne:

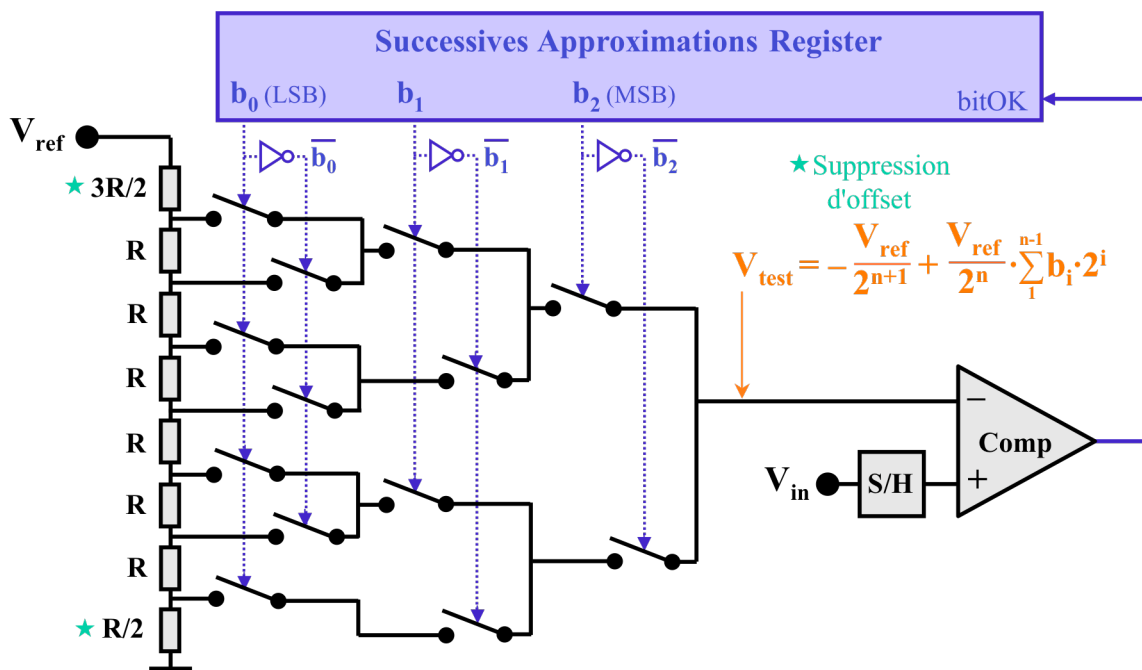
$$V_{\text{test}} = -\frac{V_{\text{ref}}}{2^{n+1}} + \frac{V_{\text{ref}}}{2^n} \cdot \sum_{i=1}^{n-1} b_i \cdot 2^i$$

Le résultat de la conversion A/N sera alors sans offset:

$$N_{\text{out}} = \sum_{i=0}^{n-1} b_i \cdot 2^i = \text{arrondi} \left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}} \right)$$

3.5.2. CAN à approximation successives à base d'un CNA potentiométrique

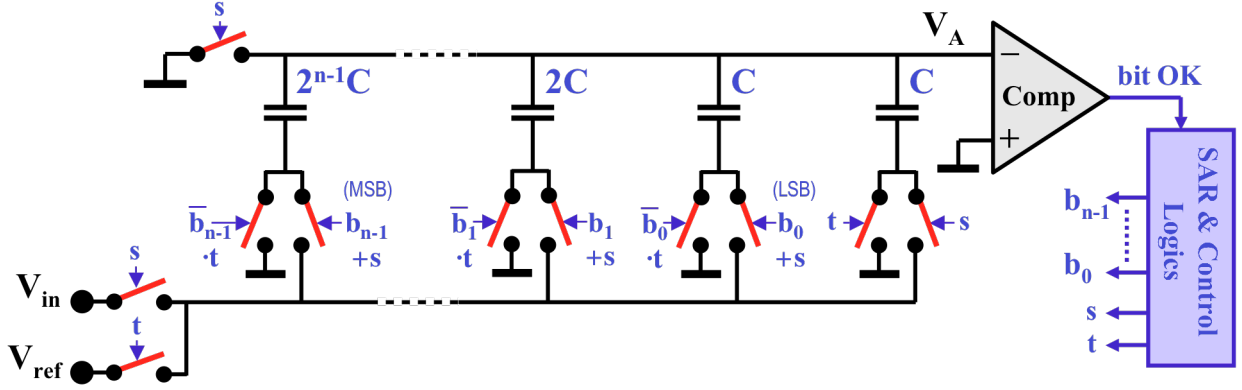
Le schéma de principe est le suivant (exemple à 3 bits):



La modification des résistances terminales du diviseur de tension permet la suppression de l'offset.

3.5.3. CAN à approximation successives à capacités pondérées

Ce CAN utilise, dans sa boucle de réaction, le CNA à capacités pondérées et redistribution passive de charge étudié en 2.2.1. Le schéma de principe est le suivant:



Première étape: échantillonnage de V_{in} , en mettant $s = 1$, $t = 0$. Toutes les capacités sont chargées à V_{in} . La charge totale vaut:

$$Q_{tot} = -V_{in} \cdot (2^{n-1} \cdot C + 2^{n-2} \cdot C + \dots + 2 \cdot C + C + C) = -V_{in} \cdot 2^n \cdot C$$

Etape intermédiaire: $s = 0$ et $t = 0$ pour s'assurer qu'il n'y a pas de recouvrement entre l'étape précédente d'échantillonnage et la suivante de test. A partir de cet instant, la somme de tous les courants à travers les capacités est nulle, donc la charge totale reste constante.

Etape de test: $s = 0$, $t = 1$ et tous les b_i bougent selon les n cycles successifs de comparaison de V_{in} avec V_{test} . En effet, durant cette étape, la charge totale reste constante, et donc:

$$(V_A - V_{ref}) \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i \cdot C + V_A \cdot \sum_{i=0}^{n-1} \bar{b}_i \cdot 2^i \cdot C = Q_{tot} = -V_{in} \cdot 2^n \cdot C$$

$$(V_A - V_{ref}) \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i \cdot C + V_A \cdot (2^n \cdot C - \sum_{i=0}^{n-1} \bar{b}_i \cdot 2^i \cdot C) = -V_{in} \cdot 2^n \cdot C$$

$$V_A = -V_{in} + \frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i = -(V_{in} - V_{test})$$

La sortie du comparateur est haute lorsque $V_{in} > V_{test}$

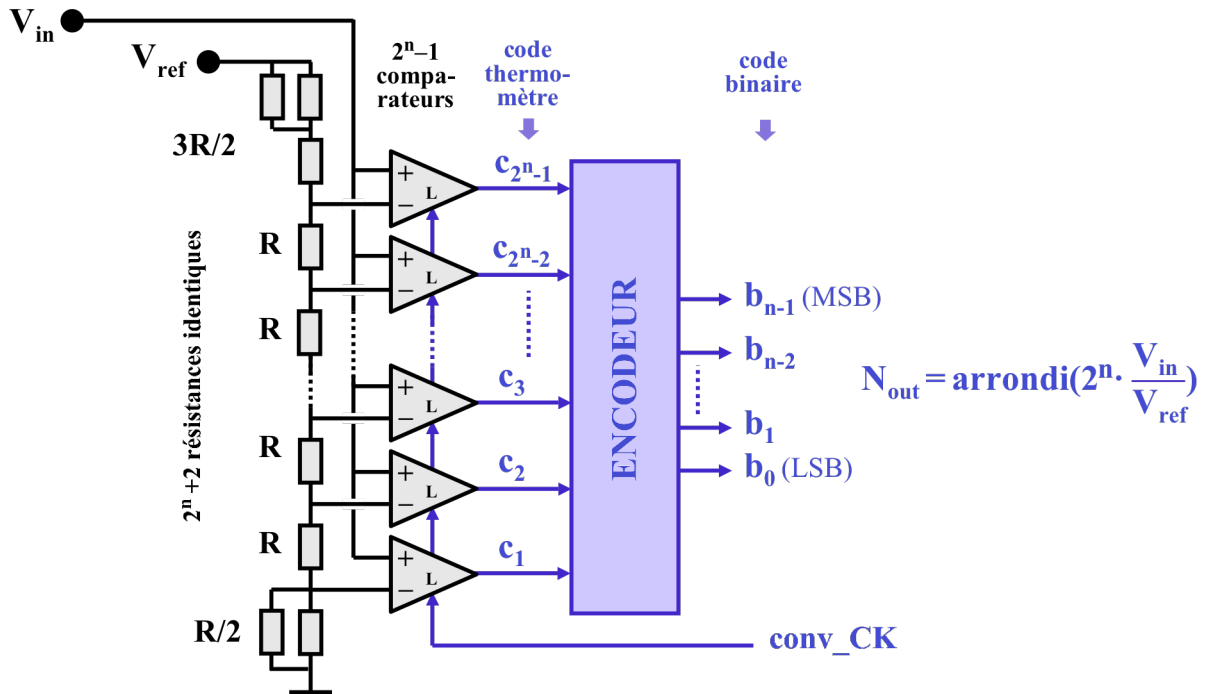
Caractéristiques:

- CAN bien adapté à une réalisation intégrée CMOS
- résolution typiquement jusqu'à 10 bits, limitée essentiellement par la précision du rapport extrême des capacités.
- le Sample-Hold fait partie du circuit de base

3.6. CONVERTISSEURS A/N "FLASH"

3.6.1. CAN "Flash"

Le schéma de principe est le suivant:



Les comparateurs sont du type "Latched", c'est à dire que la valeur binaire de sortie s'établit au front montant de l'horloge $conv_CK$ et n'est valable que durant $conv_CK = 1$.

La modification des terminaisons du diviseur résistif permet d'éliminer l'offset.

Exemple de résultat pour un CAN "flash" à 3 bits:

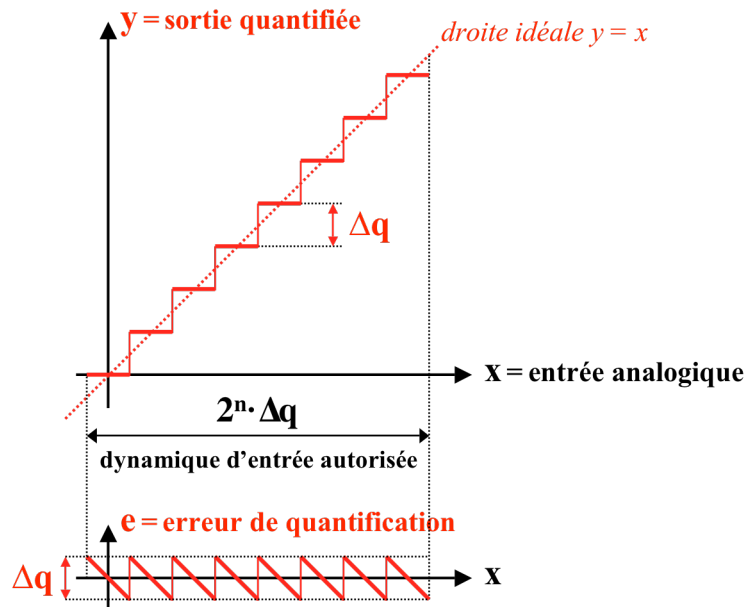
	V_{in}											
	V_{ref}											
$3R/2$	$7/8 V_{ref}$	1	1	1	1	1	1	1	1	1	1	7
R	$6/8 V_{ref}$	1	1	1	1	1	1	0	1	1	0	6
R	$5/8 V_{ref}$	1	1	1	1	1	0	0	1	0	1	5
R	$4/8 V_{ref}$	1	1	1	1	0	0	0	1	0	0	4
R	$3/8 V_{ref}$	1	1	1	0	0	0	0	0	1	1	3
R	$2/8 V_{ref}$	1	1	0	0	0	0	0	0	1	0	2
R	$1/8 V_{ref}$	1	0	0	0	0	0	0	0	0	1	1
$R/2$	0	0	0	0	0	0	0	0	0	0	0	0
		c_1	c_2	c_3	c_4	c_5	c_6	c_7	b_2	b_1	b_0	N_{out}
									MSB		LSB	

- Caractéristiques:**
- CAN le plus rapide, le temps de conversion est la somme du temps de réaction d'un comparateur et d'une logique combinatoire (plus éventuellement un registre). La conversion s'effectue en un seul cycle.
 - résolution typique limitée à 8 bits, essentiellement par le nombre de composants et leur dissipation.
 - la capacité d'entrée est élevée
 - l'ajout d'un Sample & Hold rapide à l'entrée réduit fortement l'"erreur d'ouverture"

3.7. CONVERTISSEURS A/N SIGMA-DELTA (Σ - Δ)

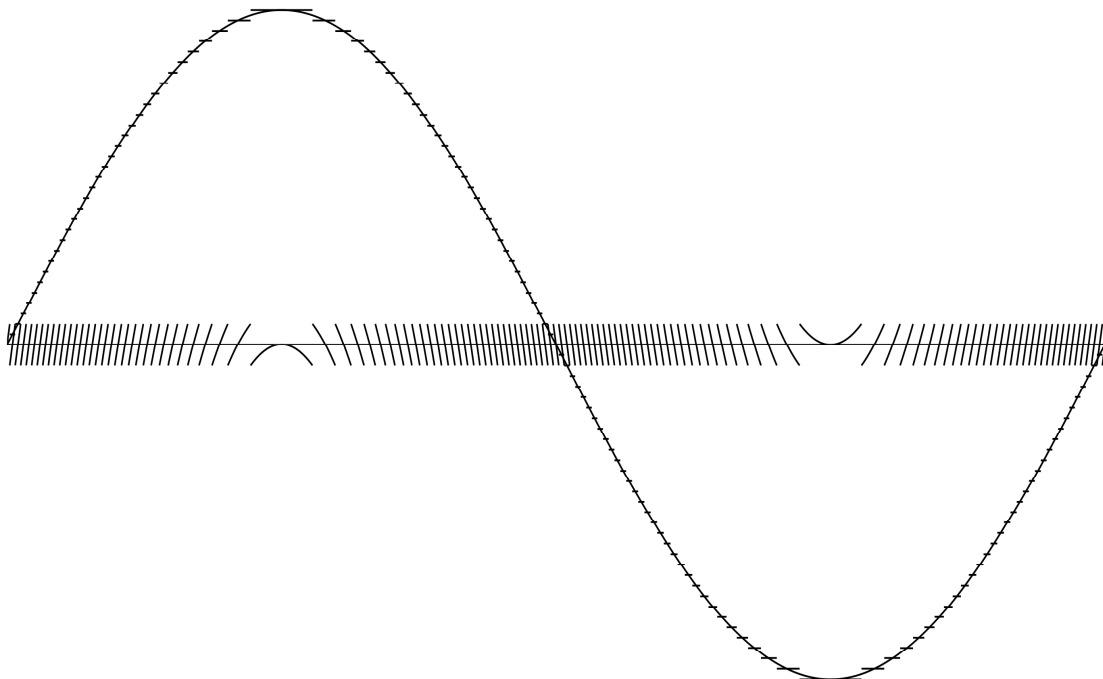
3.7.1. Quantification et rapport signal/bruit

La quantification, même parfaite, est une opération qui introduit une erreur comprise entre $-\frac{1}{2}$ et $+\frac{1}{2}$ pas de quantification Δq , comme le montre la figure ci-dessous.



Le signal $e(t)$ est entièrement déterminé par celui d'entrée $x(t)$ et la résolution, donc le nombre n de bits, de la quantification.

Avec un signal sinus de pleine échelle, le signal d'erreur a une allure qui s'approche d'autant plus d'un signal triangulaire que la résolution est élevée. Un exemple à 6 bits, avec l'erreur amplifiée d'un facteur 4 pour plus de visibilité, est donné à la figure ci-dessous.



En admettant que tous les niveaux entre $-\Delta q/2$ et $+\Delta q/2$ sont équiprobables, la densité de probabilité est:

$$\text{prob}(y) = \frac{1}{\Delta q}$$

Son carré moyen, qui est proportionnel à la puissance, vaut:

$$e_{\text{RMS}}^2 = \int_{-\Delta q/2}^{+\Delta q/2} y^2 \cdot \text{prob}(y) \cdot dy = \frac{\Delta q^2}{12}$$

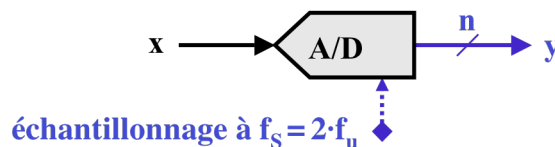
Après échantillonnage à la fréquence f_s le système a une bande passante utile f_u égale à $f_{\text{Nyquist}} = f_s/2$. En admettant que, une fois échantillonné, ce signal d'erreur a une densité spectrale de puissance uniformément répartie de zéro à $f_s/2$, elle vaut:

$$S_e(f) = \frac{e_{\text{RMS}}^2}{\frac{f_s}{2}} = \frac{\Delta q^2}{12} \cdot \frac{2}{f_s}$$

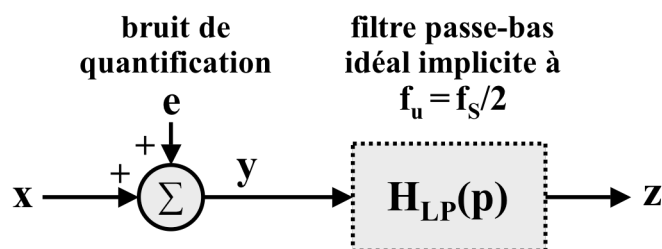
Le rapport signal/bruit est donné par:

$$\text{SNR}_{\text{dB}} = 20 \cdot \log\left(\frac{x_{\text{RMS}}}{e_{\text{RMS}}}\right) = 10 \cdot \log\left(\frac{x_{\text{RMS}}^2}{e_{\text{RMS}}^2}\right) = 10 \cdot \log\left(\frac{\left(\frac{2^{n-1} \cdot \Delta q}{\sqrt{2}}\right)^2}{\frac{\Delta q^2}{12}}\right) = 10 \cdot \log(2^n \cdot 1.5) = 6.02 \cdot n + 1.76 \quad [\text{dB}]$$

Soit un CNA idéal à n bits avec une fréquence de conversion f_s , appelé "Nyquist Rate Converter":



Il peut être modélisé par le circuit linéaire suivant:



Pour un signal sinus de pleine échelle, le rapport signal/bruit vaut:

$$\text{SNR}_{\text{dB}} = 6.02 \cdot n + 1.76$$

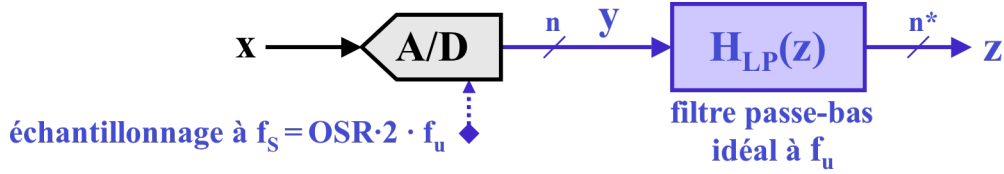
Inversement, un système d'échantillonnage et quantification, avec un rapport signal/bruit en sortie donné, aura une résolution correspondant à un nombre équivalent de bits enob, valant:

$$\text{enob} = \frac{\text{SNR}_{\text{dB}} - 1.76}{6.02}$$

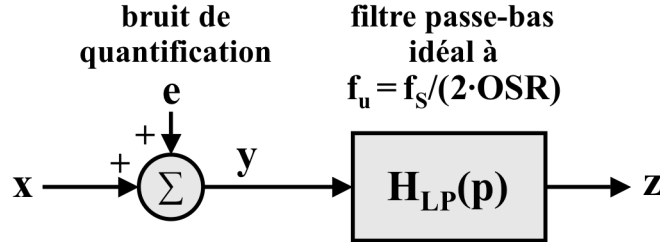
3.7.2. Suréchantillonnage (Oversampling)

Avec un convertisseur A/N "Nyquist Rate", donc avec une bande passante utile égale à la bande de Nyquist, si l'on augmente la fréquence d'échantillonnage, on augmente dans la même proportion la bande passante utile et le rapport signal/bruit est inchangé.

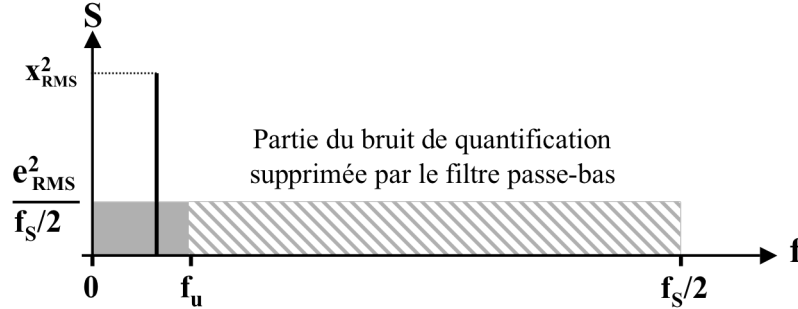
Par contre, dans un convertisseur A/N dit suréchantillonné, on augmente la fréquence d'échantillonnage d'un facteur OSR (pour OverSampling Rate), tout en maintenant constante la bande passante utile par un filtrage passe bas du signal numérique, selon le schéma suivant:



Le modèle linéaire est le suivant:



Les spectres du signal sinus et du bruit à la sortie sont les suivants:



Le signal étant dans la bande utile, il se retrouve sans atténuation à la sortie z .

Pour le bruit de quantification, dont la puissance totale est répartie uniformément de 0 à $f_s/2$, seule la fraction de celle-ci comprise entre 0 et f_u parvient à la sortie z . On en déduit donc:

$$e_z^2 = f_u \cdot \frac{e_{\text{RMS}}^2}{f_s/2} = e_{\text{RMS}}^2 \cdot \frac{2 \cdot f_u}{f_s} = \frac{e_{\text{RMS}}^2}{\text{OSR}}$$

Le rapport signal/bruit à la sortie z vaut:

$$\text{SNR}_{\text{dB}} = 6.02 \cdot n + 1.76 + 10 \cdot \log(\text{OSR})$$

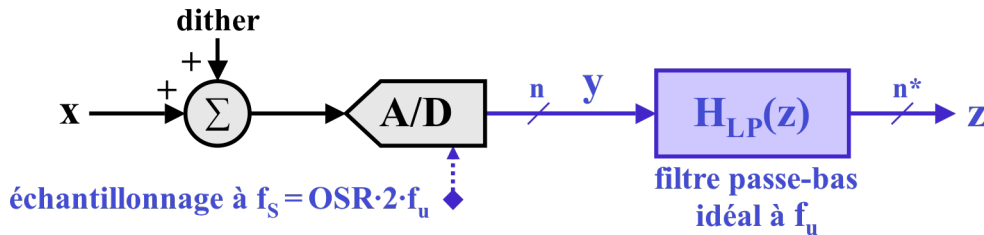
La sortie numérique z peut donc atteindre une résolution n^* donnée par:

$$n^* = \frac{\text{SNR}_{\text{dB}} - 1.76}{6.02} = n + \frac{10 \cdot \log(\text{OSR})}{6.02}$$

En d'autre termes, on gagne 1 bit de résolution chaque fois qu'on multiplie la fréquence d'échantillonnage par 4.

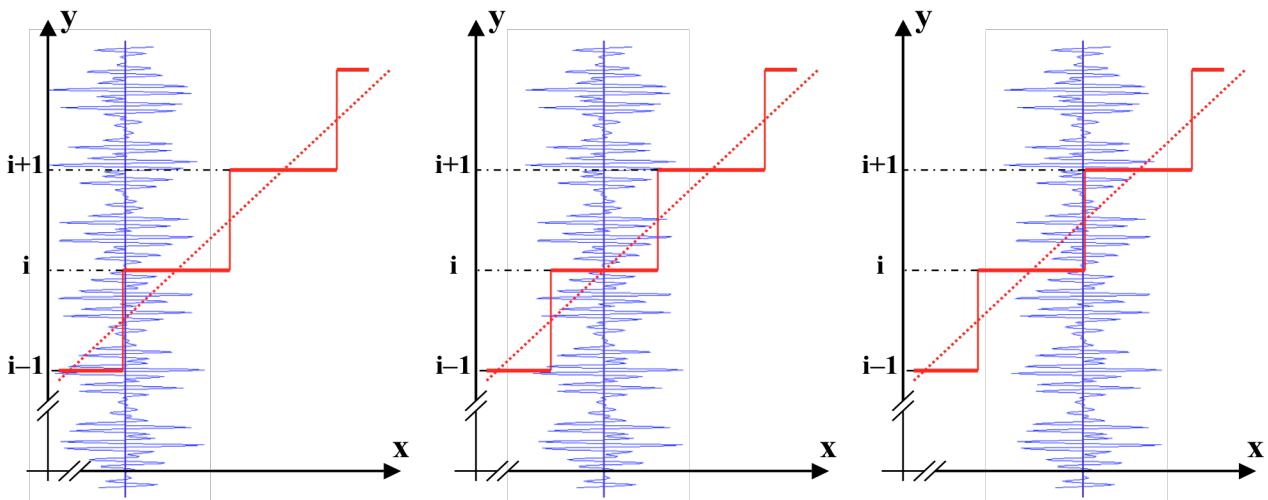
Ce résultat n'est vrai que si la valeur instantanée de bruit contenu dans chaque échantillon quantifié est équiprobable entre $-\Delta q/2$ et $+\Delta q/2$ et si le spectre de ce bruit est uniforme de 0 et $f_s/2$. Or ceci est d'autant moins vérifié que le nombre de bits du CAN est bas, ce qui est justement le but ultime des convertisseurs suréchantillonnés. Cette assertion est également fausse, quelle que soit la résolution, si l'entrée est constante. En effet, dans ce cas l'erreur est aussi constante et se retrouve à l'identique à la sortie du filtre passe bas. Il n'est alors pas possible d'affiner le résultat z en faisant la moyenne de plusieurs valeurs successives de y .

Pour garantir une densité spectrale uniforme du bruit de quantification, on ajoute au signal utile $x(t)$ un signal de dithering (tremblement) avant quantification selon le schéma suivant:



Ce "dither" peut être un triangle, un sinus ou un bruit gaussien (mais pas un carré). Il doit être symétrique en positif et négatif, donc avoir une valeur moyenne nulle, une amplitude supérieure au pas de quantification, mais ne saturant pas le quantificateur, son spectre doit être hors de la bande utile, il ne doit pas être corrélé avec l'échantillonnage.

La figure ci-dessous illustre le cas d'un signal $x(t) = \text{cst}$ avec une "dither" de type bruit gaussien, pour trois valeurs de x , qui, sans dithering, donnent toutes $y = i$.



Si l'on dresse une statistique sur un grand nombre d'échantillons numériques, on obtient:

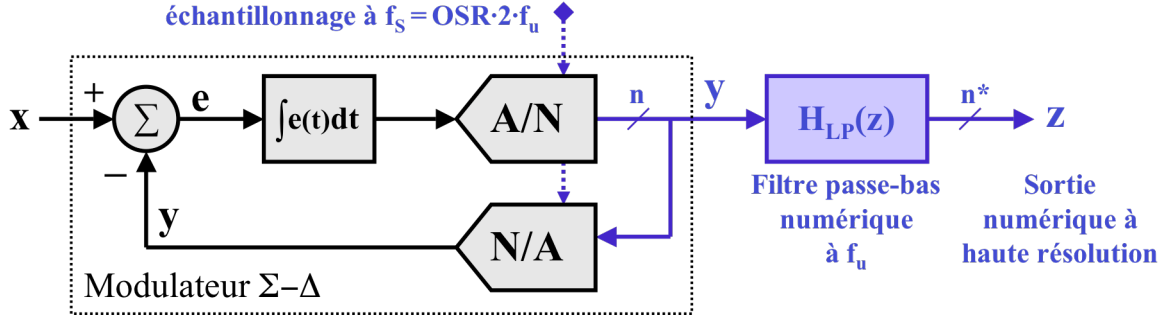
- à gauche: quasiment la moitié des échantillons donnent $y = i-1$, l'autre moitié $y = i$; la moyenne vaut $i-0.5$
- au centre: une grosse majorité d'échantillons donnent $y = i$, les autres donnent $y = i-1$ ou $y = i+1$, en nombre égal; la moyenne vaut i
- à droite: quasiment la moitié des échantillons donnent $y = i+1$, l'autre moitié $y = i$; la moyenne vaut $i+0.5$

Le simple suréchantillonnage permet donc d'augmenter la résolution d'un CNA, mais dans des proportions limitées, la fréquence d'échantillonnage devenant rapidement excessive pour la technologie des circuits intégrés CMOS mixtes. De plus, il faut générer le signal de dithering.

3.7.3. Suréchantillonnage (Oversampling) et "Noise Shaping" Modulation Sigma-Delta et conversion A/N Sigma-Delta

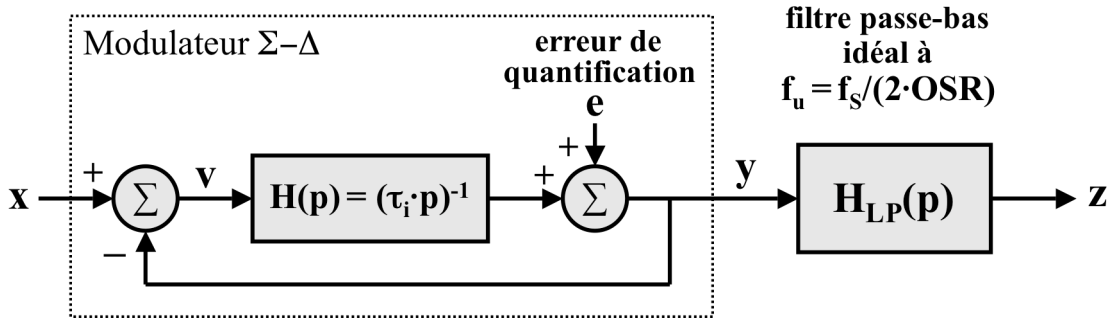
Pour obtenir une meilleure amélioration du rapport signal/sur bruit, et donc une plus forte augmentation de la résolution, il faut combiner le suréchantillonnage avec le "Noise Shaping". Cette dernière technique permet de modifier la densité spectrale du bruit de quantification pour l'atténuer en basse fréquence. Le bruit dans les hautes fréquences étant éliminé par le filtre passe-bas, le bruit résiduel est ainsi diminué plus efficacement.

Pour rester simple, seul le modulateur $\Sigma-\Delta$ de 1^{er} ordre sera analysé ici. Le schéma de principe de celui-ci est le suivant:



Le modulateur $\Sigma-\Delta$ est la partie entourée d'un pointillé. C'est un système bouclé, avec une intégrale dans la boucle, donc l'erreur e moyenne est nulle, et donc la moyenne du signal numérique y suréchantillonné, converti en analogique par le CNA de réaction, est égal au signal analogique x . Le filtre numérique passe-bas calculant cette moyenne, le signal numérique z est égal au signal analogique x . Le signal de dithering est automatiquement généré par la réinjection dans la boucle de l'erreur de quantification et son intégration.

Le modèle linéaire du CAN $\Sigma-\Delta$ de 1^{er} ordre est le suivant:



Le modulateur $\Sigma-\Delta$ est caractérisé par l'équation suivante.

$$y = e + H(p) \cdot v = e + H(p) \cdot (x - y)$$

La fonction de transfert du modulateur $\Sigma-\Delta$ pour le signal est:

$$\frac{y}{x} = \frac{H(p)}{1 + H(p)} = \frac{1}{1 + \tau_i \cdot p} = \frac{1}{1 + p/\omega_i}$$

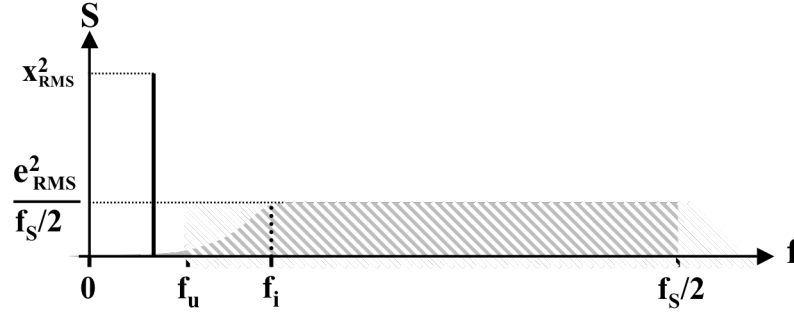
C'est la fonction de transfert d'un filtre passe-bas, avec une fréquence de coupure à $f_i = 1/2\pi\tau_i$. Si $f_i > f_u$, le signal utile x est transmis sans atténuation.

La fonction de transfert du modulateur $\Sigma\text{-}\Delta$ pour le bruit de quantification est:

$$\frac{y}{e} = \frac{1}{1+H(p)} = \frac{\tau_i \cdot p}{1 + \tau_i \cdot p} = \frac{p/\omega_i}{1 + p/\omega_i}$$

C'est la fonction de transfert d'un filtre passe-haut, avec une fréquence de coupure à $f_i = 1/2\pi\tau_i$. La densité spectrale du bruit subit une mise en forme (shapping) avec une atténuation en base fréquence, en particulier dans la bande utile du signal.

Les spectres du signal sinus (en noir) et du bruit en gris) à la sortie du modulateur sont les suivants:



Après le filtre passe-bas numérique, la majorité du bruit, correspondant à la surface hachurée dans la figure ci-dessus, est éliminée. La puissance du bruit résiduel à la sortie d'un CAN $\Sigma\text{-}\Delta$ de 1^{er} ordre est (réf.: Data Converter, Franco Maloberti, 2008 Springer):

$$e_z^2 = e_{RMS}^2 \cdot \frac{\pi^2}{3} \cdot \frac{1}{OSR^3}$$

Le rapport signal sur bruit à la sortie d'un CAN $\Sigma\text{-}\Delta$ de 1^{er} ordre vaut:

$$SNR_{dB} = 6.02 \cdot n + 1.76 - 5.17 + 30 \cdot \log(OSR)$$

La résolution n^* d'un CAN $\Sigma\text{-}\Delta$ de 1^{er} ordre est donnée par:

$$n^* = \frac{SNR_{dB} - 1.76}{6.02} = n - 0.85 + \frac{30 \cdot \log(OSR)}{6.02}$$

En d'autre termes, chaque fois qu'on multiplie la fréquence d'échantillonnage par 1.6, on gagne 1 bit de résolution.

On peut faire encore mieux en remplaçant le simple intégrateur par un circuit plus complexe réalisant plusieurs intégrales, ce qui équivaut à autant de pôles en $p=0$ dans la fonction de transfert $H(p)$, et correspond aussi à l'ordre du modulateur $\Sigma\text{-}\Delta$.

Pour un modulateur $\Sigma\text{-}\Delta$ d'ordre L , la puissance du bruit à la sortie est donnée par (réf.: Data Converter, Franco Maloberti, 2008 Springer):

$$e_z^2 = e_{RMS}^2 \cdot \frac{\pi^{2 \cdot L}}{2 \cdot L + 1} \cdot \frac{1}{OSR^{2 \cdot L + 1}}$$

Le rapport signal sur bruit à la sortie d'un CAN $\Sigma\text{-}\Delta$ d'ordre L vaut:

$$SNR_{dB} = 6.02 \cdot n + 1.76 - 10 \cdot \log\left(\frac{\pi^{2 \cdot L}}{2 \cdot L + 1}\right) + (2 \cdot L + 1) \cdot 10 \cdot \log(OSR)$$

La résolution n^* d'un CAN Σ - Δ d'ordre L est donnée par:

$$n^* = \frac{\text{SNR}_{\text{dB}} - 1.76}{6.02} = n - \frac{10 \cdot \log\left(\frac{\pi^{2 \cdot L}}{2 \cdot L + 1}\right)}{6.02} + \frac{(2 \cdot L + 1) \cdot 10 \cdot \log(\text{OSR})}{6.02}$$

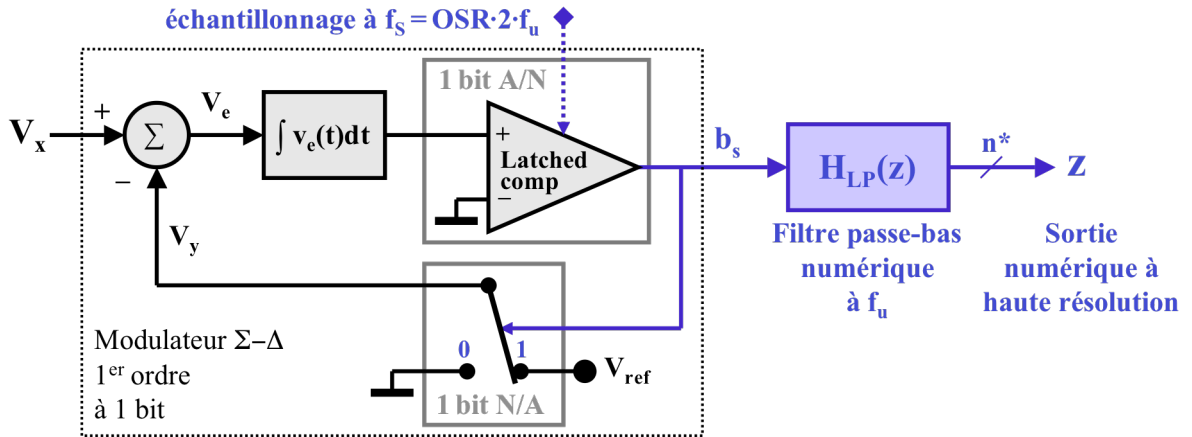
La principale difficulté dans la conception des modulateurs Σ - Δ d'ordre supérieur à 1 est d'en garantir la stabilité.

3.7.4. Modulateur et convertisseur A/N Σ - Δ à 1 bit interne

La précision d'un système à réaction négative est directement liée à celle des éléments de réaction, le CNA interne dans le cas du convertisseur A/N Δ - Σ . Même si ce CNA a une résolution réduite, sa précision, et en particulier sa linéarité, doit être du même degré que la résolution élevée finale. Ceci représente une contrainte très difficile à respecter. C'est le principal défaut de cette architecture, dite "multi-bit".

Toutefois, ce défaut disparaît si la résolution du CNA interne est réduite à un seul bit, car ce CNA ne comportant alors que deux niveaux quantifiés, il est, par principe, parfaitement linéaire. Bien que nécessitant un taux de suréchantillonnage plus élevé, cette solution est souvent adoptée, à cause de cet avantage de linéarité, ainsi que pour la simplicité du modulateur.

Le schéma de principe d'un convertisseur A/N Δ - Σ du 1^{er} ordre à 1 bit interne est le suivant:



Le rapport signal sur bruit à la sortie d'un CAN Σ - Δ de 1^{er} ordre à 1 bit interne vaut:

$$\text{SNR}_{\text{dB}} = 2.61 + 30 \cdot \log(\text{OSR})$$

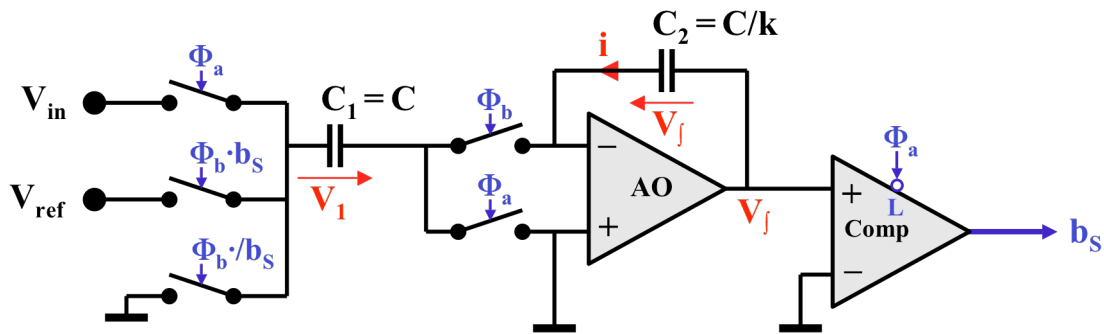
La résolution n^* d'un CAN Σ - Δ de 1^{er} ordre à 1 bit interne est donnée par:

$$n^* = 0.15 + \frac{30 \cdot \log(\text{OSR})}{6.02}$$

La sortie numérique du modulateur est un "bitstream" avec un débit de f_s bits par seconde.

3.7.5. Modulateur Σ - Δ du 1^{er} ordre à un bit interne à capacités commutées

Le schéma de principe d'un tel modulateur est le suivant:



Chaque période à f_s est décomposée en deux phases a et b, non recouvrantes, c'est à dire avec un bref temps mort au passage de a à b, ou de b à a, durant lequel tous les switches sont ouverts.

Phase a: $V_1 = V_{in} \Rightarrow Q_1 = C \cdot V_{in}$

$i = 0 \Rightarrow Q_2$ et V_f inchangés, à la valeur acquise à la période précédente

$V_f > 0 \Rightarrow b_s = 1$

$V_f < 0 \Rightarrow b_s = 0$

le bit b_s est mémorisé (Latched) au front descendant de Φ_a

Phase b: $b_s = \text{valeur stockée à la fin de la phase a}$ $V_1 = b_s \cdot V_{ref} \Rightarrow Q_1 = C \cdot b_s \cdot V_{ref}$

$\Delta Q_3 = -\Delta Q_1 = -C \cdot (b_s \cdot V_{ref} - V_{in}) \Rightarrow V_f = V_{f, \text{précédent}} + k \cdot (V_{in} - b_s \cdot V_{ref})$

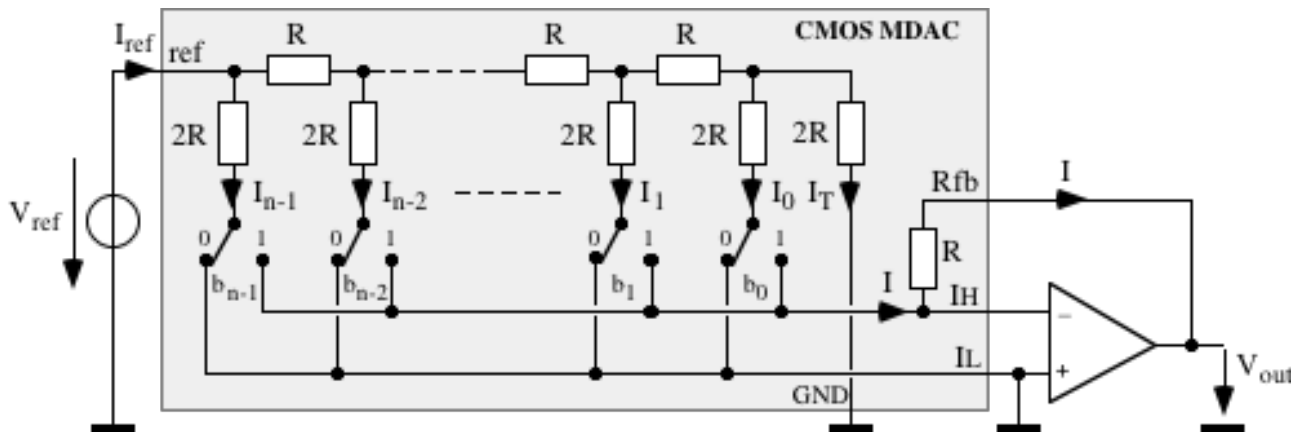
3.7.6. Commentaire

Les convertisseurs A/N Σ - Δ sont le plus souvent caractérisés en termes de rapport signal/bruit et de bande passante. En effet, la valeur numérique qui en sort à un instant donné ne peut être associée à un échantillon précis dans le temps, le filtre numérique passe-bas se comportant comme une fenêtre de moyennage qui glisse sur la suite des valeurs à basse résolution et haut débit qui sortent du modulateur.

Circuits et Systèmes Electroniques . Exercice

CMOS R-2R Multiplying n-bit DAC.

1. CNA unipolaire :

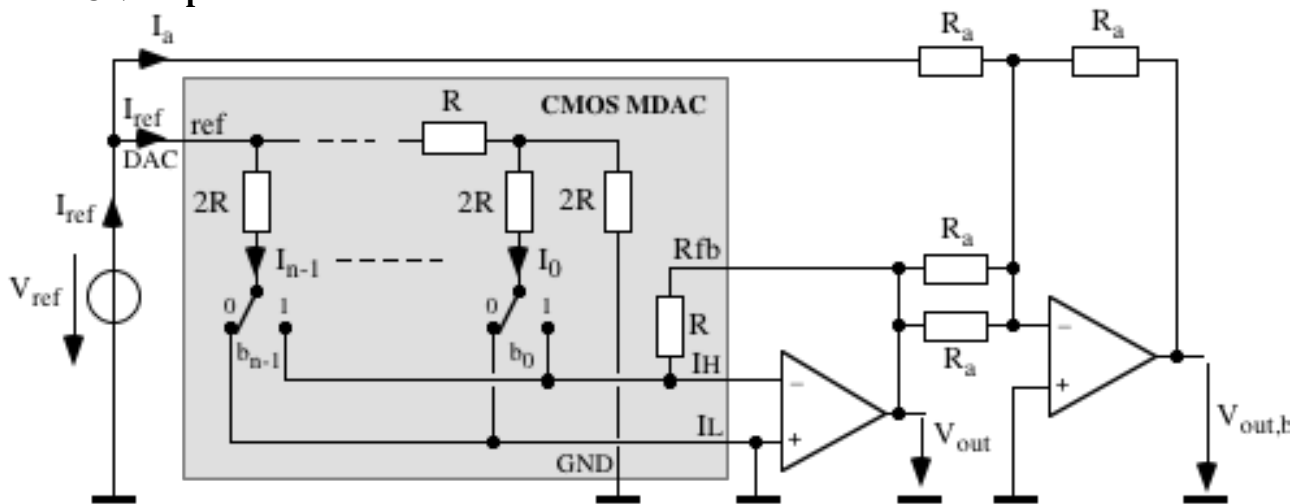


Etablir la relation liant V_{out} à V_{ref} et au code binaire ($b_{n-1}, \dots, b_1, b_0$).

Que vaut I_{ref} ?

Quelle doit être la précision relative des résistances du réseau pour garantir la monotonicité du CNA ?

2. CNA bipolaire :



Etablir la relation liant $V_{out,b}$ à V_{ref} et au code binaire ($b_{n-1}, \dots, b_1, b_0$).

Pour quel code binaire $V_{out,b}$ vaut exactement 0 V ?

Que vaut I_{ref} ?

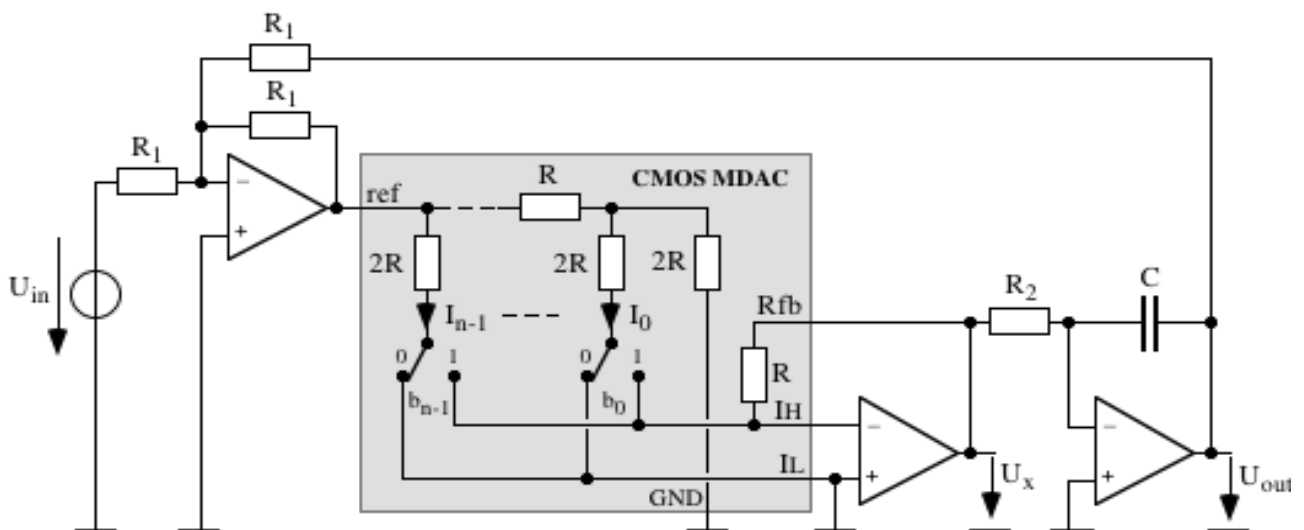
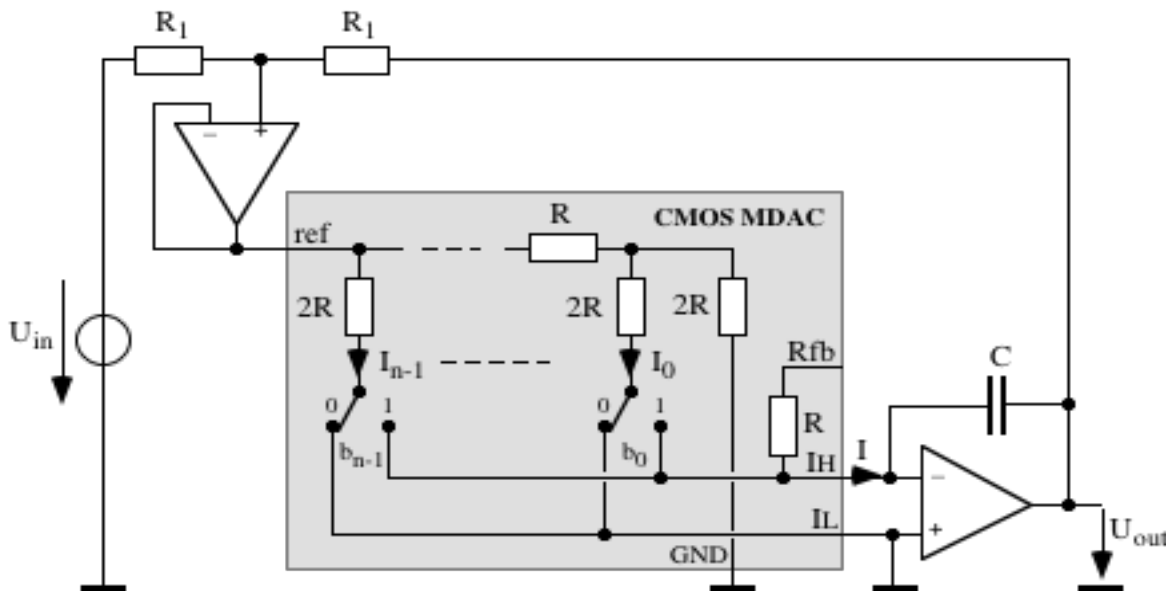
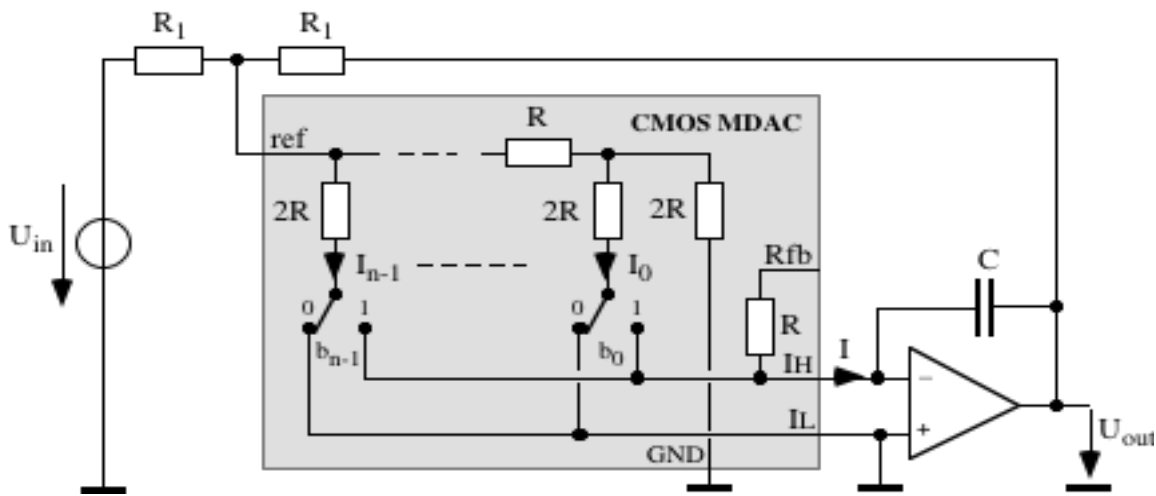
3. Filtrés analogiques programmables numériquement.

Pour les trois circuits ci-après:

Etablir la fonction de transfert U_{out}/U_{in} et montrer qu'il s'agit d'un filtre passe-bas du 1^{er} ordre.

Etablir la relation liant la fréquence de coupure au code binaire ($b_{n-1}, \dots, b_1, b_0$).

Discuter des avantages et inconvénients relatifs des trois circuits.



1. CNA R-2R unipolaire

$$V_{\text{out}} = -R \cdot I = -R \cdot \sum_0^{n-1} b_i I_i = -R \cdot \left(b_{n-1} \frac{V_{\text{ref}}}{2R} + b_{n-2} \frac{1}{2} \frac{V_{\text{ref}}}{2R} + \dots + b_1 \frac{1}{2^{n-2}} \frac{V_{\text{ref}}}{2R} + b_0 \frac{1}{2^{n-1}} \frac{V_{\text{ref}}}{2R} \right)$$

$$V_{\text{out}} = -R \cdot \frac{V_{\text{ref}}}{R} \left(b_{n-1} \frac{1}{2} + b_{n-2} \frac{1}{4} + \dots + b_1 \frac{1}{2^{n-1}} + b_0 \frac{1}{2^n} \right)$$

$$V_{\text{out}} = -\frac{V_{\text{ref}}}{2^n} \cdot (b_{n-1} 2^{n-1} + b_{n-2} 2^{n-2} + \dots + b_1 2^1 + b_0 2^0) = -\frac{V_{\text{ref}}}{2^n} \cdot \sum_0^{n-1} b_i \cdot 2^i$$

$$I_{\text{ref}} = I_{n-1} + I_{n-2} + \dots + I_1 + I_0 + I_T = \frac{V_{\text{ref}}}{2R} \left(1 + \frac{1}{2} + \dots + \frac{1}{2^{n-2}} + \frac{1}{2^{n-1}} + \frac{1}{2^{n-1}} \right)$$

$$I_{\text{ref}} = \frac{V_{\text{ref}}}{R} \left(\frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^{n-1}} + \frac{1}{2^n} + \frac{1}{2^n} \right) = \frac{V_{\text{ref}}}{R}$$

Le cas le plus délicat pour lequel le CAN risque d'être non monotone est lors du passage du code 0111...111 au code 1000...000.

Il faut garantir que : $I_{n-1} \geq I_{n-2} + \dots + I_1 + I_0$ même en présence de légères inégalités des résistances du réseau en échelle.

Le cas le plus défavorable est celui où la première 2R (celle connectée directement à V_{ref}) est trop grande et toutes les autres R et 2R sont trop petites d'une valeur relative e.

$$I_{n-1} = \frac{V_{\text{ref}}}{2R(1+e)} \geq I_{n-2} + \dots + I_0 = \frac{V_{\text{ref}}}{2R(1-e)} \left(\frac{1}{2} + \frac{1}{4} + \dots + \frac{1}{2^{n-1}} \right) = \frac{V_{\text{ref}}}{2R(1-e)} \frac{2^{n-1} - 1}{2^{n-1}}$$

$$1+e \leq (1-e) \frac{2^{n-1}}{2^{n-1} - 1}$$

$$2^{n-1} - 1 + e \cdot (2^{n-1} - 1) \leq 2^{n-1} - e \cdot 2^{n-1}$$

$$\Rightarrow e \leq \frac{1}{2^n - 1} \approx \frac{1}{2^n}$$

où e est l'erreur relative maximum de chaque côté de la valeur moyenne des résistances du réseau en échelle

2. CNA R-2R bipolaire

$$V_{\text{out}} = -\frac{V_{\text{ref}}}{2^n} \cdot \sum_0^{n-1} b_i \cdot 2^i \quad \text{résultat du CNA unipolaire}$$

$$V_{\text{out,b}} = -V_{\text{ref}} - 2V_{\text{out}} \quad \text{sommeur inverseur}$$

$$V_{\text{out,b}} = \frac{V_{\text{ref}}}{2^{n-1}} \cdot \left(-2^{n-1} + \sum_0^{n-1} b_i \cdot 2^i \right) \quad \text{CNA bipolaire}$$

$$\text{code } 000 \dots 000 \Rightarrow V_{\text{out,b}} = -V_{\text{ref}}$$

$$\text{code } 100 \dots 000 \Rightarrow V_{\text{out,b}} = 0$$

$$\text{code } 111 \dots 111 \Rightarrow V_{\text{out,b}} = V_{\text{ref}} \cdot (1 - 1/2^{n-1}) \approx V_{\text{ref}}$$

$$I_{\text{ref}} = I_{\text{ref,DAC}} + I_a = \frac{V_{\text{ref}}}{R} + \frac{V_{\text{ref}}}{R_a}$$

3. Filtre programmable.

Circuit à un seul amplificateur opérationnel.

Vu depuis la borne "ref" le DAC représente une simple résistance R contre la masse.

$$U_{\text{ref}} = \frac{R // R_1}{(R // R_1) + R_1} U_{\text{in}} + \frac{R // R_1}{(R // R_1) + R_1} U_{\text{out}} = kU_{\text{in}} + kU_{\text{out}}$$

$$\text{avec : } k = \frac{\frac{R \cdot R_1}{R + R_1}}{\frac{R \cdot R_1}{R + R_1} + R_1} = \frac{R \cdot R_1}{2 \cdot R \cdot R_1 + R_1^2} = \frac{R}{2R + R_1}$$

$$I = \frac{U_{\text{ref}}}{R \cdot 2^n} \cdot \sum_0^{n-1} b_i \cdot 2^i \quad \text{CNA}$$

$$U_{\text{out}} = -\frac{1}{j\omega C} I \quad \text{intégrateur inverseur}$$

En combinant ces relations :

$$U_{\text{out}} = -\frac{1}{j\omega C} \frac{k(U_{\text{in}} + U_{\text{out}})}{R \cdot 2^n} \sum_0^{n-1} b_i \cdot 2^i = (U_{\text{in}} + U_{\text{out}}) \frac{-k \sum_0^{n-1} b_i \cdot 2^i}{j\omega RC \cdot 2^n}$$

$$U_{\text{out}} \left(1 + \frac{k \sum_0^{n-1} b_i \cdot 2^i}{j\omega RC \cdot 2^n} \right) = U_{\text{in}} \frac{-k \sum_0^{n-1} b_i \cdot 2^i}{j\omega RC \cdot 2^n}$$

$$U_{out} \left(\frac{j\omega RC \cdot 2^n}{k \sum_{i=0}^{n-1} b_i \cdot 2^i} + 1 \right) = -U_{in}$$

$$H(j\omega) = \frac{U_{out}}{U_{in}} = \frac{-1}{1 + \frac{j\omega RC \cdot 2^n}{k \sum_{i=0}^{n-1} b_i \cdot 2^i}} = \frac{-1}{1 + \frac{j\omega}{\omega_c}}$$

C'est un passe-bas avec une pulsation de coupure à :

$$\omega_c = \frac{\frac{k \sum_{i=0}^{n-1} b_i \cdot 2^i}{0}}{RC \cdot 2^n} = \frac{\frac{R}{2R + R_1} \sum_{i=0}^{n-1} b_i \cdot 2^i}{RC \cdot 2^n}$$

Dans le cas particulier où $R_1 = R$:

$$\omega_c = \frac{\sum_{i=0}^{n-1} b_i \cdot 2^i}{3RC \cdot 2^n}$$

Circuit à deux amplificateurs opérationnels.

$$U_{ref} = \frac{R_1}{R_1 + R_1} U_{in} + \frac{R_1}{R_1 + R_1} U_{out} = \frac{1}{2} (U_{in} + U_{out}) \quad \forall R$$

Le reste du calcul est identique au cas précédant avec $k = \frac{1}{2}$:

$$H(j\omega) = \frac{U_{out}}{U_{in}} = \frac{-1}{1 + \frac{j\omega 2RC \cdot 2^n}{\sum_{i=0}^{n-1} b_i \cdot 2^i}} = \frac{-1}{1 + \frac{j\omega}{\omega_c}}$$

$$\omega_c = \frac{\sum_{i=0}^{n-1} b_i \cdot 2^i}{2RC \cdot 2^n}$$

R_1 peut être choisie indépendamment de R .

Circuit à trois amplificateurs opérationnels.

$$U_{\text{ref}} = -U_{\text{in}} - U_{\text{out}} \quad \text{sommeur inverseur}$$

$$U_x = -\frac{U_{\text{ref}}}{2^n} \cdot \sum_0^{n-1} b_i \cdot 2^i \quad \text{CNA unipolaire}$$

$$U_{\text{out}} = -\frac{1}{j\omega R_2 C} U_x \quad \text{intégrateur inverseur}$$

En combinant ces relations:

$$U_{\text{out}} = -\frac{1}{j\omega R_2 C} \frac{U_{\text{in}} + U_{\text{out}}}{2^n} \sum_0^{n-1} b_i \cdot 2^i = (U_{\text{in}} + U_{\text{out}}) \frac{-\sum_0^{n-1} b_i \cdot 2^i}{j\omega R_2 C \cdot 2^n}$$

$$U_{\text{out}} \left(1 + \frac{\sum_0^{n-1} b_i \cdot 2^i}{j\omega R_2 C \cdot 2^n}\right) = U_{\text{in}} \frac{-\sum_0^{n-1} b_i \cdot 2^i}{j\omega R_2 C \cdot 2^n}$$

$$U_{\text{out}} \left(\frac{j\omega R_2 C \cdot 2^n}{\sum_0^{n-1} b_i \cdot 2^i} + 1\right) = -U_{\text{in}}$$

$$H(j\omega) = \frac{U_{\text{out}}}{U_{\text{in}}} = \frac{-1}{1 + \frac{j\omega R_2 C \cdot 2^n}{\sum_0^{n-1} b_i \cdot 2^i}} = \frac{-1}{1 + \frac{j\omega}{\omega_c}}$$

C'est un passe-bas avec une pulsation de coupure à :

$$\omega_c = \frac{\sum_0^{n-1} b_i \cdot 2^i}{R_2 C \cdot 2^n}$$

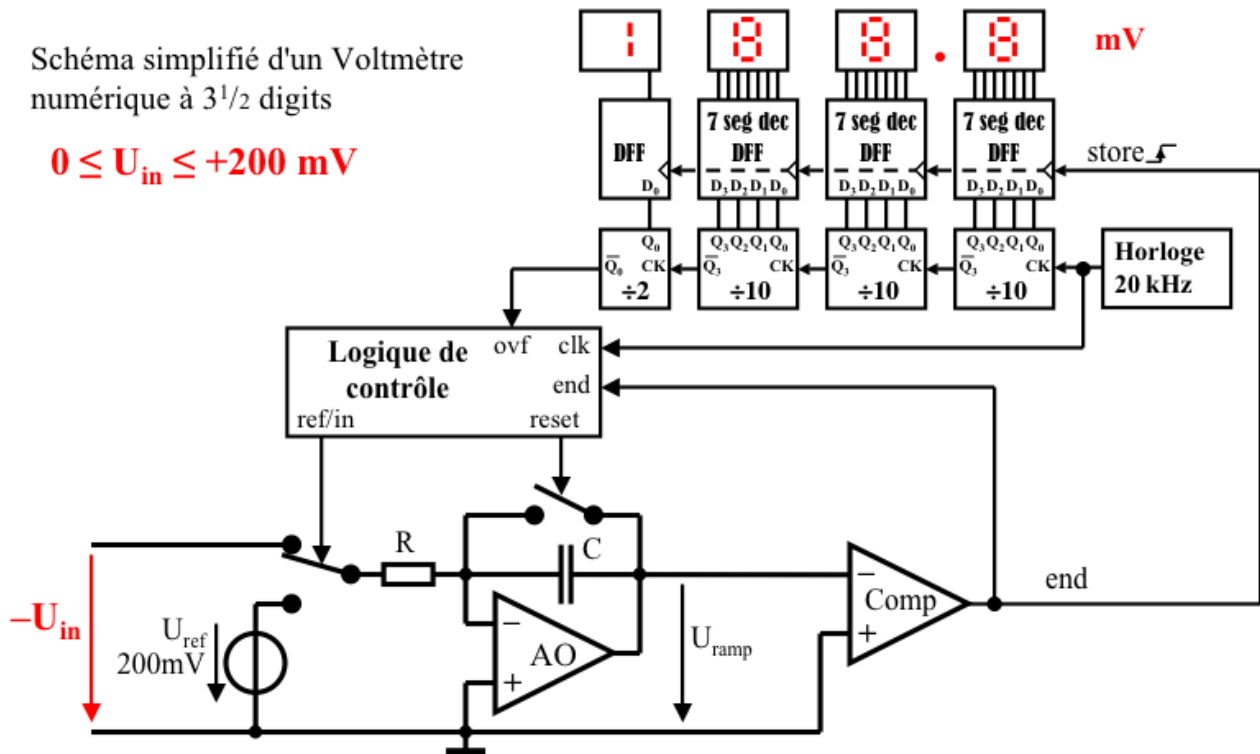
La pulsation de coupure ne dépend pas de la valeur du réseau R-2R du CNA.

Convertisseur A-N à double rampe pour Volt-mètre 3 1/2 Digits

Le schéma simplifié ci-dessous est celui d'un ADC intégré, à l'exception de R et C, pour Voltmètre à affichage numérique à 2000 points.

Schéma simplifié d'un Voltmètre numérique à 3 1/2 digits

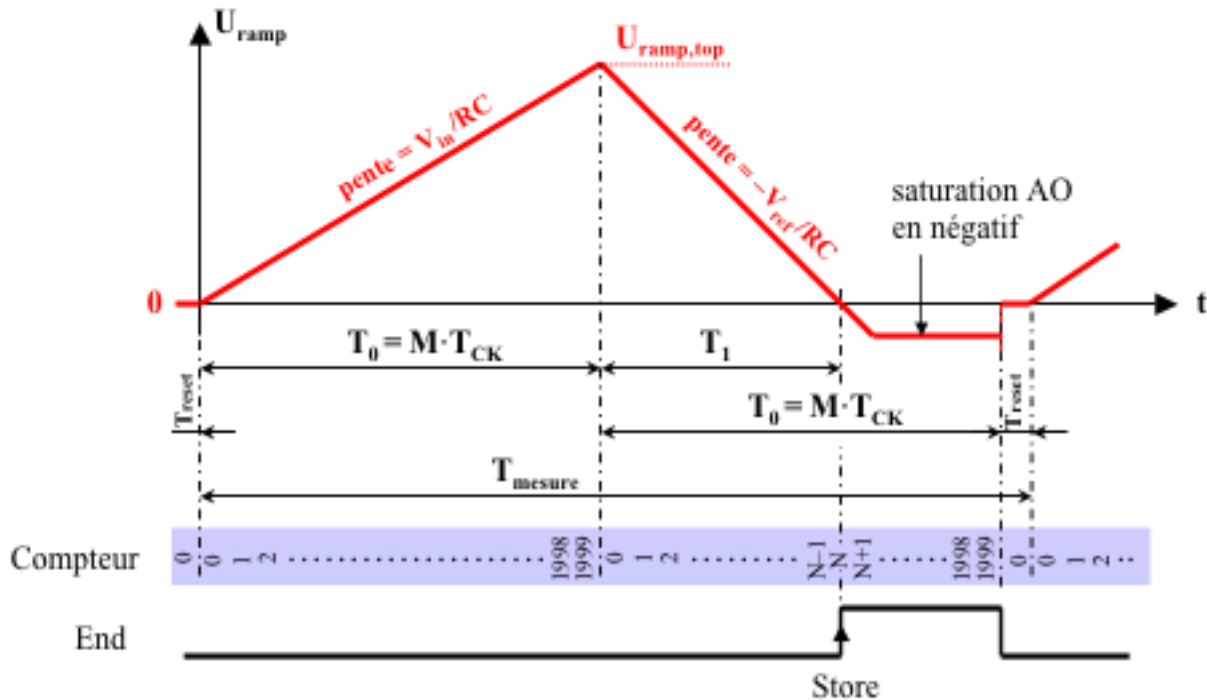
$$0 \leq U_{in} \leq +200 \text{ mV}$$



Déterminer :

- la relation entre le nombre affiché N_{out} et U_{in} , en supposant l'AO et le comparateur parfaits;
- le nombre de mesures par seconde;
- la valeur de la constante d'intégration RC pour que U_{ramp} ne dépasse jamais 3 V;
- l'influence d'un signal parasite purement alternatif, à 50 Hz, superposé à U_{in} ;
- les principales causes d'erreur de mesure.

Fonctionnement:



Comme il y a trois compteurs par 10 en cascade suivis d'un compteur par 2, cela forme un compteur par $M = 2 \cdot 10 \cdot 10 \cdot 10 = 2000$, codé en BCD.

Hauteur de la rampe montante :

$$U_{ramp,top} = \frac{U_{in}}{RC} \cdot T_0 = \frac{U_{in}}{RC} \cdot M \cdot T_{CK}$$

Equation de la rampe descendante :

$$U_{ramp}(t) = U_{ramp,top} - \frac{U_{ref}}{RC} \cdot t$$

Temps pour que la rampe descendante arrive à zéro :

$$T_1 = RC \cdot \frac{U_{ramp,top}}{U_{ref}} = \frac{U_{in}}{U_{ref}} \cdot M \cdot T_{CK}$$

Etat du compteur mémorisé dans les FFs au moment où la rampe croise 0V:

$$N_{out} = \text{entier} \frac{T_1}{T_{CK}} = \text{entier} \left(M \cdot \frac{U_{in}}{U_{ref}} \right) = \text{entier} \left(2000 \cdot \frac{U_{in}[\text{mV}]}{200[\text{mV}]} \right) = 10 \cdot U_{in}[\text{mV}]$$

Comme on affiche un point décimal avant le digit de poids faible, celui-ci représente des dixièmes, et on lit donc directement des mV avec une résolution de 0.1 mV.

$$T_{mesure} = 2 \cdot M \cdot T_{CK} + T_{reset} = 4000 \cdot T_{CK} + T_{reset}$$

Si l'opération de remise à zéro ne dure que quelques périodes d'horloge :

$$T_{mesure} \approx 4000 \cdot T_{CK} = 0.2 \text{ s}$$

On fait donc pratiquement 5 mesures par seconde.

On veut que la rampe ne dépasse pas $U_{\text{ramp,top,max}} = 3 \text{ V}$. Or :

$$U_{\text{ramp,top,max}} = \frac{U_{\text{in,max}}}{RC} \cdot T_0 = \frac{U_{\text{ref}}}{RC} \cdot M \cdot T_{\text{CK}}$$

$$RC = \frac{U_{\text{ref}}}{U_{\text{ramp,top,max}}} \cdot M \cdot T_{\text{CK}} = 6.7 \text{ ms}$$

Tout signal d'entrée parasite alternatif périodique, de fréquence 50 Hz, est une somme de sinus de fréquence égale aux multiples entiers de 50 Hz. Ce parasite sera intégré durant $T_0 = M \cdot T_{\text{CK}} = 0.1 \text{ s}$, ce qui correspond exactement à un multiple entier des périodes de tous ces sinus; donc l'intégrale du parasite sera nulle, et il n'aura pas d'influence sur le résultat de la mesure.

Les principales causes d'erreur sur la mesure sont:

1. L'imprécision de la tension de référence, qui correspond à une erreur de gain, donc à une erreur relative sur la valeur affichée égale à l'erreur relative sur la référence.
2. L'offset U_{io} de l'ampl op, qui produit à la sortie de l'intégrateur un terme:

$$U_{\text{io}} + \frac{1}{RC} \int U_{\text{io}} dt$$

En exprimant que la montée + la descente = 0, on a :

$$U_{\text{io}} + \frac{U_{\text{io}}}{RC} \cdot T_0 + \frac{U_{\text{in}}}{RC} \cdot T_0 + \frac{U_{\text{io}}}{RC} \cdot T_1 - \frac{U_{\text{ref}}}{RC} \cdot T_1 = 0$$

On en tire :

$$T_1 = T_0 \cdot \frac{U_{\text{in}} + U_{\text{io}}(1 + RC/T_0)}{U_{\text{ref}} - U_{\text{io}}}$$

Donc :

$$N_{\text{out}} = \text{entier}\left(2^n \cdot \frac{U_{\text{in}} + U_{\text{io}}(1 + RC/T_0)}{U_{\text{ref}} - U_{\text{io}}}\right)$$

Ce qui correspond à une erreur relative sur le résultat d'environ $U_{\text{io}}/U_{\text{ref}}$, plus une erreur systématique (offset) à peu près égale à U_{io} , car $RC/T_0 \ll 1$.

3. L'offset U_{io} du comparateur produit une erreur sur T_1 , donc sur N_{out} :

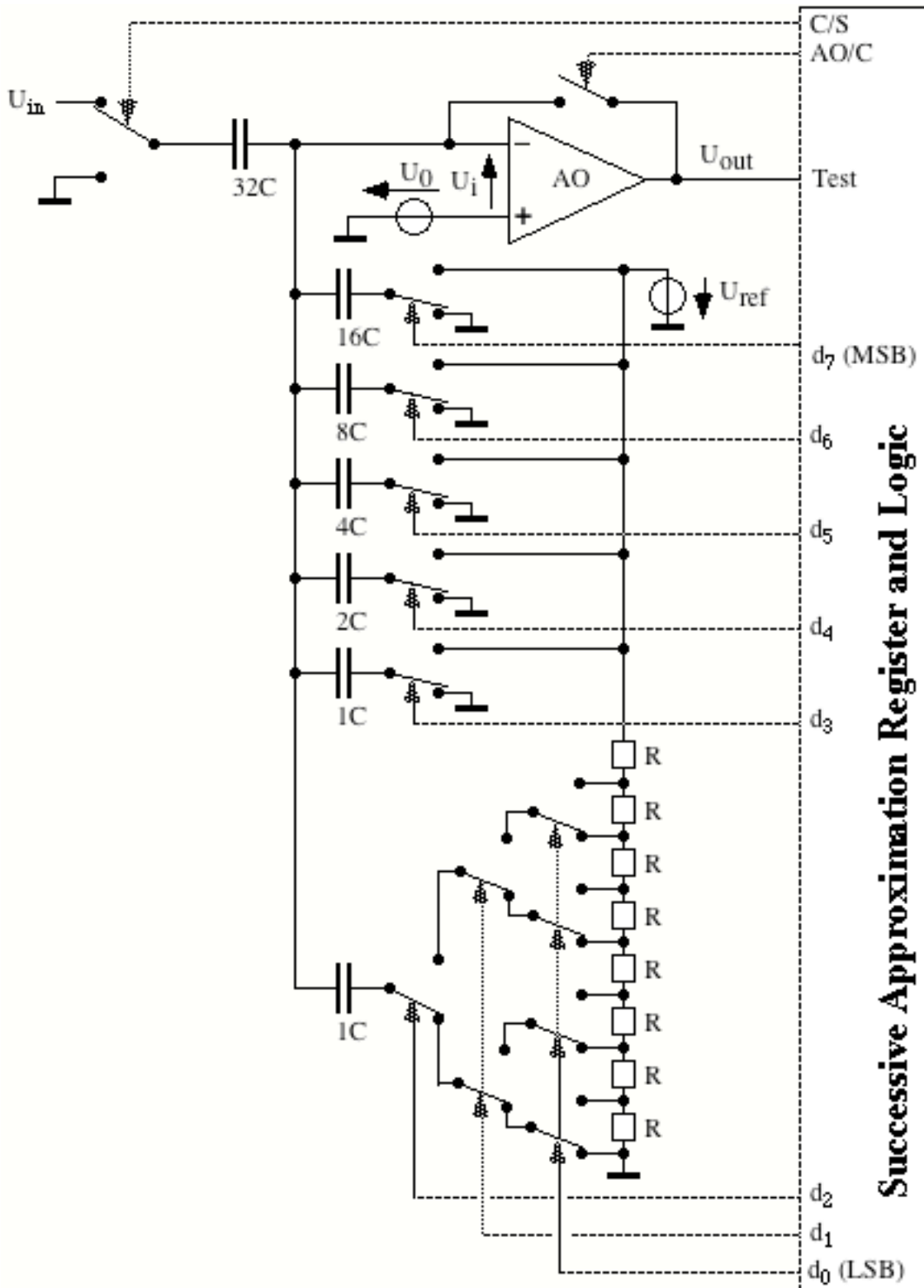
$$T_1 = RC \cdot \frac{U_{\text{ramp,top}} - U_{\text{io}}}{U_{\text{ref}}} = \frac{U_{\text{in}}}{U_{\text{ref}}} \cdot T_0 - \frac{U_{\text{io}}}{U_{\text{ref}}} \cdot RC$$

$$N_{\text{out}} = \text{entier}\left(RC \cdot \frac{U_{\text{ramp,top}} - U_{\text{io}}}{U_{\text{ref}}}\right) = \text{entier}\left(\frac{U_{\text{in}}}{U_{\text{ref}}} \cdot M - \frac{U_{\text{io}}}{U_{\text{ref}}} \cdot \frac{RC}{T_0} \cdot M\right)$$

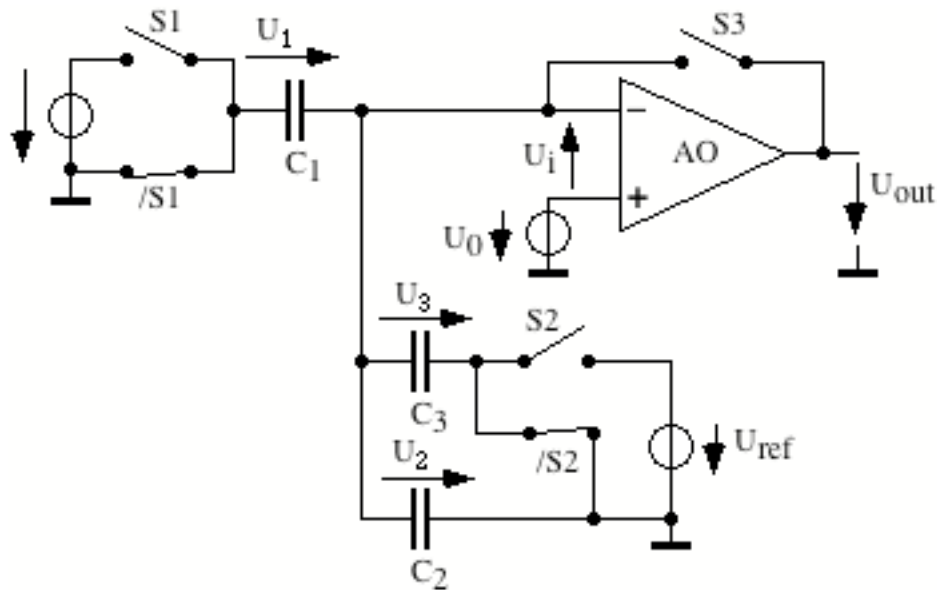
Ce qui donne une erreur systématique sur l'affichage bien inférieure à la tension d'offset du comparateur, car $RC/T_0 \ll 1$.

Convertisseur A-N CMOS à approximations successives

Le CAN dont le schéma de principe est donné ci-dessous, combine astucieusement plusieurs techniques, dont : un échantillonneur du signal d'entrée, un comparateur à compensation d'offset, un CNA à capacités pondérées, un CNA potentiométrique, pour minimiser les exigences de précision et le nombre de composants analogiques à intégrer.



a) Principe du comparateur à échantillonnage.



Phase 1, échantillonnage : S1 ON, /S1 OFF, S2 OFF, /S2 ON et S3 ON.

L'AO est supposé idéal, U_0 modélise l'offset d'un AO CMOS réel.

Déterminer toutes les tensions une fois le circuit stabilisé.

Phase transitoire : Tous les S OFF.

Les tensions aux bornes des capacités changent-elles?

Phase 2, comparaison : S1 OFF, /S1 ON, S2 ON, /S2 OFF et S3 OFF.

Déterminer la tension U_2 une fois le circuit stabilisé.

En déduire la tension U_i et l'état de la sortie en fonction de U_{in} et U_{ref} .

L'offset de l'AO a-t-il une influence ?

b) CAN à approximation successive, étude de la partie à capacités pondérées (d_3 à d_7)

Avec les valeurs données des capacités, établir l'expression de la tension de test comparée à U_{in} lors des 5 premières étapes de la conversion à approximations successives (durant ces étapes la dernière capacité $1C$ est toujours à 0V). Donner le détail des opérations pour $U_{in} = 0.6 \cdot U_{ref}$

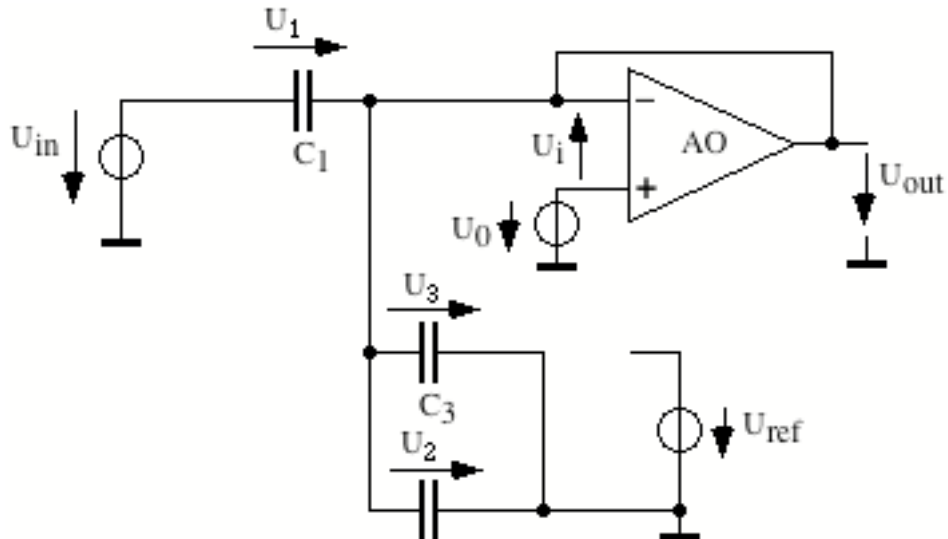
c) CAN à approximation successive, étude de la partie à CNA potentiométrique (d_0 à d_2)

Avec les valeurs données des capacités, établir l'expression de la tension de test comparée à U_{in} lors des 3 dernières étapes de la conversion à approximations successives.

Pour quelle raison a-t-on adopté cette solution plutôt que de conserver le même principe de capacités pondérées pour tous les bits ?

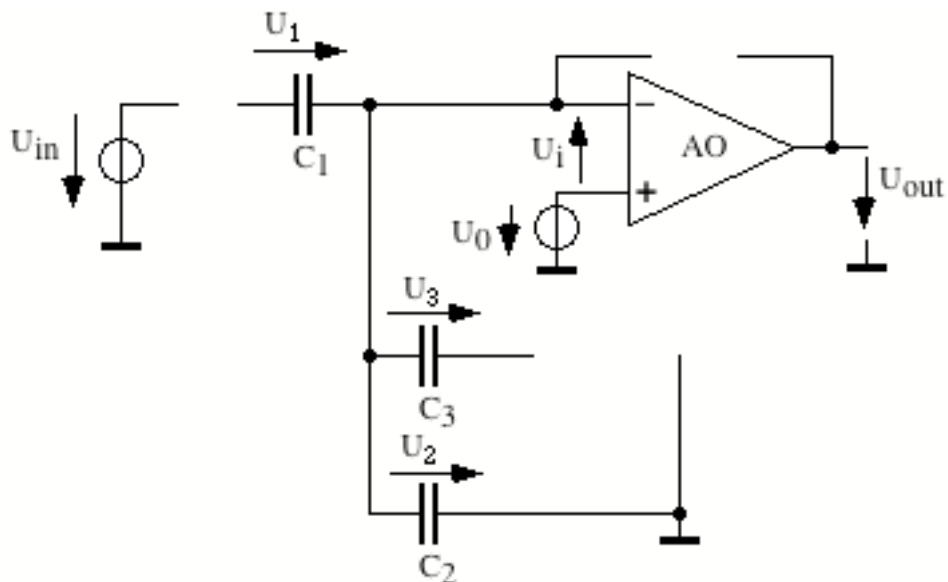
a) Comparateur à échantillonnage

Phase 1, échantillonnage : S1 ON, /S1 OFF, S2 OFF, /S2 ON et S3 ON.



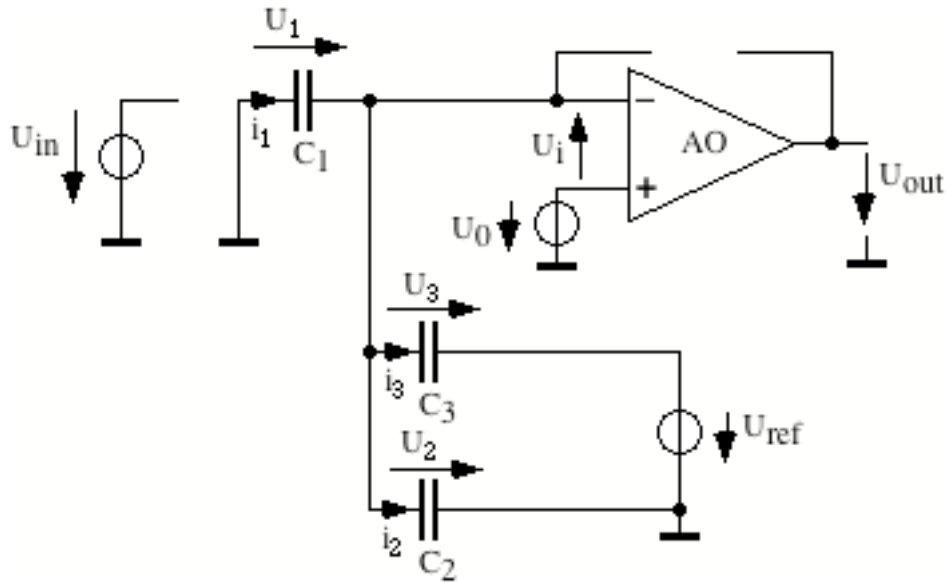
L'AO est en suiveur de tension $\Rightarrow U_i(1) = 0 \Rightarrow U_2(1) = U_3(1) = U_0$ et $U_1(1) = U_{in} - U_0$

Phase transitoire : Tous les S OFF.



Le courant dans toutes les capacités est nul $\Rightarrow$ leur charge et donc la tension à leurs bornes reste inchangée par rapport à la phase 1

Phase 2, comparaison : S1 OFF, /S1 ON, S2 ON, /S2 OFF et S3 OFF.



$$i_1 = i_2 + i_3$$

$$\Rightarrow C_1 \cdot \Delta U_1 = \Delta Q_1 = \int i_1 dt = \int i_2 dt + \int i_3 dt = \Delta Q_2 + \Delta Q_3 = C_2 \cdot \Delta U_2 + C_3 \cdot \Delta U_3$$

$$\Rightarrow C_1 \cdot (U_1(2) - U_1(1)) = C_2 \cdot (U_2(2) - U_2(1)) + C_3 \cdot (U_3(2) - U_3(1))$$

$$\text{or } U_1(2) = -U_2(2) \text{ et } U_3(2) = U_2(2) - U_{\text{ref}}$$

$$\Rightarrow C_1 \cdot (-U_2(2) - U_{\text{in}} + U_0) = C_2 \cdot (U_2(2) - U_0) + C_3 \cdot (U_2(2) - U_{\text{ref}} - U_0)$$

$$\Rightarrow U_2(2) = U_0 + U_{\text{ref}} \frac{C_3}{C_1 + C_2 + C_3} - U_{\text{in}} \frac{C_1}{C_1 + C_2 + C_3}$$

$$\text{or } U_i(2) = U_0 - U_2(2) = U_{\text{in}} \frac{C_1}{C_1 + C_2 + C_3} - U_{\text{ref}} \frac{C_3}{C_1 + C_2 + C_3}$$

L'AO est en boucle ouverte avec un gain très grand et donc :

$$U_{\text{out}}(2) = V_{\text{sat,high}} \Leftrightarrow \text{"1" logique si } U_i(2) > 0 \text{ et donc si } U_{\text{in}} \frac{C_1}{C_1 + C_2 + C_3} > U_{\text{ref}} \frac{C_3}{C_1 + C_2 + C_3}$$

$$U_{\text{out}}(2) = V_{\text{sat,low}} \Leftrightarrow \text{"0" logique si } U_i(2) < 0 \text{ et donc si } U_{\text{in}} \frac{C_1}{C_1 + C_2 + C_3} < U_{\text{ref}} \frac{C_3}{C_1 + C_2 + C_3}$$

Ainsi on compare $U_{\text{in}} \frac{C_1}{C_{\text{tot}}}$ à $U_{\text{ref}} \frac{C_3}{C_{\text{tot}}}$ sans que U_0 n'intervienne.

b) CAN à approximation successive, étude de la partie à capacités pondérées (d_3 à d_7)

Pour l'instant d_2 , d_1 et d_0 restent à 0 et donc la capacité $1C$ du bas est connectée à 0V.

Avec les valeurs des capacités données sur le schéma du CAN :

$$C_1 = 32C$$

$$C_{\text{tot}} = 32C + 16C + 8C + 4C + 2C + 1C + 1C = 64C$$

$$C_3 = 16C \cdot d_7 + 8C \cdot d_6 + 4C \cdot d_5 + 2C \cdot d_4 + 1C \cdot d_3 \quad \text{avec } d_i = 0 \text{ ou } 1$$

$$\text{Dans ce cas on compare } U_{\text{in}} \cdot \frac{1}{2} \text{ à } U_{\text{ref}} \left(\frac{1}{4} \cdot d_7 + \frac{1}{8} \cdot d_6 + \frac{1}{16} \cdot d_5 + \frac{1}{32} \cdot d_4 + \frac{1}{64} \cdot d_3 \right) \quad \text{avec } d_i = 0 \text{ ou } 1$$

$$\text{Cela équivaut à comparer } U_{\text{in}} \text{ à } U_{\text{ref}} \left(\frac{1}{2} \cdot d_7 + \frac{1}{4} \cdot d_6 + \frac{1}{8} \cdot d_5 + \frac{1}{16} \cdot d_4 + \frac{1}{32} \cdot d_3 \right) \quad \text{avec } d_i = 0 \text{ ou } 1$$

La 1ère comparaison se fait entre U_{in} et $U_{\text{ref}} \cdot \frac{1}{2}$ en mettant seulement $d_7 = 1$.

Suivant le résultat du test, 1 ou 0, on garde d_7 à 1 ou on remet d_7 à 0, et la 2ème comparaison se fait entre U_{in} et $U_{\text{ref}} \cdot \frac{3}{4}$ ou $U_{\text{ref}} \cdot \frac{1}{4}$ en mettant $d_6 = 1$.

Et ainsi de suite en mettant d_5 , puis d_4 , puis d_3 à 1.

Exemple avec $U_{\text{in}} = 0.6 \cdot U_{\text{ref}}$

$$d_7 = 1 \quad 0.6 \cdot U_{\text{ref}} = U_{\text{in}} > U_{\text{ref}} \cdot \frac{1}{2} = 0.5 \cdot U_{\text{ref}} \Rightarrow \text{on mémorise } d_7 = 1$$

$$d_6 = 1 \quad 0.6 \cdot U_{\text{ref}} = U_{\text{in}} < U_{\text{ref}} \cdot \frac{3}{4} = 0.75 \cdot U_{\text{ref}} \Rightarrow \text{on mémorise } d_6 = 0$$

$$d_5 = 1 \quad 0.6 \cdot U_{\text{ref}} = U_{\text{in}} < U_{\text{ref}} \cdot \frac{5}{8} = 0.625 \cdot U_{\text{ref}} \Rightarrow \text{on mémorise } d_5 = 0$$

$$d_4 = 1 \quad 0.6 \cdot U_{\text{ref}} = U_{\text{in}} > U_{\text{ref}} \cdot \frac{9}{16} = 0.5625 \cdot U_{\text{ref}} \Rightarrow \text{on mémorise } d_4 = 1$$

$$d_3 = 1 \quad 0.6 \cdot U_{\text{ref}} = U_{\text{in}} > U_{\text{ref}} \cdot \frac{19}{32} = 0.59375 \cdot U_{\text{ref}} \Rightarrow \text{on mémorise } d_3 = 1$$

c) CAN à approximation successive, étude de la partie à CNA potentiométrique (d_0 à d_2)

Pour déterminer les trois bits de poids faible, on ne commute plus des capacités pondérées sur une tension fixe, mais une capacité fixe de $1C$ sur une tension variable issue d'un CNA potentiométrique à trois bits.

Le potentiel sur la borne droite de la capacité $1C$ du bas vaut:

$$V = U_{\text{ref}} \left(\frac{1}{2} \cdot d_2 + \frac{1}{4} \cdot d_1 + \frac{1}{8} \cdot d_0 \right) \quad \text{avec } d_i = 0 \text{ ou } 1$$

Ce potentiel influence la tension de comparaison avec le poids $\frac{1C}{C_{\text{tot}}} = \frac{1}{64}$

Le circuit complet compare donc :

$$U_{\text{in}} \cdot \frac{1}{2} \quad \text{à} \quad U_{\text{ref}} \left(\frac{1}{4} \cdot d_7 + \frac{1}{8} \cdot d_6 + \frac{1}{16} \cdot d_5 + \frac{1}{32} \cdot d_4 + \frac{1}{64} \cdot d_3 + \frac{1}{64} \cdot \left(\frac{1}{2} \cdot d_2 + \frac{1}{4} \cdot d_1 + \frac{1}{8} \cdot d_0 \right) \right) \quad \text{avec } d_i = 0 \text{ ou } 1$$

Cela équivaut à comparer :

$$U_{\text{in}} \quad \text{à} \quad U_{\text{ref}} \left(\frac{1}{2} \cdot d_7 + \frac{1}{4} \cdot d_6 + \frac{1}{8} \cdot d_5 + \frac{1}{16} \cdot d_4 + \frac{1}{32} \cdot d_3 + \frac{1}{64} \cdot d_2 + \frac{1}{128} \cdot d_1 + \frac{1}{256} \cdot d_0 \right) \quad \text{avec } d_i = 0 \text{ ou } 1$$

Cette astuce permet de n'utiliser que 7 capacités avec un rapport entre $C_{\text{max}}/C_{\text{min}} = 32$, ce qui donne un $C_{\text{tot}} = 64 \cdot C_{\text{min}}$, d'où une économie de surface d'intégration par rapport à une solution n'utilisant que des capacités pondérées qui aurait nécessité un rapport $C_{\text{max}}/C_{\text{min}} = 256$, avec $C_{\text{tot}} = 512 \cdot C_{\text{min}}$. De plus les rapports entre les capacités pondérées sont plus précis si $C_{\text{max}}/C_{\text{min}}$ n'est pas trop élevé.

Exemple avec $U_{\text{in}} = 0.6 \cdot U_{\text{ref}}$

On a déjà mémorisé $d_7 = 1, d_6 = 0, d_5 = 0, d_4 = 1, d_3 = 1$

$$d_2 = 1 \quad 0.6 \cdot U_{\text{ref}} = U_{\text{in}} < U_{\text{ref}} \cdot \frac{39}{64} = 0.609375 \cdot U_{\text{ref}} \Rightarrow \text{on mémorise } d_2 = 0$$

$$d_1 = 1 \quad 0.6 \cdot U_{\text{ref}} = U_{\text{in}} < U_{\text{ref}} \cdot \frac{77}{128} = 0.6015625 \cdot U_{\text{ref}} \Rightarrow \text{on mémorise } d_1 = 0$$

$$d_0 = 1 \quad 0.6 \cdot U_{\text{ref}} = U_{\text{in}} > U_{\text{ref}} \cdot \frac{153}{256} = 0.59765625 \cdot U_{\text{ref}} \Rightarrow \text{on mémorise } d_0 = 1$$

LA REACTION NEGATIVE
ou "CONTRE-REACTION"

LA REACTION NEGATIVE ou "CONTRE-REACTION"

page

1. DEFINITIONS ET PROPRIETES GENERALES DE LA REACTION NEGATIVE	5
1.1 Introduction	5
1.2 Configuration générale et relations fondamentales	6
2. PROPRIETES GENERALES DE LA REACTION NEGATIVE	7
2.1 Réduction et stabilisation du gain	7
2.2 Elargissement de la bande passante	8
2.3 Linéarisation et réduction des distorsions harmoniques	9
2.4 Réduction du bruit	10
2.5 Modification des résistances d'entrée et de sortie	10
3. LES QUATRE CONFIGURATIONS FONDAMENTALES DES CIRCUITS A REACTION NEGATIVE	11
3.1 Connexions série et parallèle	11
3.2 Réaction négative du type série – parallèle	13
3.3 Réaction négative du type parallèle – parallèle	13
3.4 Réaction négative du type série – série	14
3.5 Réaction négative du type parallèle – série	14
4 LA REACTION NEGATIVE IDEALE ETUDE ELEMENTAIRE DES CARACTERISTIQUES DE GAIN ET D'IMPEDANCE AUX ACCES DES QUATRE CONFIGURATIONS DE REACTION NEGATIVE	15
4.1 Préliminaires	15
4.2 La réaction série-parallèle ou l'ampli de tension	16
4.3 La réaction parallèle-série ou l'ampli de courant	17
4.4 La réaction série-série ou l'ampli à transconductance	18
4.5 La réaction parallèle-parallèle ou l'ampli à transrésistance	19
4.6 Résumé	20

5. LA REACTION NEGATIVE NON-IDEALE ou REELLE	21
5.1 Introduction	21
5.2 La réaction série-parallèle ou l'ampli de tension	21
5.3 La réaction parallèle-série ou l'ampli de courant	22
5.4 La réaction série-série ou l'ampli à transconductance	23
5.5 La réaction parallèle-parallèle ou l'ampli à transrésistance	24
5.6 Extraction de R_s et R_L du quadripôle A'_F	25
5.7 Détermination directe des impédances d'entrée et de sortie du quadripôle modifié A' en boucle ouverte	26
5.8 Détermination du facteur de réaction β	29
5.9 Résumé de la méthode d'analyse complète	29
6. EXEMPLES	30
6.1 Amplificateur audio de puissance classe A	30
7. STABILITE DES MONTAGES EN REACTION NEGATIVE	33
7.1 La réaction négative, cause potentielle d'instabilité	33
7.2 Méthodes d'étude de la stabilité et critères de stabilité	33
7.3 Etude de la stabilité sur la base du diagramme de Bode	34
7.4 Compensation en fréquence d'un amplificateur	35

1. DEFINITIONS ET PROPRIETES GENERALES DE LA REACTION NEGATIVE

1.1 Introduction

Le principe de la réaction (feedback), utilisé dans nombre de circuits électroniques, consiste à réinjecter une partie du signal de sortie à l'entrée du circuit pour la combiner avec le signal d'entrée extérieur. La réaction change fondamentalement les propriétés du circuit auquel elle est appliquée.

On distingue deux types de réaction, la positive et la négative.

- Dans la réaction positive, on réinjecte une partie du signal de sortie en phase avec le signal d'entrée extérieur. Ceux-ci vont donc additionner leurs effets pour produire un signal de sortie plus grand que celui qui existerait en "boucle ouverte" (c'est à dire sans réaction). C'est le principe qui est utilisé notamment pour faire des oscillateurs ou des bascules.
- Dans la réaction négative, ou contre-réaction, on réinjecte une partie du signal de sortie en opposition de phase avec le signal d'entrée extérieur. Ces deux signaux vont donc soustraire leurs effets pour produire un signal de sortie inférieur à celui qui existerait en boucle ouverte. C'est le principe utilisé pour faire des amplificateurs de qualité.

Un amplificateur auquel on applique une réaction négative, ou contre-réaction, jouit de propriétés extrêmement intéressantes, parmi lesquelles on peut citer:

- la stabilisation du rapport des amplitudes des signaux de sortie et d'entrée (rapport désigné par le terme général de "gain"), c'est-à-dire sa désensibilisation aux variations des caractéristiques des composants de l'amplificateur, dues notamment aux variations de température, aux tolérances de fabrication, etc.;
- la linéarisation de la caractéristique de transfert entrée → sortie, qui se traduit par une réduction du taux de distorsion, la sortie restant l'image fidèle de l'entrée, malgré les non-linéarités internes de l'amplificateur;
- la réduction du bruit (signaux électriques parasites) généré par l'amplificateur;
- l'extension de la bande passante de l'amplificateur contre-réactionné par rapport à sa bande passante initiale en boucle ouverte;
- le contrôle de la valeur des impédances d'entrée et de sortie, c'est-à-dire la possibilité de les augmenter ou de les diminuer à volonté, en fonction de la configuration de circuit choisie.

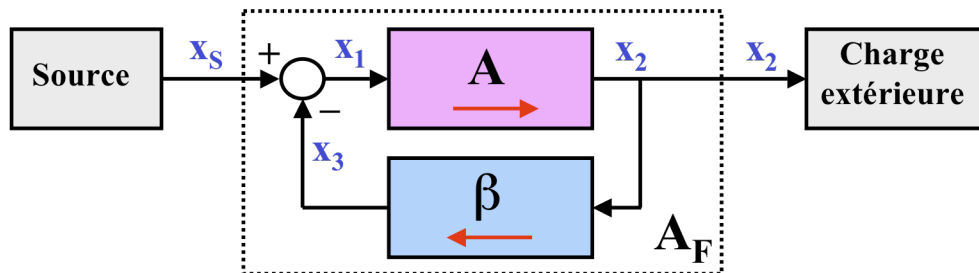
La réaction négative permet donc de transformer un amplificateur imparfait en un amplificateur dont les caractéristiques sont proches de l'idéal. Le prix à payer pour cette amélioration des performances est la réduction du "gain". On verra d'ailleurs qu'il y a une proportionnalité directe entre la réduction du "gain" et l'amélioration des autres caractéristiques de l'amplificateur.

Certaines des propriétés de la réaction négative, telles que la réduction du "gain", la désensibilisation aux caractéristiques propres de l'amplificateur et l'élargissement de la bande passante, ont déjà été abordées dans le cours Electronique I, lors de l'étude des applications de l'amplificateur opérationnel.

Ce chapitre est consacré à une étude plus complète et plus systématique de la réaction négative et de ses propriétés.

1.2 Configuration générale et relations fondamentales

La configuration générale d'une boucle de réaction négative est présentée à la figure suivante:



L'amplificateur dont le "gain" vaut A en boucle ouverte délivre à sa sortie un signal x_2 . Ce signal est appliqué à une charge extérieure, ainsi qu'à l'entrée d'un circuit de réaction β dont la sortie x_3 est soustraite du signal d'entrée extérieur x_S .

Les relations fondamentales de cette boucle peuvent s'exprimer de façon simple lorsque les conditions suivantes sont applicables:

- le circuit de réaction β ne charge pas l'entrée, ni la sortie, de l'ampli, ce qui revient à dire que le "gain" en boucle ouverte A de l'ampli n'est pas affecté par les impédances d'entrée ou de sortie du circuit de réaction β ;
- la transmission du signal dans le sens direct (source vers charge extérieure) se fait uniquement au travers de l'ampli A ;
- la transmission du signal dans le sens inverse se fait uniquement au travers du circuit de réaction β .

On verra ultérieurement comment une configuration quelconque peut être ramenée à ce cas idéal.

En admettant que les conditions ci-dessus sont applicables, on peut écrire les relations suivantes:

$$x_2 = A \cdot x_1$$

$$x_3 = \beta \cdot x_2$$

$$x_1 = x_S - x_3$$

Le "gain" de l'amplificateur avec réaction négative, noté A_F (indice F pour Feedback) s'obtient en combinant les relations précédentes:

$$A_F = \frac{x_2}{x_S} = \frac{x_2}{x_1 + x_3} = \frac{A \cdot x_1}{x_1 + A \cdot \beta \cdot x_1} = \frac{A}{1 + A \cdot \beta}$$

La quantité $A \cdot \beta$ s'appelle le gain de boucle. Elle doit être positive pour que la réaction soit bien une réaction négative.

La quantité $(1 + A \cdot \beta)$ s'appelle le taux de réaction T . C'est la quantité par laquelle il faut diviser le "gain" A de l'ampli en boucle ouverte, c'est à dire sans réaction, pour obtenir le "gain" en boucle fermée A_F , c'est à dire avec réaction.

2. PROPRIETES GENERALES DE LA REACTION NEGATIVE

Les notations ci-après font référence la figure de la page précédente, représentant un amplificateur de "gain" A en boucle ouverte, auquel on applique une réaction négative β .

2.1 Réduction et stabilisation du gain

On a établi au point 5.1.2, que le "gain" en boucle fermée, noté A_F , vaut:

$$A_F = \frac{x_2}{x_S} = \frac{x_2}{x_1 + x_3} = \frac{A \cdot x_1}{x_1 + A \cdot \beta \cdot x_1} = \frac{A}{1 + A \cdot \beta}$$

Le "gain" en boucle fermée est réduit par rapport à celui en boucle ouverte d'un facteur égal au taux de réaction $(1 + A \cdot \beta)$.

Si β est constant, et que le "gain" de l'ampli en boucle ouverte est affecté d'une variation relative $\Delta A/A$, la variation relative du "gain" en boucle fermée $\Delta A_F/A_F$ est:

$$\frac{\Delta A_F}{A_F} = \frac{1}{A_F} \cdot \frac{dA_F}{dA} \cdot \Delta A = \frac{1 + A \cdot \beta}{A} \cdot \frac{1}{(1 + A \cdot \beta)^2} \cdot \Delta A = \frac{1}{1 + A \cdot \beta} \cdot \frac{\Delta A}{A}$$

La variation relative de A_F est donc $(1 + A \cdot \beta)$ fois plus faible que la variation relative de A . C'est pourquoi le taux de réaction $(1 + A \cdot \beta)$ s'appelle également "facteur de désensibilisation".

Circuits à gain de boucle élevé

Dans les cas où le gain de boucle $A \cdot \beta$ est très supérieur à l'unité, le "gain" en boucle fermée peut s'exprimer par la valeur approchée:

$$A_F = \frac{x_2}{x_S} = \frac{A}{1 + A \cdot \beta} = \frac{1}{\frac{1}{A} + \beta} \cong \frac{1}{\beta} \quad \text{lorsque } A \cdot \beta \gg 1 \Leftrightarrow A \gg A_F$$

Le "gain" en boucle fermée est alors déterminé uniquement par le circuit de réaction β et devient indépendant du "gain" en boucle ouverte. Le circuit de réaction est généralement constitué de composants passifs qui peuvent être sélectionnés avec précision et qui sont peu sensibles à la température. Ce principe est utilisé dans les applications de l'amplificateur opérationnel.

En combinant les relations de départ, on peut également montrer que:

$$x_3 = \frac{A \cdot \beta}{1 + A \cdot \beta} \cdot x_S$$

$$x_1 = \frac{1}{1 + A \cdot \beta} \cdot x_S$$

Si $A \cdot \beta \gg 1$, alors $x_3 \cong x_S$ et $x_1 \cong 0$

On en conclut que lorsque le gain de boucle est élevé, x_S et x_3 sont pratiquement identiques et leur différence x_1 , appliquée à l'entrée de l'ampli, est pratiquement nulle. Ce résultat est à la base des montages à amplificateur opérationnel dans lesquels on considère que la tension différentielle d'entrée u_i , l'équivalent de x_1 , est nulle.

2.2 Elargissement de la bande passante

Si les blocs d'amplification et de réaction sont linéaires, la réponse à un signal sinusoïdal est sinusoïdale. On peut alors passer en notation complexe pour étudier la réponse en fréquence.

La fonction de transfert en boucle fermée est:

$$\underline{A}_F(j\omega) = \frac{\underline{X}_2}{\underline{X}_S} = \frac{\underline{A}(j\omega)}{1 + \underline{A}(j\omega) \cdot \underline{\beta}(j\omega)}$$

Tant que le gain de boucle est bien supérieur à l'unité, cette fonction de transfert en boucle fermée est quasiment:

$$\underline{A}_F(j\omega) = \frac{\underline{X}_2}{\underline{X}_S} = \frac{1}{\underline{\beta}(j\omega)} \quad \text{lorsque } |\underline{A}(j\omega) \cdot \underline{\beta}(j\omega)| \gg 1$$

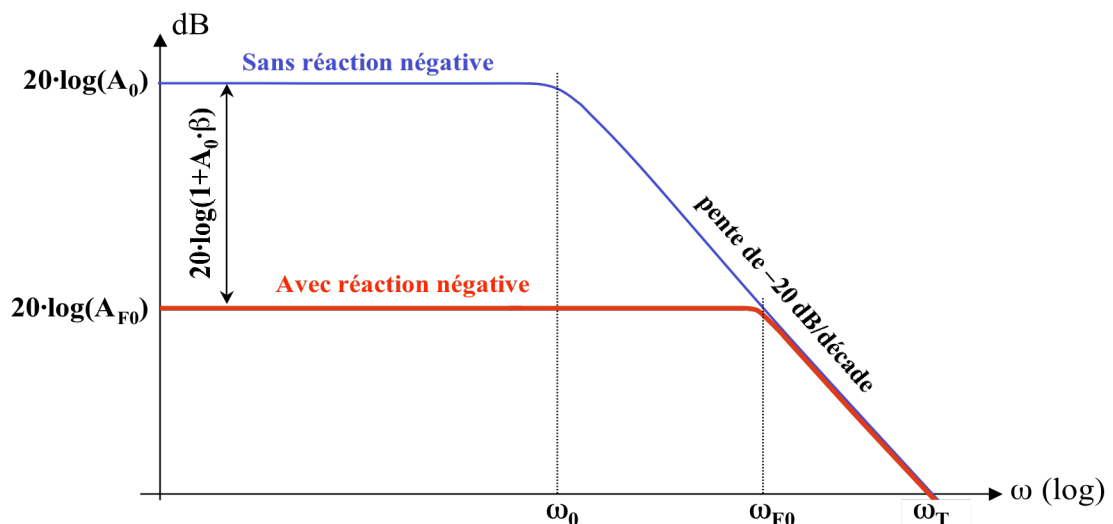
Dans le cas particulier très courant où β est une constante réelle, et où la réponse en fréquence de l'amplificateur A est du type passe-bas de 1^{er} degré, on peut écrire:

$$\begin{aligned} \underline{A}(j\omega) &= \frac{A_0}{1 + j\omega/\omega_0} = \frac{A_0}{1 + j\omega \cdot A_0/\omega_T} \\ \underline{A}_F(j\omega) &= \frac{\underline{A}(j\omega)}{1 + \underline{A}(j\omega) \cdot \beta} = \frac{\frac{A_0}{1 + j\omega/\omega_0}}{1 + \frac{A_0}{1 + j\omega/\omega_0} \cdot \beta} = \frac{A_0}{1 + A_0 \cdot \beta + j\omega/\omega_0} = \frac{A_0}{1 + A_0 \cdot \beta} \cdot \frac{1}{1 + j\omega/\omega_0 \cdot (1 + A_0 \cdot \beta)} \end{aligned}$$

La réponse en boucle fermée est donc de la forme:

$$\underline{A}_F(j\omega) = \frac{A_{F0}}{1 + j\omega/\omega_{F0}} \quad \text{avec: } A_{F0} = \frac{A_0}{1 + A_0 \cdot \beta} \quad \text{et} \quad \omega_{F0} = \omega_0 \cdot (1 + A_0 \cdot \beta)$$

Sur un diagramme de Bode, les courbes de réponse en boucle ouverte et fermée sont ainsi:



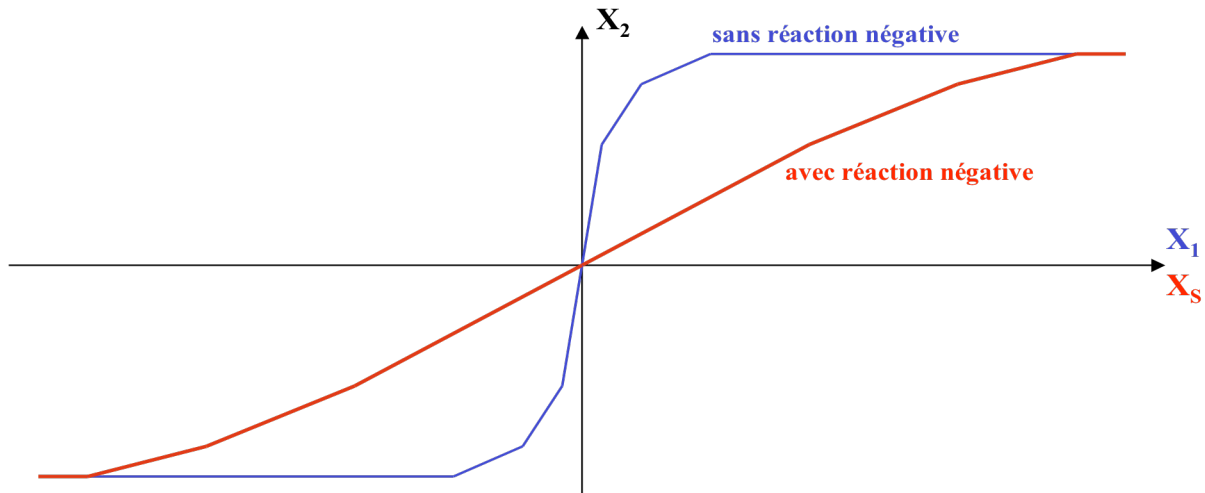
On voit que le produit "Gain x Bande_passante" est constant, quel que soit β , et égal à $A_0 \cdot \omega_0 = \omega_T$.

Si $A_0 \cdot \beta \gg 1$, la fonction de transfert en boucle fermée peut être approximée par:

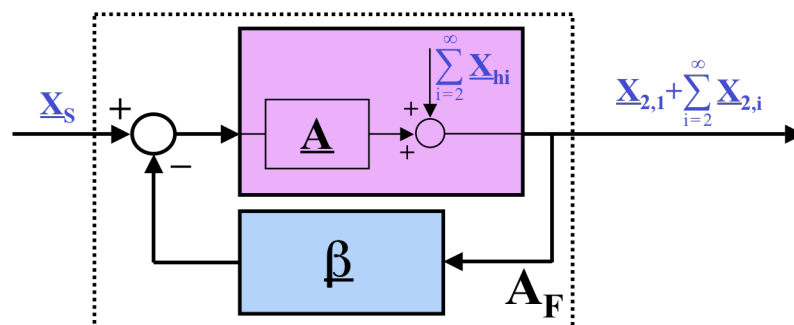
$$\underline{A}_F(j\omega) \cong \frac{\frac{1}{\beta}}{1 + \frac{j\omega}{\beta \cdot \omega_T}} = \frac{A_{F0}}{1 + \frac{j\omega}{\omega_T / A_{F0}}}$$

2.3 Linéarisation et réduction des distorsions harmoniques

Une non-linéarité de la caractéristique de transfert en boucle ouverte peut être considérée comme une variation du gain A en fonction de la valeur de x_1 , ou de la valeur correspondante de x_2 . Comme la contre-réaction réduit le gain en boucle fermée, ainsi que ses variations relatives, d'un facteur $(1 + A \cdot \beta)$, elle linéarise la caractéristique en boucle fermée, comme illustré ci-dessous.



En mode sinus, un amplificateur non-linéaire génère des harmoniques. Il peut être modélisé par un ampli linéaire, et sa fonction de transfert $\underline{A}$, avec ajout des composantes harmoniques $\underline{X}_{hi}$ à son signal de sortie, selon le schéma suivant :



On peut alors écrire :

$$\underline{x}_{2,1} + \sum_{i=2}^{\infty} \underline{x}_{2,i} = \underline{A} \cdot \left[\underline{x}_s - \underline{\beta} \cdot \left(\underline{x}_{2,1} + \sum_{i=2}^{\infty} \underline{x}_{2,i} \right) \right] + \sum_{i=2}^{\infty} \underline{x}_{h,i}$$

Ce qui donne à la sortie de l'ampli en boucle fermée :

$$\underline{x}_{2,1} + \sum_{i=2}^{\infty} \underline{x}_{2,i} = \frac{\underline{A}}{1 + \underline{A} \cdot \underline{\beta}} \cdot \underline{x}_s + \frac{\sum_{i=2}^{\infty} \underline{x}_{h,i}}{1 + \underline{A} \cdot \underline{\beta}}$$

En faisant correspondre les composantes de même fréquence, on constate que :

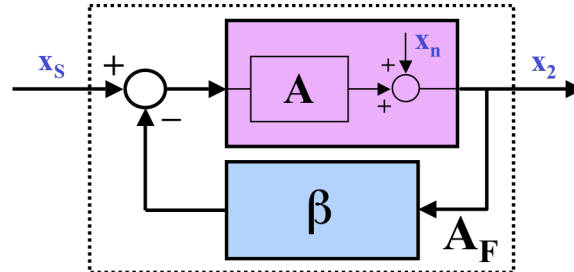
- le sinus source est amplifié et déphasé selon la fonction de transfert en boucle fermée :

$$\underline{A}_F = \underline{A} / (1 + \underline{A} \cdot \underline{\beta})$$

- pour une amplitude donnée du signal de sortie, l'amplitude de chaque harmonique parasite est atténuée par rapport à ce qu'elle serait en boucle ouverte, d'un facteur égal au module du taux de réaction $|1 + \underline{A} \cdot \underline{\beta}|$ à la fréquence correspondante.

2.4 Réduction du bruit

Tout amplificateur génère du bruit. Un amplificateur réel bruyant peut être modélisé par un ampli idéal, avec ajout d'un bruit x_n à son signal de sortie. En supposant que le bloc de réaction est idéal, non bruyant, on a le schéma suivant:



On peut alors écrire:

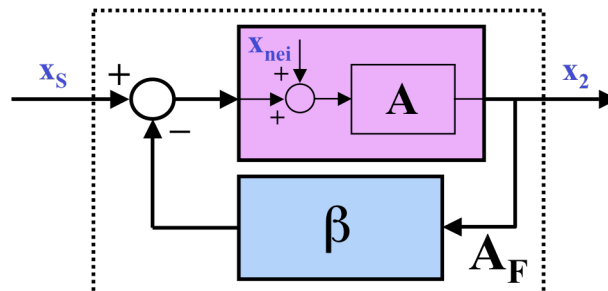
$$x_2 = A \cdot (x_s - \beta \cdot x_2) + x_n$$

Ce qui donne à la sortie de l'ampli en boucle fermée:

$$x_2 = \frac{A}{1 + A \cdot \beta} \cdot x_s + \frac{x_n}{1 + A \cdot \beta}$$

Une fois contre-réactionné, le bruit propre généré par l'amplificateur A est divisé par le taux de réaction $(1 + A \cdot \beta)$.

On peut aussi modéliser le bruit propre de l'ampli par une source de bruit équivalente en entrée:



On peut alors écrire:

$$x_2 = A \cdot (x_s - \beta \cdot x_2 + x_{nei})$$

Ce qui donne à la sortie de l'ampli en boucle fermée:

$$x_2 = \frac{A}{1 + A \cdot \beta} \cdot x_s + \frac{A}{1 + A \cdot \beta} \cdot x_{nei}$$

Une fois l'amplificateur A contre-réactionné, son bruit équivalent d'entrée est multiplié par le "gain" en boucle fermée A_F .

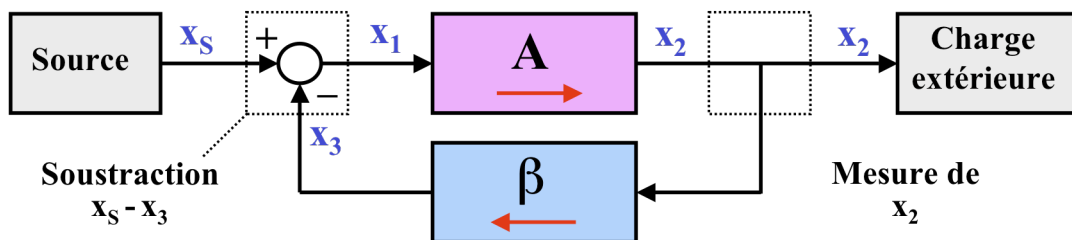
2.5 Modification des résistances d'entrée et de sortie

Pour déterminer les résistances d'entrée et de sortie du bloc A_F , il faut analyser plus en détail ce qui se passe suivant que les signaux d'entrée x_s , x_1 et x_3 et celui de sortie x_2 , sont des courants ou des tensions, et comment sont alors interconnectés la source indépendante de signal, les blocs A et β , et la charge extérieure. Ce qui conduit à l'étude de quatre types de réaction.

3. LES QUATRE CONFIGURATIONS FONDAMENTALES DES CIRCUITS A REACTION NEGATIVE

3.1 Connexions série et parallèle

Dans la configuration générale de la boucle de réaction négative, représentée pour rappel ci-dessous, l'amplificateur et le circuit de réaction ont un premier point de connexion du côté de la source de commande, et un second du côté de la charge extérieure.

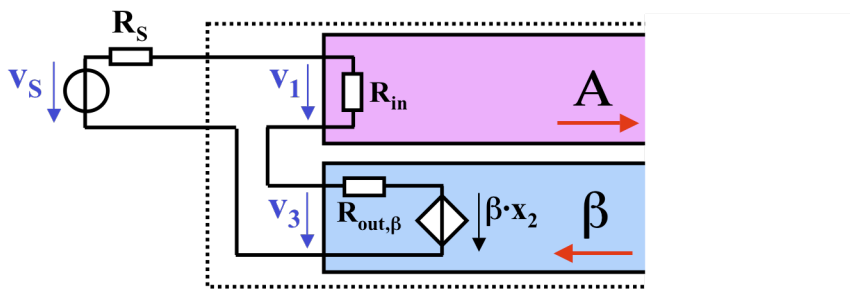


Du côté de la sortie de l'ampli, ou encore de la charge extérieure, la connexion a pour but de "capter" ou de "mesurer" le signal x_2 de sortie de l'ampli, pour en ramener une "image" x_3 à l'entrée de l'ampli, à travers le circuit de réaction. Du côté de l'entrée de l'ampli, ou encore de la source extérieure, la connexion a pour but de "soustraire" le signal "image" x_3 du signal extérieur de commande x_s pour obtenir x_1 .

Pour bien définir les connexions nécessaires suivant que les signaux sont des tensions ou des courants, il est nécessaire de remplacer le schéma symbolique ci-dessus, de type "unifilaire", par un schéma plus détaillé, où l'amplificateur et le circuit de réaction sont représentés sous forme de quadripôles.

Entrée série

Pour soustraire des tensions à l'entrée du circuit complet, la sortie du quadripôle de réaction est connectée en série avec l'entrée de l'amplificateur et la source indépendante:

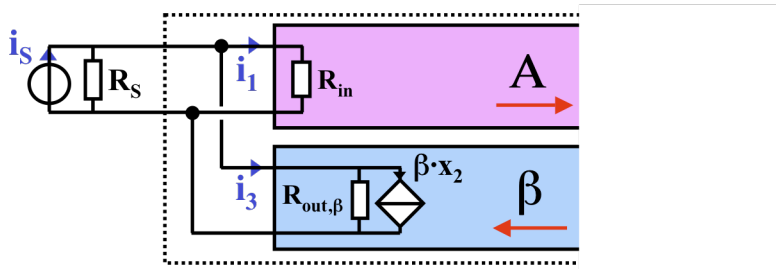


Pour, qu'indépendamment de la valeur de R_{in} , on puisse écrire les équations $v_3 = \beta \cdot x_2$, et $v_1 = v_s - v_3 = v_s - \beta \cdot x_2$, il faut satisfaire les conditions, dites de "réaction idéale": $R_s = 0$ et $R_{out,\beta} = 0$.

Dans un cas réel, il suffit que R_s et $R_{out,\beta}$ soient nettement inférieures à R_{in} . Si cette condition n'est pas remplie, on intègre R_s et $R_{out,\beta}$ au quadripôle A en série avec R_{in} , pour revenir au cas idéal.

Entrée parallèle

Pour soustraire des courants à l'entrée du circuit complet, la sortie du quadripôle de réaction est connectée en parallèle avec l'entrée de l'amplificateur et la source indépendante:

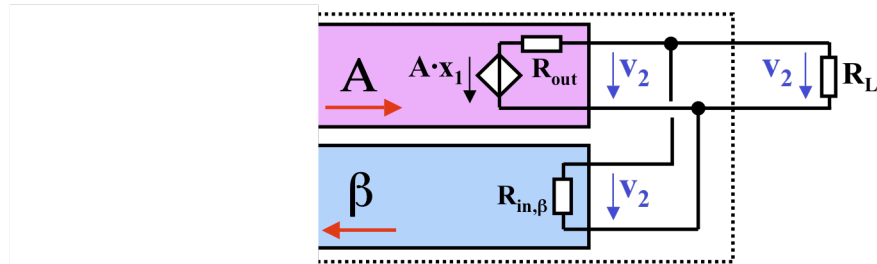


Pour, qu'indépendamment de la valeur de R_{in} , on puisse écrire les équations: $i_3 = \beta \cdot x_2$ et $i_1 = i_s - i_3 = i_s - \beta \cdot x_2$, il faut satisfaire les conditions, dites de "réaction idéale": $R_s = \infty$ et $R_{out, \beta} = \infty$.

Dans un cas réel, il suffit que R_s et $R_{out, \beta}$ soient nettement supérieures à R_{in} . Si cette condition n'est pas remplie, on intègre R_s et $R_{out, \beta}$ au quadripôle A en parallèle avec R_{in} , pour revenir au cas idéal.

Sortie parallèle

Pour capter la tension de sortie du circuit complet, l'entrée du quadripôle de réaction est connectée en parallèle avec la sortie de l'amplificateur et la charge:

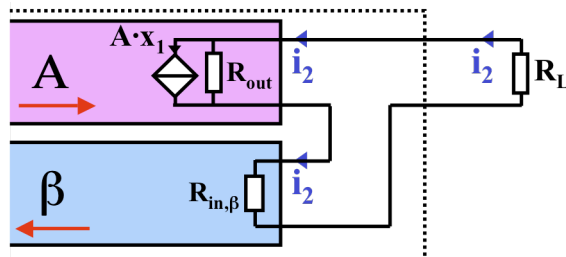


Pour, qu'indépendamment de la valeur de R_{out} , on puisse écrire l'équation: $v_2 = A \cdot x_1$, il faut satisfaire les conditions, dites de "réaction idéale": $R_L = \infty$ et $R_{in, \beta} = \infty$.

Dans un cas réel, il suffit que R_L et $R_{in, \beta}$ soient nettement supérieures à R_{out} . Si cette condition n'est pas remplie, on intègre R_L et $R_{in, \beta}$ au quadripôle A en parallèle sur sa sortie, pour revenir au cas idéal.

Sortie série

Pour capter le courant de sortie du circuit complet, l'entrée du quadripôle de réaction est connectée en série avec la sortie de l'amplificateur et la charge:

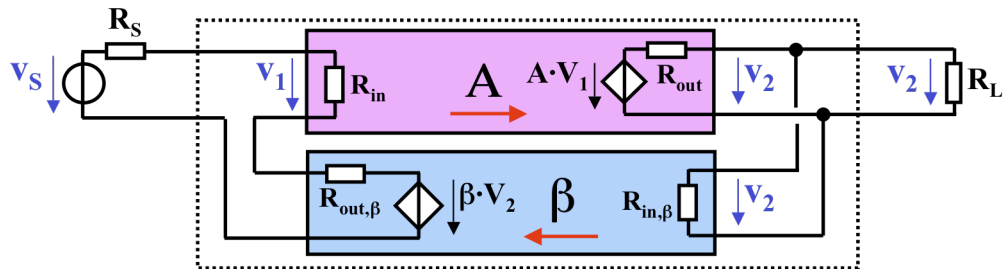


Pour, qu'indépendamment de la valeur de R_{out} , on puisse écrire l'équation: $i_2 = A \cdot x_1$, il faut satisfaire les conditions, dites de "réaction idéale": $R_L = 0$ et $R_{in, \beta} = 0$.

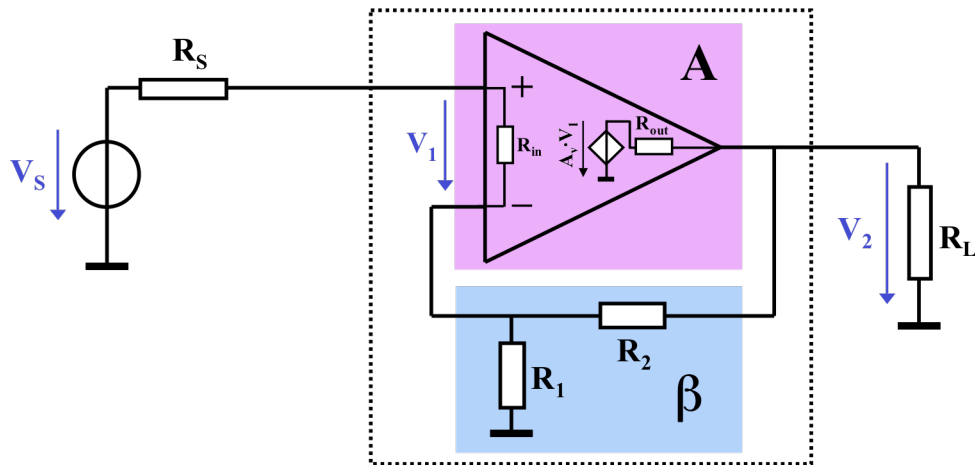
Dans un cas réel, il suffit que R_L et $R_{in, \beta}$ soient nettement inférieures à R_{out} . Si cette condition n'est pas remplie, on intègre R_L et $R_{in, \beta}$ au quadripôle A en série dans sa sortie, pour revenir au cas idéal.

3.2 Réaction négative du type série - parallèle

Le schéma de principe, avec connexion série en entrée et parallèle en sortie, est le suivant:

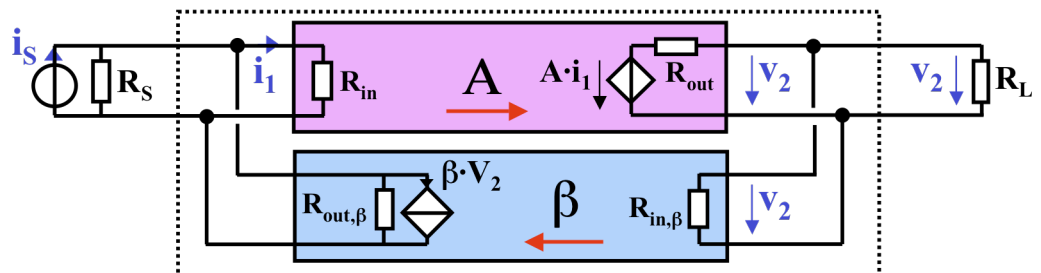


Un exemple pratique est le montage non-inverseur à ampli opérationnel classique:

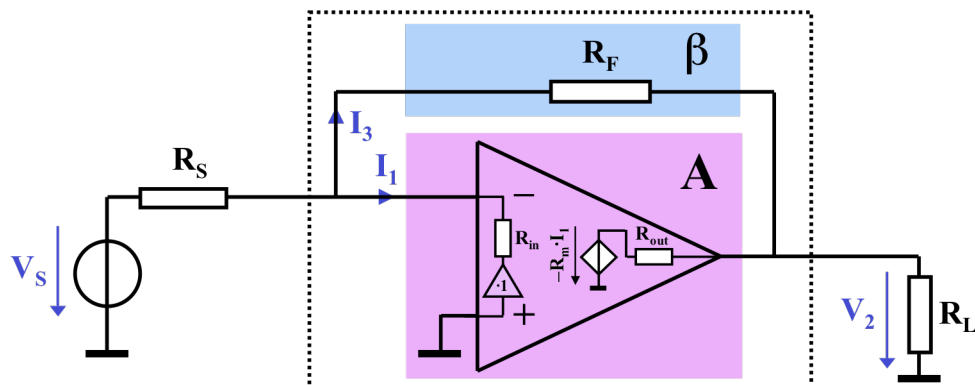


3.3 Réaction négative du type parallèle - parallèle

Le schéma de principe, avec connexion parallèle en entrée et parallèle en sortie, est le suivant:

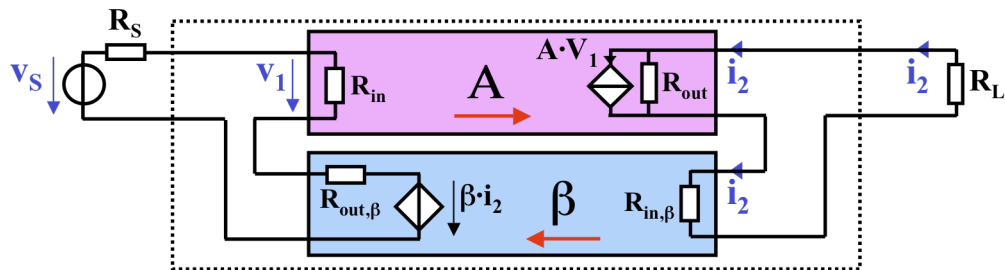


Un exemple pratique est le montage inverseur à ampli opérationnel du type "Current Feedback":

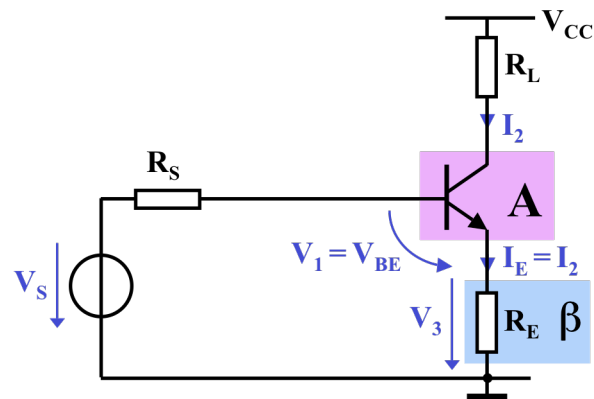


5.3.4 Réaction négative du type série - série

Le schéma de principe, avec connexion série en entrée et série en sortie, est le suivant:

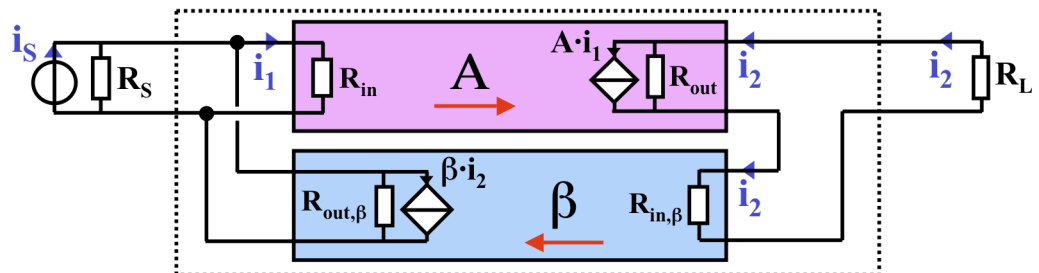


Un exemple pratique est une source de courant à transistor:

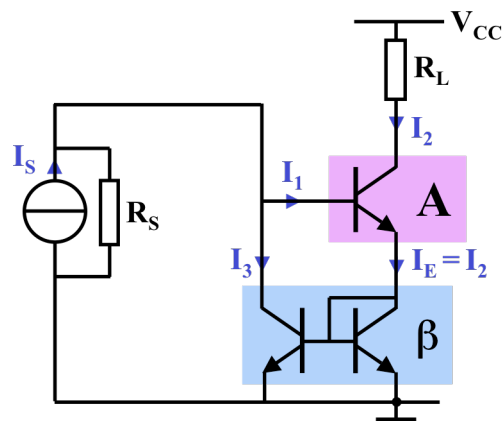


3.5 Réaction négative du type parallèle - série

Le schéma de principe, avec connexion parallèle en entrée et série en sortie, est le suivant:



Un exemple pratique est le miroir de courant de type "Wilson":



Dans cet exemple, le bloc β est actif, c'est un miroir de courant de rapport 1.

4 LA REACTION NEGATIVE IDEALE

ETUDE ELEMENTAIRE DES CARACTERISTIQUES DE "GAIN" ET D'IMPEDANCE AUX ACCES DES QUATRE CONFIGURATIONS DE REACTION NEGATIVE

4.1 Préliminaires

L'étude élémentaire des propriétés des quatre montages fondamentaux de la réaction négative repose sur certaines hypothèses qui simplifient considérablement le traitement mathématique du problème. Ces hypothèses permettent de définir ce que l'on appellera la "réaction négative idéale". Ces hypothèses sont:

1. Le signal d'entrée est transmis vers la sortie uniquement au travers de l'ampli A.
2. Le signal de réaction est ramené de la sortie vers l'entrée uniquement au travers du circuit de réaction β .
3. Le circuit de réaction β ne charge pas l'ampli A et ne modifie pas ses performances. En particulier, le gain de l'ampli A n'est pas affecté par la valeur des impédances d'entrée et de sortie du circuit β .
4. La charge extérieure R_L ne modifie pas les performances de l'ampli A.
5. La valeur du facteur de transmission β du circuit de réaction n'est pas affectée par la valeur de la résistance de source R_S .
6. La valeur du facteur de transmission β du circuit de réaction n'est pas affectée par la valeur de la résistance de charge R_L .

Comme démontré en 5.3.1, les hypothèses 3, 4, 5 et 6 imposent les conditions suivantes:

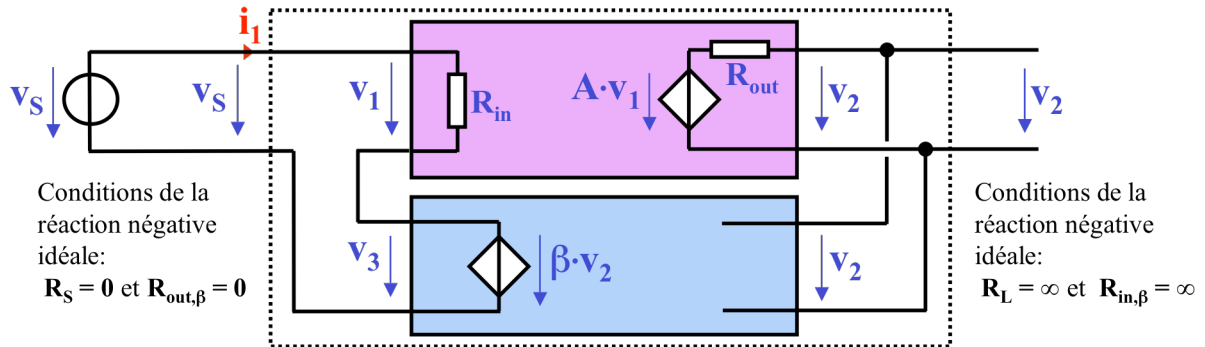
- pour une sortie à connexion série, en théorie il faut que $R_L = 0$ et $R_{in,\beta} = 0$
en pratique il suffit que $R_L + R_{in,\beta} \ll R_{out}$
- pour une sortie à connexion parallèle: en théorie il faut que $R_L = \infty$ et $R_{in,\beta} = \infty$
en pratique il suffit que R_L et $R_{in,\beta} \gg R_{out}$
- pour une entrée à connexion série: en théorie il faut que $R_S = 0$ et $R_{out,\beta} = 0$
en pratique il suffit que $R_S + R_{in,\beta} \ll R_{in}$
- pour une entrée à connexion parallèle: en théorie il faut que $R_S = \infty$ et $R_{out,\beta} = \infty$
en pratique il suffit que $R_S = 0$ et $R_{out,\beta} \gg R_{in}$

Les hypothèses 1 et 2 reviennent à admettre que les quadripôles A et β ont un fonctionnement unilatéral. Pour l'amplificateur A, cette condition est généralement satisfaite. Le réseau de réaction β , par contre, est généralement passif, souvent constitué uniquement de résistances, dont le fonctionnement est bilatéral lorsqu'il est considéré seul. Connecté à une boucle de réaction, il est toutefois admissible, dans la plupart des cas, de considérer le fonctionnement du quadripôle β comme unilatéral, car l'apport de ce dernier dans le sens source $\rightarrow$ charge est négligeable, puisque l'atténuation de ce réseau passif est à comparer au "gain" élevé de l'ampli A.

La différence éventuelle entre les résultats obtenus en appliquant la théorie simplifiée de la réaction négative idéale, et ceux résultant de l'application d'une théorie plus complète de la réaction négative réelle, tient essentiellement aux hypothèses 3, 4, 5 et 6.

4.2 La réaction série-parallèle ou l'ampli de tension

Le schéma, avec les hypothèses de la réaction idéale, est le suivant:



Les paramètres A et β sont tous les deux des rapports de tension, donc sans dimension.

Le gain en boucle fermée est donné par la formule générale établie précédemment:

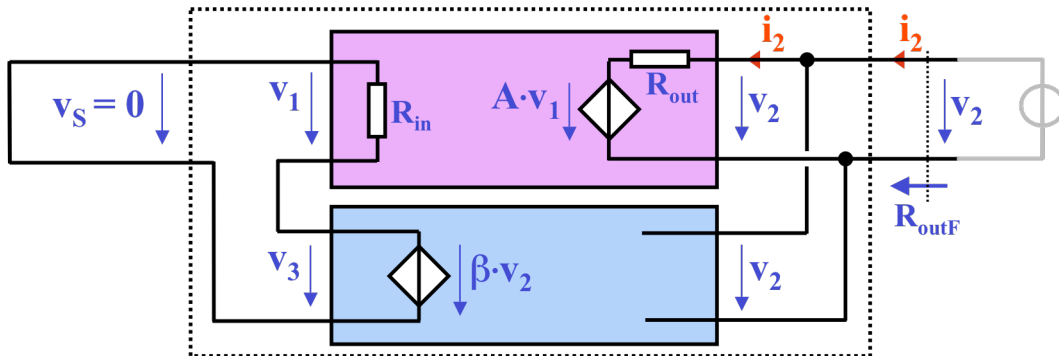
$$A_F = \frac{v_2}{v_S} = \frac{A}{1 + A \cdot \beta}$$

La résistance d'entrée en boucle fermée R_{inF} est donnée par:

$$R_{inF} = \frac{v_S}{i_1} = \frac{v_1 + v_3}{i_1} = \frac{v_1 + \beta \cdot v_2}{i_1} = \frac{v_1 + \beta \cdot A \cdot v_1}{i_1} = \frac{R_{in} \cdot i_1 \cdot (1 + A \cdot \beta)}{i_1} = R_{in} \cdot (1 + A \cdot \beta)$$

D'une façon plus générale, dans un circuit à réaction négative avec connexion d'entrée série, l'impédance d'entrée est multipliée par le taux de réaction $(1 + A \cdot \beta)$.

La résistance de sortie est déterminée en appliquant une source de tension aux bornes de sortie, et en calculant le rapport v_2/i_2 avec v_S nulle:



La résistance de sortie en boucle fermée R_{outF} est donnée par:

$$R_{outF} = \frac{v_2}{i_2} = \frac{v_2}{(v_2 - A \cdot v_1)/R_{out}} = \frac{v_2}{(v_2 + A \cdot v_3)/R_{out}} = \frac{v_2}{(v_2 + A \cdot \beta \cdot v_2)/R_{out}} = \frac{R_{out}}{1 + A \cdot \beta}$$

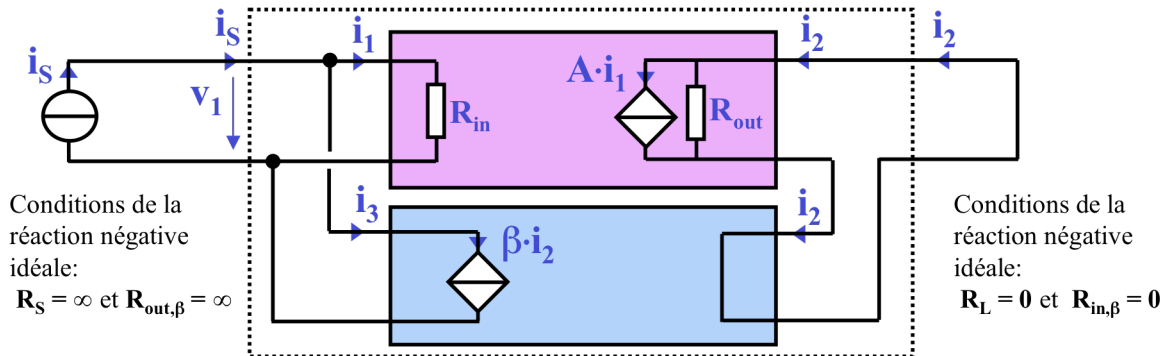
D'une façon plus générale, dans un circuit à réaction négative avec connexion parallèle en sortie, l'impédance de sortie est divisée par le taux de réaction $(1 + A \cdot \beta)$.

Conclusion:

Un amplificateur en réaction série-parallèle est transformé en un ampli de tension, soit une source de tension commandée en tension, d'autant plus proche de l'idéal ($A_{vF} = 1/\beta$, $R_{inF} = \infty$, $R_{outF} = 0$), que le taux de réaction est élevé.

4.3 La réaction parallèle-série ou l'ampli de courant

Le schéma, avec les hypothèses de la réaction idéale, est le suivant:



Les paramètres A et β sont tous les deux des rapports de courant, donc sans dimension.

Le gain en boucle fermée est donné par la formule générale établie précédemment:

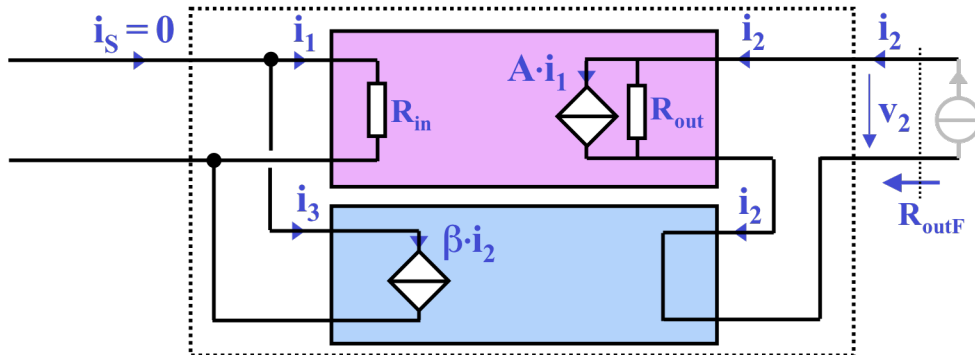
$$A_F = \frac{i_2}{i_s} = \frac{A}{1 + A \cdot \beta}$$

La résistance d'entrée en boucle fermée R_{inF} est donnée par:

$$R_{inF} = \frac{v_1}{i_s} = \frac{v_1}{i_1 + i_3} = \frac{R_{in} \cdot i_1}{i_1 + \beta \cdot i_2} = \frac{R_{in} \cdot i_1}{i_1 + \beta \cdot A \cdot i_1} = \frac{R_{in}}{1 + A \cdot \beta}$$

D'une façon plus générale, dans un circuit à réaction négative avec connexion d'entrée parallèle, l'impédance d'entrée est divisée par le taux de réaction ($1 + A \cdot \beta$).

La résistance de sortie est déterminée en ouvrant la sortie pour y appliquer une source de courant auxiliaire aux bornes, et en calculant le rapport v_2/i_2 avec i_s nulle:



La résistance de sortie en boucle fermée R_{outF} est donnée par:

$$R_{outF} = \frac{v_2}{i_2} = \frac{R_{out} \cdot (i_2 - A \cdot i_1)}{i_2} = \frac{R_{out} \cdot (i_2 + A \cdot i_3)}{i_2} = \frac{R_{out} \cdot (i_2 + A \cdot \beta \cdot i_2)}{i_2} = R_{out} \cdot (1 + A \cdot \beta)$$

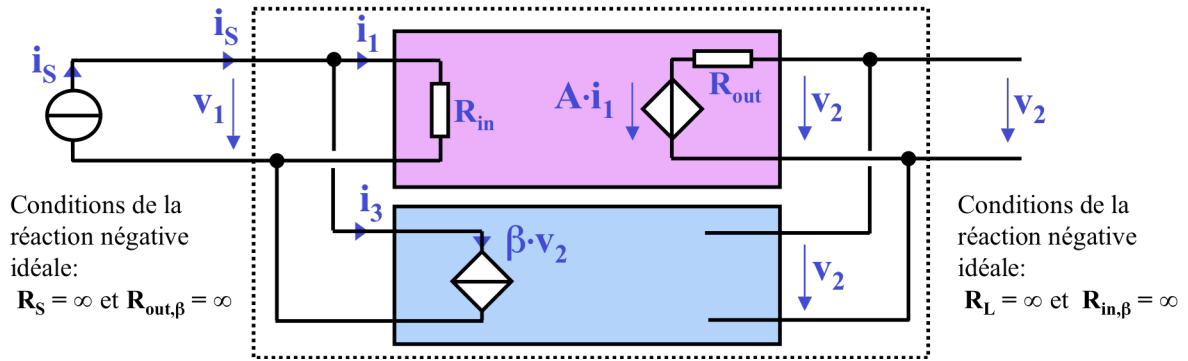
D'une façon plus générale, dans un circuit à réaction négative avec connexion série en sortie, l'impédance de sortie est multipliée par le taux de réaction ($1 + A \cdot \beta$).

Conclusion:

Un amplificateur en réaction parallèle-série est transformé en un ampli de courant, soit une source de courant commandée en courant, d'autant plus proche de l'idéal ($A_{iF} = 1/\beta$, $R_{inF} = 0$, $R_{outF} = \infty$), que le taux de réaction est élevé.

4.5 La réaction parallèle-parallèle ou l'ampli à transrésistance

Le schéma, avec les hypothèses de la réaction idéale, est le suivant:



Le paramètre A a une dimension de résistance et β de conductance.

Le gain en boucle fermée est donné par la formule générale établie précédemment:

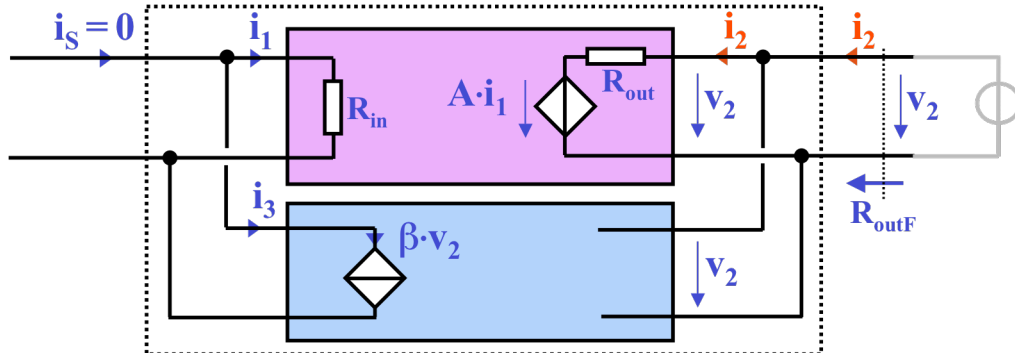
$$A_F = \frac{v_2}{i_s} = \frac{A}{1 + A \cdot \beta}$$

La résistance d'entrée en boucle fermée R_{inF} est donnée par:

$$R_{inF} = \frac{v_1}{i_s} = \frac{v_1}{i_1 + i_3} = \frac{R_{in} \cdot i_1}{i_1 + \beta \cdot v_2} = \frac{R_{in} \cdot i_1}{i_1 + \beta \cdot A \cdot i_1} = \frac{R_{in}}{1 + A \cdot \beta}$$

D'une façon plus générale, dans un circuit à réaction négative avec connexion d'entrée parallèle, l'impédance d'entrée est divisée par le taux de réaction $(1 + A \cdot \beta)$.

La résistance de sortie est déterminée en appliquant une source de tension auxiliaire aux bornes de sortie et en calculant le rapport v_2/i_2 avec v_s nulle:



La résistance de sortie en boucle fermée R_{outF} est donnée par:

$$R_{outF} = \frac{v_2}{i_2} = \frac{v_2}{(v_2 - A \cdot i_1)/R_{out}} = \frac{v_2}{(v_2 + A \cdot i_3)/R_{out}} = \frac{v_2}{(v_2 + A \cdot \beta \cdot v_2)/R_{out}} = \frac{R_{out}}{1 + A \cdot \beta}$$

D'une façon plus générale, dans un circuit à réaction négative avec connexion parallèle en sortie, l'impédance de sortie est divisée par le taux de réaction $(1 + A \cdot \beta)$.

Conclusion:

Un amplificateur en réaction parallèle-parallèle est transformé en un ampli à transrésistance, soit une source de tension commandée en courant, d'autant plus proche de l'idéal ($R_{mF} = 1/\beta$, $R_{inF} = 0$, $R_{outF} = 0$), que le taux de réaction est élevé.

4.6 Résumé

L'étude simplifiée des quatre montages fondamentaux de réaction négative permet de tirer les conclusions qualitatives suivantes:

- La réaction négative permet de transformer un amplificateur imparfait en un ampli proche de l'ampli idéal.
- Le facteur important est le taux de réaction $(1 + A \cdot \beta)$. C'est par ce facteur que le "gain" de l'ampli original est divisé, mais c'est également par ce facteur que sont modifiées les impédances d'entrée et de sortie de l'ampli.
- Tant pour l'entrée que pour la sortie, on remarque qu'une connexion parallèle du circuit de réaction a pour effet de réduire l'impédance, tandis qu'une connexion série a pour effet de l'augmenter:
 - connexion parallèle: impédance divisée par $(1 + A \cdot \beta)$
 - connexion série: impédance multipliée par $(1 + A \cdot \beta)$

5. LA REACTION NEGATIVE NON-IDEALE ou REELLE

5.1 Introduction

Dans les circuits réels, souvent l'une ou plusieurs des hypothèses simplificatrices 3, 4, 5 et 6 de la réaction idéale ne sont pas satisfaites. En particulier:

- la résistance de la source indépendante d'entrée et la résistance de sortie du bloc de réaction influencent l'entrée de l'amplificateur,
- la charge extérieure et la résistance d'entrée du bloc de réaction influencent la sortie de l'amplificateur.

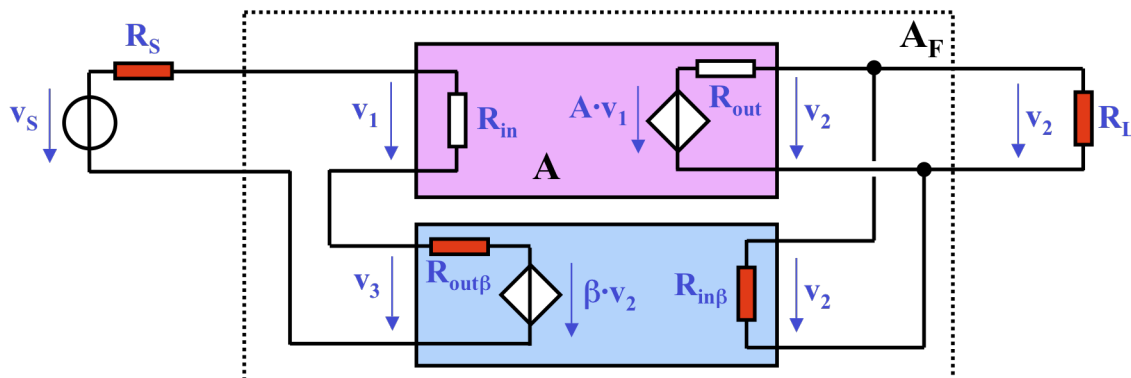
Si des éléments modifient le "gain" en boucle ouverte A , le taux de réaction $(1 + A \cdot \beta)$ s'en trouve affecté, ce qui a un effet sur les performances de l'ampli en boucle fermée.

Par contre, les hypothèses d'unilatéralité des blocs A et β peuvent être considérées comme vérifiées pour les raisons déjà évoquées au point 5.4.1.

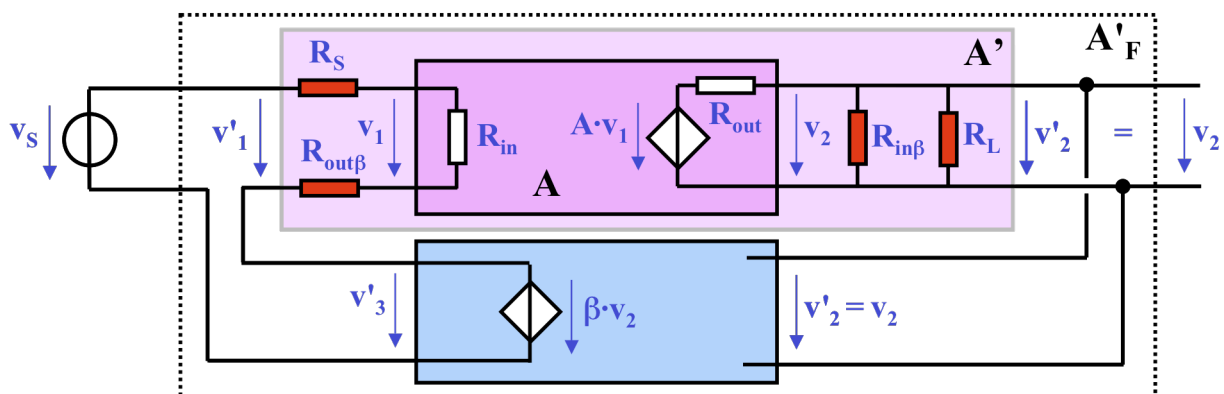
Pour pouvoir conserver les résultats obtenus lors de l'étude de la réaction négative idéale, la méthode consiste à transformer le bloc A en un bloc virtuel A' , en y incluant les éléments non-idéaux R_s , R_L , $R_{in\beta}$ et $R_{out\beta}$. Ce bloc virtuel A' se trouve alors dans les conditions de la réaction idéale.

5.2 La réaction série-parallèle ou l'ampli de tension

Le schéma, avec les éléments parasites de la réaction non-idéale, est le suivant:



Ce schéma est identique à celui ci-dessous, où les éléments parasites sont associés au quadripôle A , pour faire apparaître A' .



Les paramètres du quadripôle A' seul, en boucle ouverte, sont:

$$R'_{in} = R_{in} + R_S + R_{out\beta}$$

$$R'_{out} = \left(\frac{1}{R_{out}} + \frac{1}{R_L} + \frac{1}{R_{in\beta}} \right)^{-1}$$

$$A' = \frac{v'_2}{v'_1} = \frac{R_{in}}{R'_{in}} \cdot A \cdot \frac{\frac{R_L \cdot R_{in\beta}}{R_L + R_{in\beta}}}{R_{out} + \frac{R_L \cdot R_{in\beta}}{R_L + R_{in\beta}}} = \frac{R_{in}}{R'_{in}} \cdot A \cdot \frac{R_L \cdot R_{in\beta}}{R_{out} \cdot R_L + R_{out} \cdot R_{in\beta} + R_L \cdot R_{in\beta}}$$

Le quadripôle A' est en réaction négative idéale, d'où:

$$A'_F = \frac{v_2}{v_S} = \frac{A'}{1 + A' \cdot \beta}$$

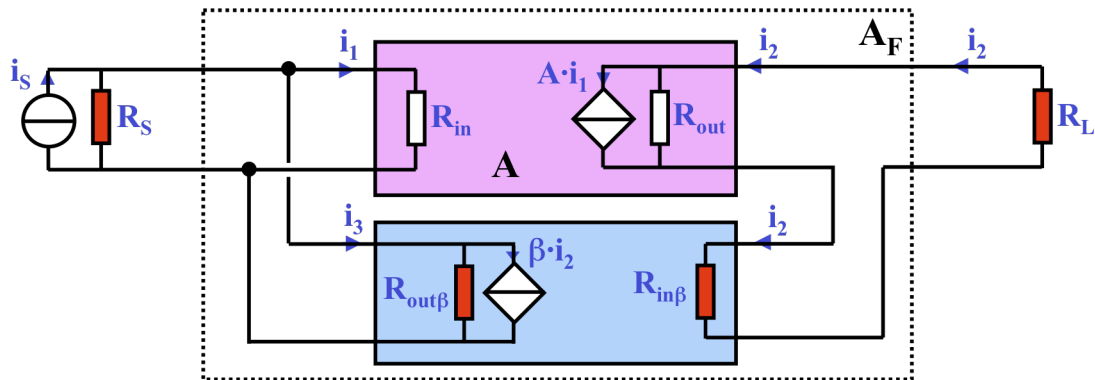
$$R'_{inF} = R'_{in} \cdot (1 + A' \cdot \beta) \quad \text{et} \quad R'_{outF} = \frac{R'_{out}}{1 + A' \cdot \beta}$$

Finalement, en extrayant R_S de R'_{inF} , et R_L de R'_{outF} (voir la justification en 5.5.6):

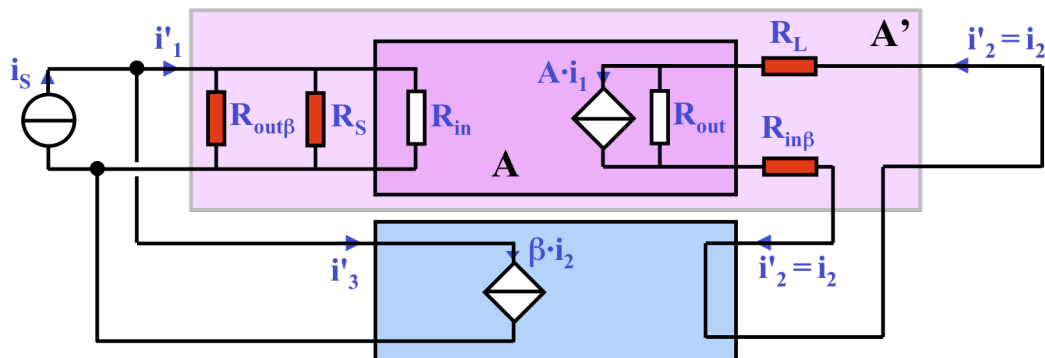
$$R_{inF} = R'_{inF} - R_S \quad \text{et} \quad R_{outF} = \left(\frac{1}{R'_{outF}} - \frac{1}{R_L} \right)^{-1}$$

5.3 La réaction parallèle-série ou l'ampli de courant

Le schéma, avec les éléments parasites de la réaction non-idéale, est le suivant:



Ce schéma est identique à celui ci-dessous, où les éléments parasites sont associés au quadripôle A, pour faire apparaître A'.



Les paramètres du quadripôle A' seul, en boucle ouverte, sont:

$$R'_{in} = \left(\frac{1}{R_{in}} + \frac{1}{R_S} + \frac{1}{R_{out}\beta} \right)^{-1}$$

$$R'_{out} = R_{out} + R_L + R_{in}\beta$$

$$A' = \frac{i'_2}{i'_1} = \frac{R'_{in}}{R_{in}} \cdot A \cdot \frac{R_{out} \cdot (R_L + R_{in}\beta)}{R_{out} + R_L + R_{in}\beta} = \frac{R'_{in}}{R_{in}} \cdot A \cdot \frac{R_{out}}{R_{out} + R_L + R_{in}\beta}$$

Le quadripôle modifié A' est en réaction négative idéale, d'où:

$$A'_F = \frac{i_2}{i_S} = \frac{A'}{1 + A' \cdot \beta}$$

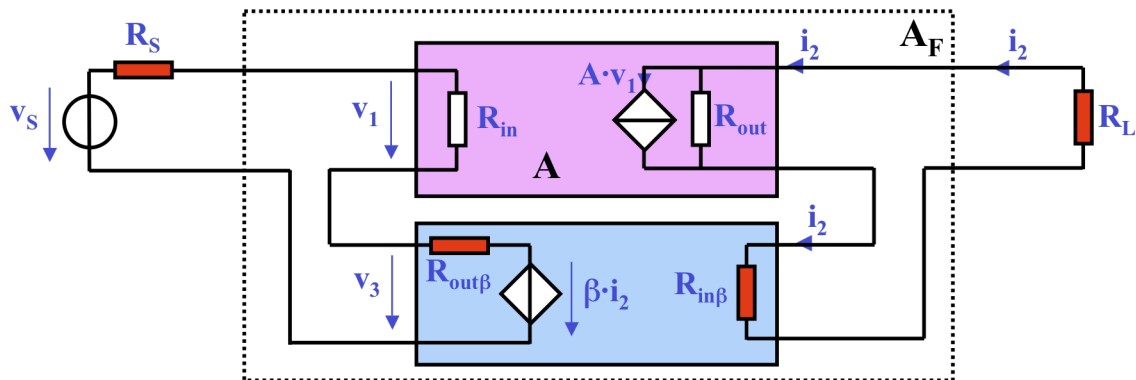
$$R'_{inF} = \frac{R'_{in}}{1 + A' \cdot \beta} \quad \text{et} \quad R'_{outF} = R'_{out} \cdot (1 + A' \cdot \beta)$$

Finalement, en extrayant R_S de R'_{inF} , et R_L de R'_{outF} (voir la justification en 5.5.6):

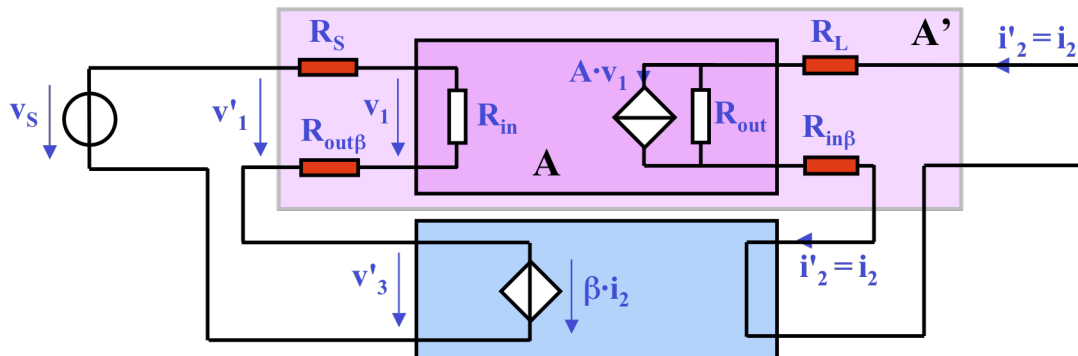
$$R_{inF} = \left(\frac{1}{R'_{inF}} - \frac{1}{R_S} \right)^{-1} \quad \text{et} \quad R_{outF} = R'_{outF} - R_L$$

5.4 La réaction série-série ou l'ampli à transconductance

Le schéma, avec les éléments parasites de la réaction non-idéale, est le suivant:



Ce schéma est identique à celui ci-dessous, où les éléments parasites sont associés au quadripôle A, pour faire apparaître A'.



Les paramètres du quadripôle A' seul, en boucle ouverte, sont:

$$R'_{in} = R_{in} + R_S + R_{out\beta}$$

$$R'_{out} = R_{out} + R_L + R_{in\beta}$$

$$A' = \frac{i_2}{v_1} = \frac{R_{in}}{R'_{in}} \cdot A \cdot \frac{R_{out} \cdot (R_L + R_{in\beta})}{R_{out} + R_L + R_{in\beta}} = \frac{R_{in}}{R'_{in}} \cdot A \cdot \frac{R_{out}}{R_{out} + R_L + R_{in\beta}}$$

Le quadripôle modifié A' est en réaction négative idéale d'où:

$$A'_F = \frac{i_2}{v_S} = \frac{A'}{1 + A' \cdot \beta}$$

$$R'_{inF} = R'_{in} \cdot (1 + A' \cdot \beta)$$

et

$$R'_{outF} = R'_{out} \cdot (1 + A' \cdot \beta)$$

Finalement, en extrayant R_S de R'_{inf} , et R_L de R'_{outF} (voir la justification en 5.5.6):

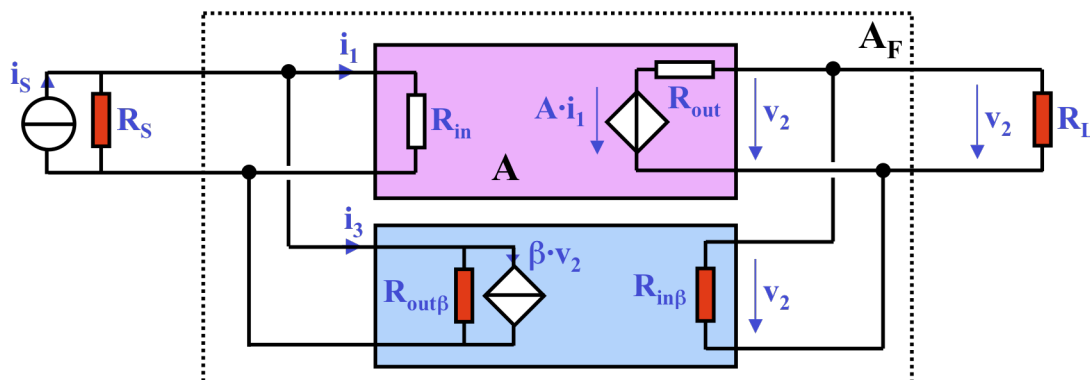
$$R_{inF} = R'_{inF} - R_S$$

et

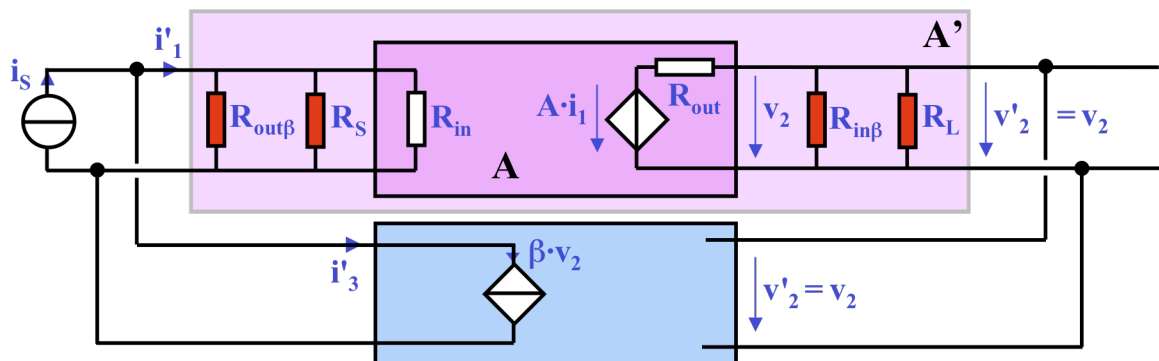
$$R_{outF} = R'_{outF} - R_L$$

5.5 La réaction parallèle-parallèle ou l'ampli à transrésistance

Le schéma, avec les éléments parasites de la réaction non-idéale, est le suivant:



Ce schéma est identique à celui ci-dessous, où les éléments parasites sont associés au quadripôle A, pour faire apparaître A'.



Les paramètres du quadripôle A' seul, en boucle ouverte, sont:

$$R'_{in} = \left(\frac{1}{R_{in}} + \frac{1}{R_S} + \frac{1}{R_{outb}} \right)^{-1} \quad \text{et}$$

$$A' = \frac{v_2}{i_1'} = \frac{R'_{in}}{R_{in}} \cdot A \cdot \frac{\frac{R_L \cdot R_{in\beta}}{R_L + R_{in\beta}}}{R_{out} + \frac{R_L \cdot R_{in\beta}}{R_L + R_{in\beta}}} = \frac{R'_{in}}{R_{in}} \cdot A \cdot \frac{R_L \cdot R_{in\beta}}{R_{out} \cdot R_L + R_{out} \cdot R_{in\beta} + R_L \cdot R_{in\beta}}$$

Le quadripôle modifié A' est en réaction négative idéale d'où:

$$A'_F = \frac{v_2}{i_S} = \frac{A'}{1 + A' \cdot \beta}$$

$$R'_{inF} = \frac{R'_{in}}{1 + A' \cdot \beta} \quad \text{et} \quad R'_{outF} = \frac{R'_{out}}{1 + A' \cdot \beta}$$

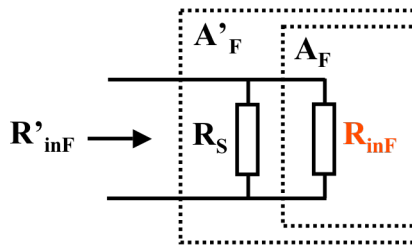
Finalement, en extrayant R_S de R'_{inF} , et R_L de R'_{outF} (voir la justification en 5.5.6):

$$R_{inF} = \left(\frac{1}{R'_{inF}} - \frac{1}{R_S} \right)^{-1} \quad \text{et} \quad R_{outF} = \left(\frac{1}{R'_{outF}} - \frac{1}{R_L} \right)^{-1}$$

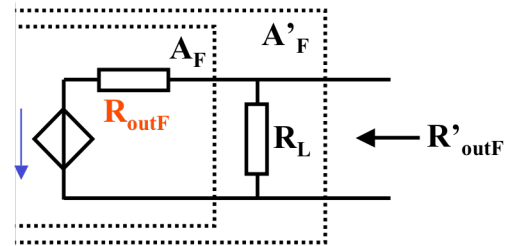
5.6 Extraction de R_S et R_L du quadripôle A'_F

La résistance interne de la source du signal à amplifier, ainsi que la charge extérieure ne font pas partie de l'amplificateur réel en boucle fermée, il faut donc les extraire des résistances d'entrée R'_{inF} et R'_{outF} pour trouver les véritables résistances R_{inF} et R_{outF} aux bornes réelles d'entrée et de sortie.

Pour une connexion parallèle à un accès, entrée ou sortie, les schémas respectifs sont les suivants:

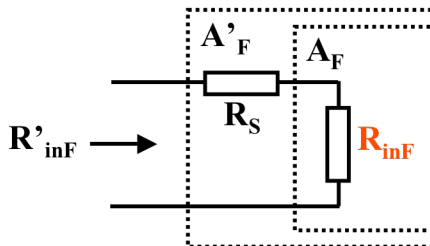


$$R_{inF} = \left(\frac{1}{R'_{inF}} - \frac{1}{R_S} \right)^{-1}$$

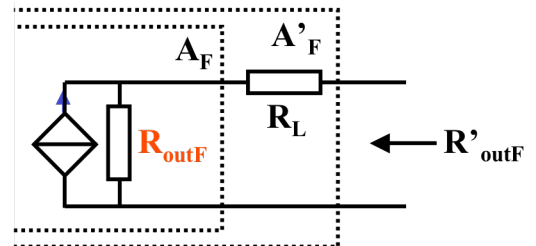


$$R_{outF} = \left(\frac{1}{R'_{outF}} - \frac{1}{R_L} \right)^{-1}$$

Pour une connexion série à un accès, entrée ou sortie, les schémas respectifs sont les suivants:



$$R_{inF} = R'_{inF} - R_S$$



$$R_{outF} = R'_{outF} - R_L$$

5.7 Détermination directe des impédances d'entrée et de sortie du quadripôle modifié A' en boucle ouverte

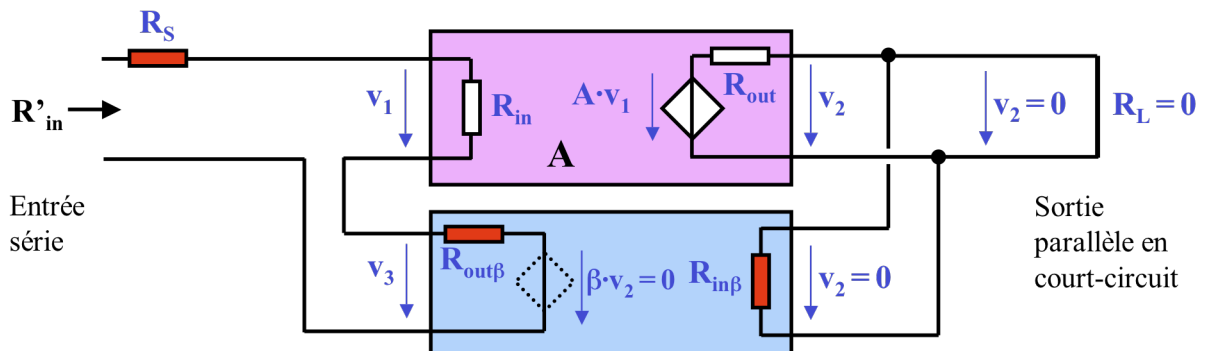
Sur le schéma détaillé de l'amplificateur, suivant la réalisation pratique de la réaction, il n'est pas toujours aisé de distinguer $R_{in\beta}$ et $R_{out\beta}$, et de déterminer leur influence sur les paramètres du quadripôle A'.

Détermination directe de R'_{in} .

En observant les schémas de principe en 5.5.2 à 5.5.5, on voit que R'_{in} correspond à la résistance vue par la source indépendante à l'entrée, à condition d'annuler la source commandée de réaction $\beta \cdot x_2$, donc d'annuler x_2 .

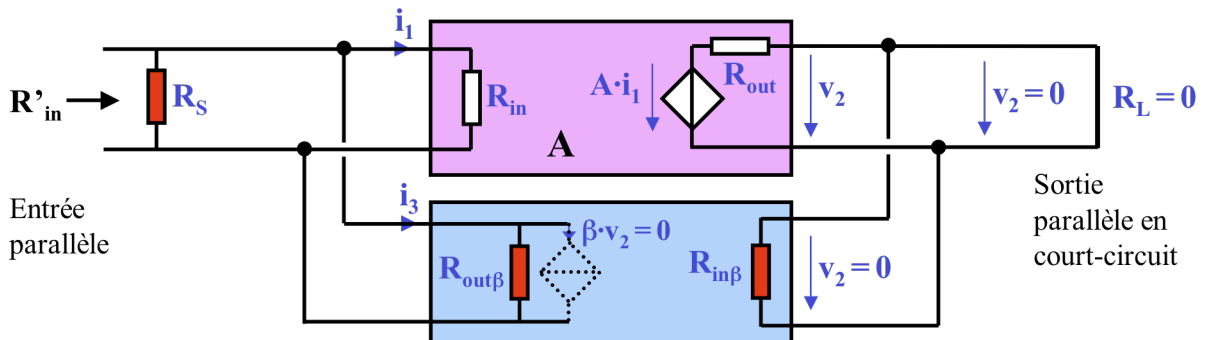
Si la sortie présente une connexion de type parallèle (mesure de la tension de sortie), v_2 est annulée en court-circuitant les bornes de sortie.

Pour une réaction série-parallèle, donc une entrée série en tension, le schéma est le suivant:



On a bien: $R'_{in} = R_{in} + R_S + R_{out\beta}$

Pour une réaction parallèle-parallèle, donc une entrée parallèle en courant, le schéma est le suivant:

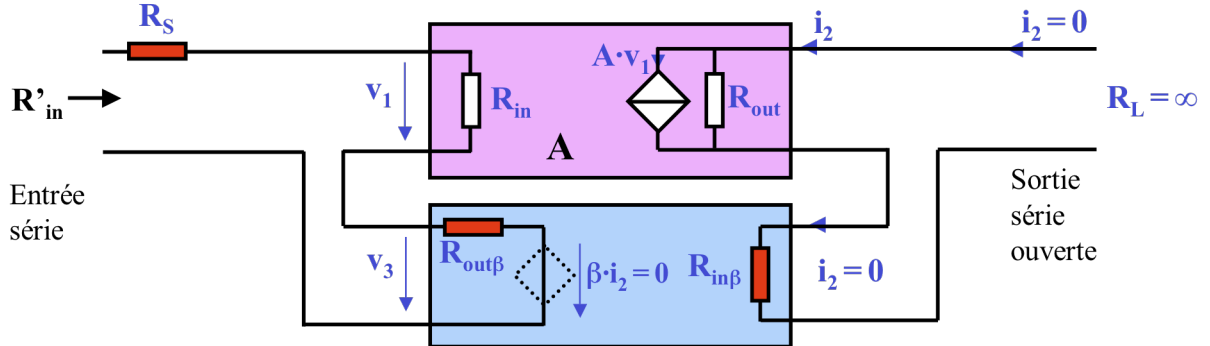


On a bien: $R'_{in} = \left(\frac{1}{R_{in}} + \frac{1}{R_S} + \frac{1}{R_{out\beta}} \right)^{-1}$

Si la sortie présente une connexion de type série (mesure du courant de sortie), i_2 est annulé en ouvrant le circuit de sortie.

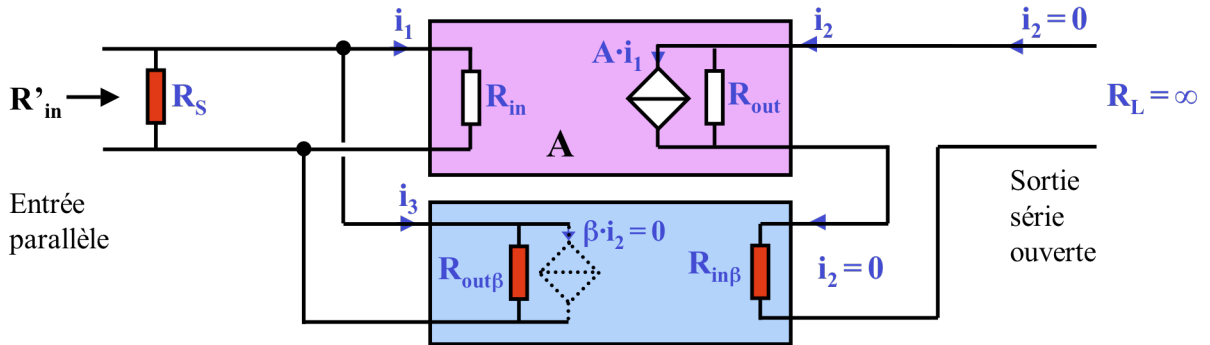
On peut alors déterminer directement R'_{in} en regardant la résistance vue par la source à l'entrée.

Pour une réaction série-série, donc une entrée série en tension, le schéma est le suivant:



On a bien: $R'_{in} = R_{in} + R_S + R_{out\beta}$

Pour une réaction parallèle-série, donc une entrée parallèle en courant, le schéma est le suivant:



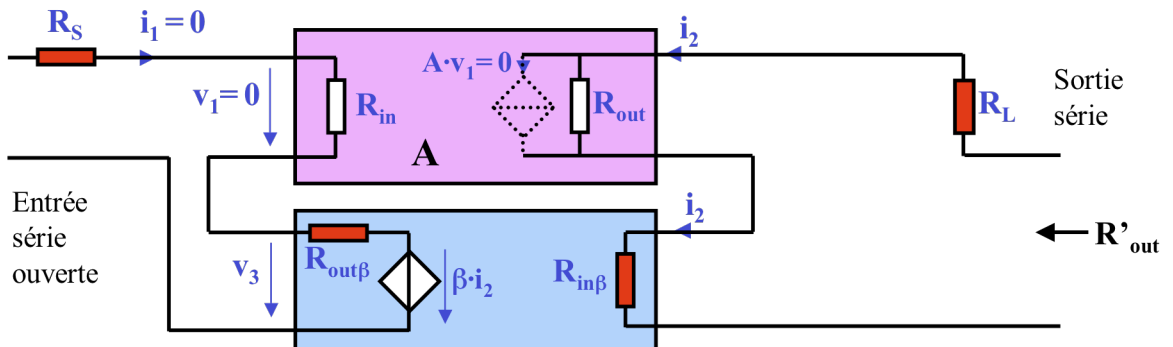
On a bien: $R'_{in} = \left(\frac{1}{R_{in}} + \frac{1}{R_S} + \frac{1}{R_{out\beta}} \right)^{-1}$

Détermination directe de R'_{out} .

En observant les schémas de principe en 5.5.2 à 5.5.5, on voit que R'_{out} correspond directement à la résistance vue entre les bornes d'une sortie parallèle, ou à la résistance série totale dans la boucle d'une sortie série, y compris R_L , ceci à condition d'annuler la source commandée d'amplification $A \cdot x_1$, donc d'annuler x_1 .

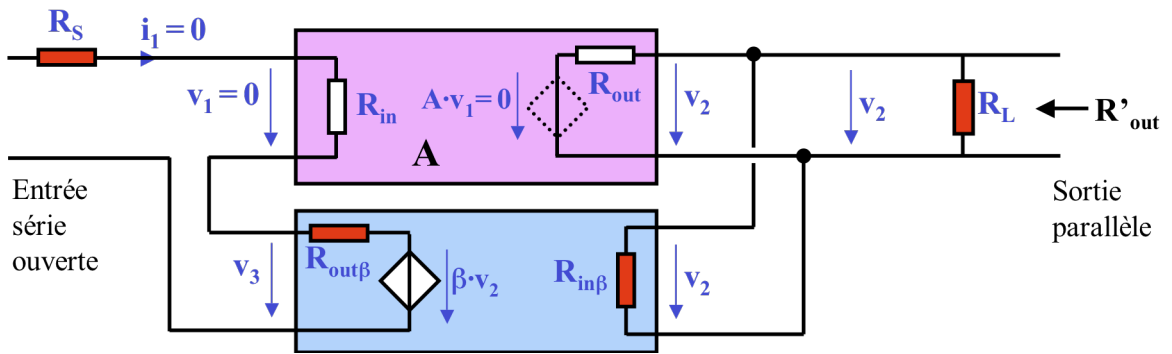
Si l'entrée présente une connexion de type série (entrée en tension), en ouvrant la boucle d'entrée, on annule i_1 , donc aussi $v_1 = R_{in} \cdot i_1$.

Pour une réaction série-série, donc une sortie série en courant, le schéma est le suivant:



On a bien: $R'_{out} = R_{out} + R_L + R_{in\beta}$

Pour une réaction série-parallèle, donc une sortie parallèle en tension, le schéma est le suivant:

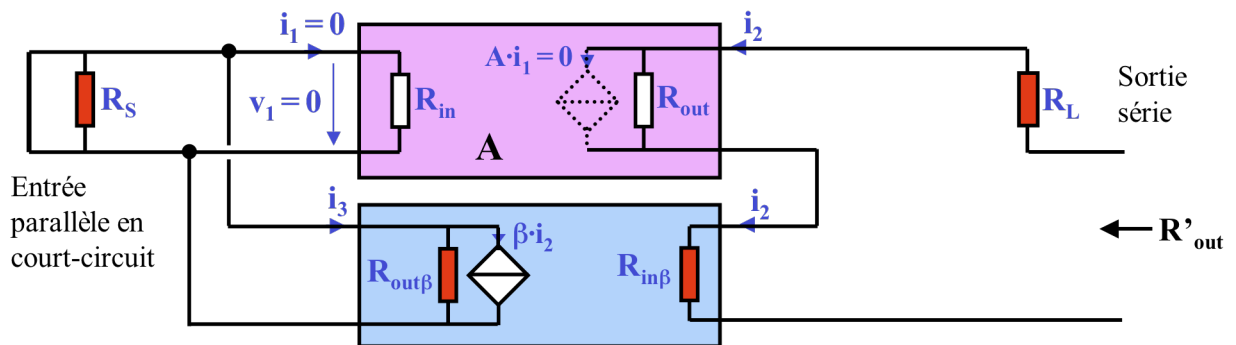


On a bien:
$$R'_{out} = \left(\frac{1}{R_{out}} + \frac{1}{R_L} + \frac{1}{R_{in}\beta} \right)^{-1}$$

Si l'entrée présente une connexion de type parallèle (entrée en courant), en court-circuitant les bornes de la source d'entrée, on annule v_1 , donc aussi $i_1 = v_1/R_{in}$.

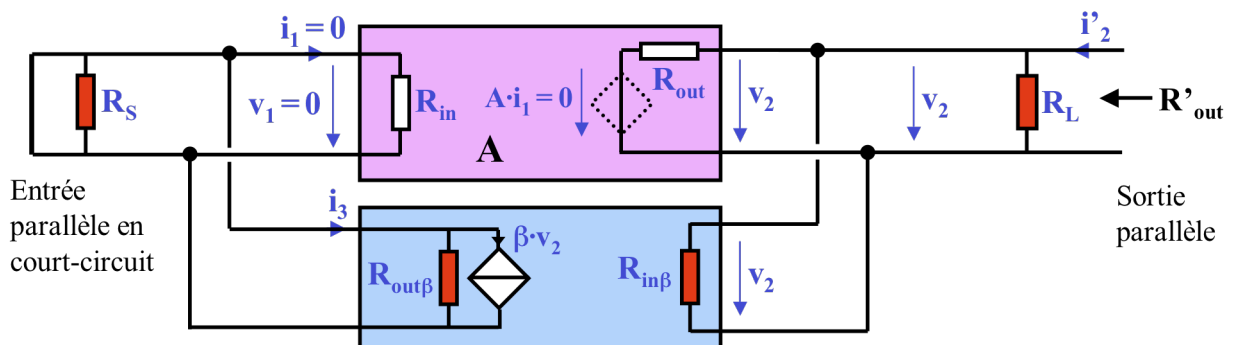
On peut alors déterminer directement R'_{out} en regardant la résistance entre les bornes d'une sortie parallèle, ou la résistance série dans la boucle d'une sortie série, y compris R_L .

Pour une réaction parallèle-série, donc une sortie série en courant, le schéma est le suivant:



On a bien:
$$R'_{out} = R_{out} + R_L + R_{in}\beta$$

Pour une réaction parallèle-parallèle, donc une sortie parallèle en tension, le schéma est le suivant:

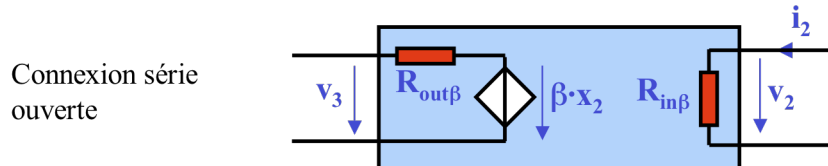


On a bien:
$$R'_{out} = \left(\frac{1}{R_{out}} + \frac{1}{R_L} + \frac{1}{R_{in}\beta} \right)^{-1}$$

5.5.8 Détermination du facteur de réaction β

Pour déterminer la valeur de la source de réaction $\beta \cdot x_2$, il suffit de court-circuiter les bornes de gauche du quadripôle β si la source commandée est de courant, ou de laisser ces bornes ouvertes si la source commandée est de tension.

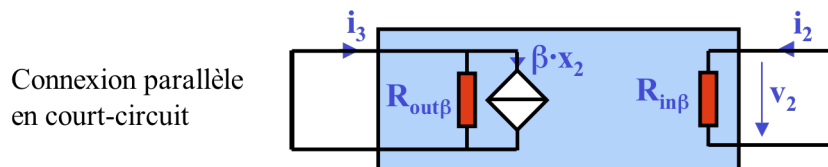
Avec une réaction série-série ou série-parallèle, le schéma est le suivant:



On alors:

$$v_3 = \beta \cdot x_2 \quad \Rightarrow \quad \beta = \frac{v_3}{x_2} \quad \text{avec: } x_2 = i_2 \quad \text{ou} \quad x_2 = v_2$$

Avec une réaction parallèle-série ou parallèle-parallèle, le schéma est le suivant:



On alors:

$$i_3 = \beta \cdot x_2 \quad \Rightarrow \quad \beta = \frac{i_3}{x_2} \quad \text{avec: } x_2 = i_2 \quad \text{ou} \quad x_2 = v_2$$

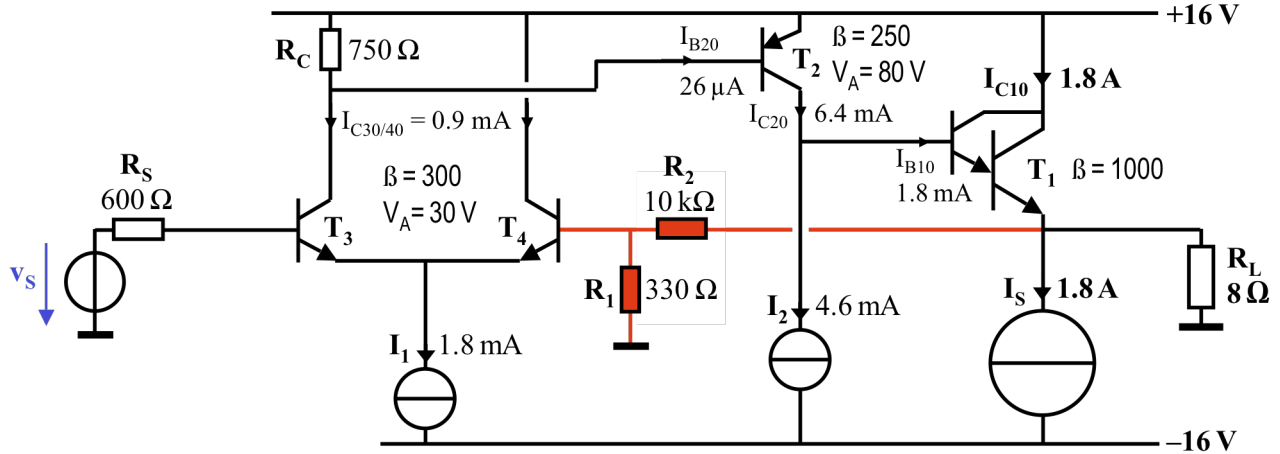
5.9 Résumé de la méthode d'analyse complète

1. Déterminer le type (ou la topologie) de réaction négative.
Définir les unités correspondantes de A et de β .
Représenter la source d'entrée par un équivalent Thévenin ou Norton, adapté au type de réaction.
2. Recherche des éléments parasites externes qui entourent le quadripôle actif A .
Dessin du quadripôle A' modifié.
3. Calcul des paramètres caractéristiques A' , R'_{in} et R'_{out} du quadripôle A' en boucle ouverte.
4. Calcul du paramètre β .
5. Calcul du taux de réaction $(1 + A' \cdot \beta)$ et des paramètres A'_F , R'_{inF} et R'_{outF} du quadripôle A'_F en boucle fermée.
6. Calcul des vraies valeurs de R_{inF} et R_{outF} du quadripôle A_F en boucle fermée, par extraction de R_s et de R_L .
7. Si nécessaire, transformation Thévenin-Norton de la source d'entrée.

6. EXEMPLES

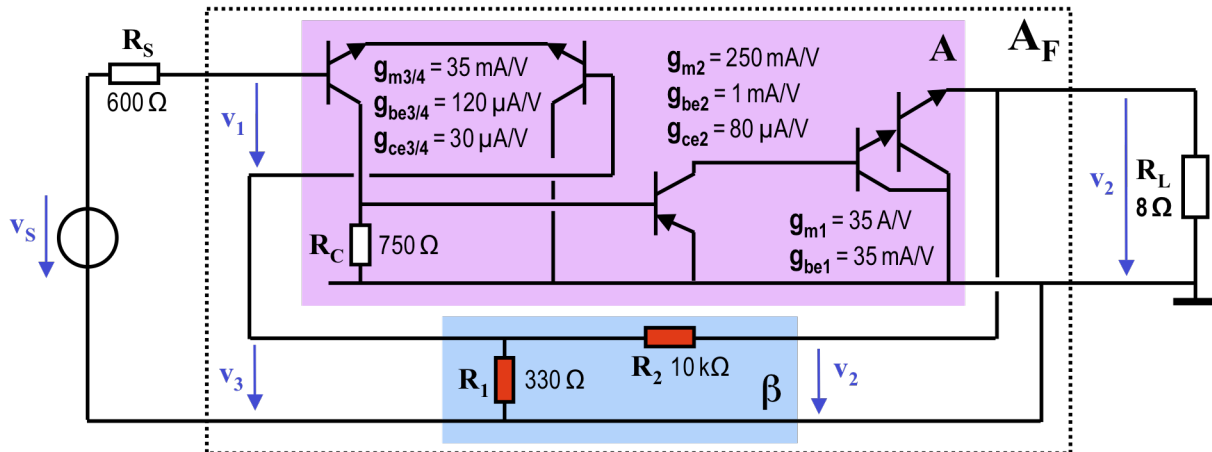
6.1 Amplificateur audio de puissance classe A

Soit le schéma simplifié de l'ampli classe A donné en exemple en 4.4.6:



La paire différentielle d'entrée reçoit, d'un côté la tension V_S (moins la chute sur R_S), de l'autre une fraction de la tension de sortie, à travers le diviseur de tension formé de R_1 et R_2 , dont elle amplifie la différence. On a donc une réaction série-parallèle, entrée en tension, sortie en tension.

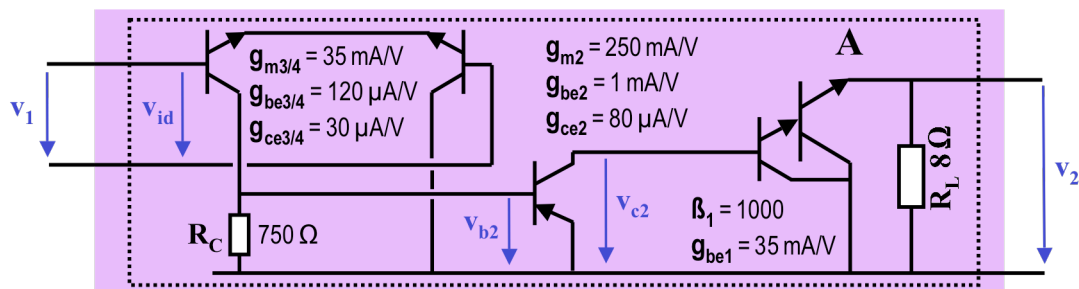
Le schéma "petits signaux", avec mise en évidence des quadripôles A et β , est le suivant:



A l'entrée, R_S et $R_{out\beta} = R_1/R_2$ sont négligeables car bien inférieures à $R_{in} = 2/g_{be3/4} = 16 \text{ k}\Omega$ en série, on est dans le cas idéal.

A la sortie, $R_{in\beta} = R_2 + R_1$ est négligeable car en parallèle avec R_L bien inférieure. Par contre la faible valeur de cette dernière fait qu'elle n'est à priori pas négligeable car elle a une influence sur le gain A. Pour se retrouver tout de même dans le cas idéal, on va considérer que le charge fait partie de A.

Le schéma du quadripôle A englobant R_L est le suivant:



$$R_{in} = \frac{2}{g_{be3/4}} \approx 16 \text{ k}\Omega$$

$$R_{out} = \left(\frac{1}{R_L} + \frac{1}{\frac{1}{g_{m1}} + \frac{1}{g_{ce2}} \cdot \frac{1}{\beta_1}} \right)^{-1} \approx 5 \Omega$$

$$A' = \frac{v_2}{v_1} = \frac{v_2}{v_{id}} = \frac{v_{b2}}{v_{id}} \cdot \frac{v_{c2}}{v_{b2}} \cdot \frac{v_2}{v_{c2}} = \frac{1}{2} g_{m3} \cdot \left(\frac{1}{g_{ce3}} // R_C // \frac{1}{g_{be2}} \right) \cdot g_{m2} \cdot \left(\frac{1}{g_{ce2}} // \left(\frac{1}{g_{be1}} + \beta_1 \cdot R_L \right) \right) \cdot 1 \approx 9000$$

Toujours parce que $R_{out\beta} = R_1 // R_2 \ll R_{in}$, on peut considérer que les courants dans R_1 et R_2 sont égaux, et donc que:

$$\beta = \frac{v_3}{v_2} = \frac{R_1}{R_1 + R_2} = 0.0319$$

Les paramètres en boucle fermée sont:

$$T = 1 + A \cdot \beta \approx 287$$

$$A_F = \frac{A}{1 + A \cdot \beta} = \frac{1}{\frac{1}{A} + \beta} \cong \frac{1}{\beta} = \frac{R_1 + R_2}{R_1} = 31 [V/V]$$

$$R_{inF} = R_{in} \cdot (1 + A \cdot \beta) \approx 4.6 \text{ M}\Omega \quad (\text{connexion série})$$

$$R_{outF} = \frac{R_{out}}{1 + A \cdot \beta} \approx 17 \text{ m}\Omega \quad (\text{connexion parallèle})$$

Extraire R_L de R_{outF} n'est pas nécessaire puisque $R_{outF} \ll R_L$.

7. STABILITE DES MONTAGES EN REACTION NEGATIVE

7.1 La réaction négative, cause potentielle d'instabilité

Considérons le cas le plus courant, hormis en technique radio-fréquence, d'un amplificateur ayant un "gain" en boucle ouverte de valeur constante A_0 en basse fréquence, puis décroissant inévitablement lorsque la fréquence augmente. Ce comportement répond à la fonction de transfert:

$$\underline{A}(j\omega) = \frac{A_0}{(1 + j\omega/\omega_1) \cdot (1 + j\omega/\omega_2) \cdot (1 + j\omega/\omega_3) \cdot \dots}$$

Les pôles de cette fonction de transfert sont créés par les inévitables capacités parasites entre les bornes des transistors qui composent l'amplificateur.

Considérons le cas très répandu d'un circuit de réaction purement résistif. Le facteur β est une constante purement réelle.

La fonction de transfert en boucle fermée est alors:

$$\underline{A}_F(j\omega) = \frac{\underline{A}(j\omega)}{1 + \underline{A}(j\omega) \cdot \beta}$$

Pour que la réaction soit effectivement négative, le gain de boucle à basse fréquence $A_0 \cdot \beta$ doit être positif.

Malheureusement, lorsque la fréquence augmente, chaque pôle de $\underline{A}(j\omega)$ introduit un déphasage croissant avec ω , partant de 0, pour $\omega < \omega_i/10$, atteignant $-\pi/2$ pour $\omega > 10 \cdot \omega_i$. En conséquence, pour une fonction de transfert à trois pôles ou plus, il existe forcément une pulsation ω_π pour laquelle le déphasage vaut $-\pi$. $\underline{A}(j\omega_\pi)$ est alors réelle mais de signe opposé à A_0 et le gain de boucle $\underline{A}(j\omega_\pi) \cdot \beta$ est négatif. La réaction est devenue positive à la fréquence $\omega_\pi/2\pi$. Si le gain de boucle à cette fréquence est de valeur absolue supérieure à 1, une oscillation spontanée va naître. L'ampli en boucle fermée est alors instable.

Conclusion:

Un amplificateur stable, seul en boucle ouverte, peut devenir instable une fois mis en réaction négative. Cette conclusion est aussi valable dans le cas plus général où le bloc de réaction a une réponse dépendant de la fréquence, avec:

$$\underline{A}_F(j\omega) = \frac{\underline{A}(j\omega)}{1 + \underline{A}(j\omega) \cdot \underline{\beta}(j\omega)}$$

7.2 Méthodes d'étude de la stabilité et critères de stabilité

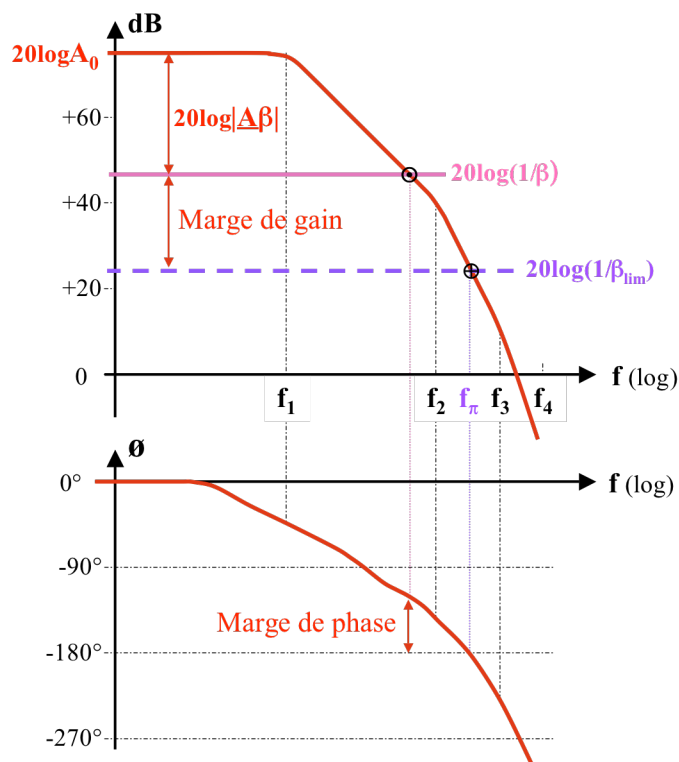
L'étude de la stabilité de la fonction $\underline{A}_F(p)$ peut s'effectuer selon de nombreuses méthodes, dont les trois principales sont:

- méthode du diagramme de Nyquist, qui consiste à représenter le lieu de $(1 + \underline{A}(j\omega) \cdot \underline{\beta}(j\omega))$ dans le plan complexe; critère de stabilité: ce lieu ne doit pas encrer le point (-1)
- méthode du lieu des pôles de $\underline{A}_F(p)$, donc des racines de $(1 + \underline{A}(p) \cdot \underline{\beta}(p))$ dans le plan complexe; critère de stabilité: tous les pôles de $\underline{A}_F(p)$ doivent se situer dans le demi plan de gauche, donc avoir une partie réelle négative.
- méthode du diagramme de Bode, qui consiste à représenter le diagramme en amplitude et phase de $\underline{A}(j\omega) \cdot \underline{\beta}(j\omega)$; critère de stabilité: à la fréquence où la phase franchit -180° , l'amplitude doit être négative en dB. Un second critère, plus souvent utilisé: à la fréquence où l'amplitude passe par 0 dB, la phase doit être $> -180^\circ$, l'écart par rapport à cette limite, appelé marge de phase, est un indicateur de l'amortissement.

7.3 Etude de la stabilité sur la base du diagramme de Bode

La méthode du diagramme de Bode est la préférée en électronique.

Dans le cas très courant où le bloc A est un amplificateur de tension (ou de courant) de type passe-bas, avec des pôles réels, et le circuit de réaction est résistif, on représente alors sur le même graphique le diagramme de Bode de l'ampli seul et celui de $1/\beta$, comme illustré par l'exemple typique ci-dessous.



A_0 et β sont toujours de même signe, puisque $A_0 \cdot \beta$ doit être positif. La courbe de phase correspond au cas où ils sont positifs, $\arg(\beta) = 0$ se confondant avec l'axe horizontal. S'ils sont négatifs, il suffit de décaler l'échelle de 180° , sans rien changer au graphique.

Le critère de stabilité de l'ampli en boucle fermée s'exprime alors ainsi:

- les courbes d'amplitude $|A|_{dB}$ et de $1/\beta|_{dB}$ doivent se couper à une fréquence inférieure à celle où la phase de A est de -180° . En effet:

$$A(j\omega_\pi) \cdot \beta < 1 \Leftrightarrow 20 \cdot \log|A(j\omega_\pi)| + 20 \cdot \log|\beta| < 0 \Leftrightarrow 20 \cdot \log|A(j\omega_\pi)| < 20 \cdot \log|1/\beta|$$

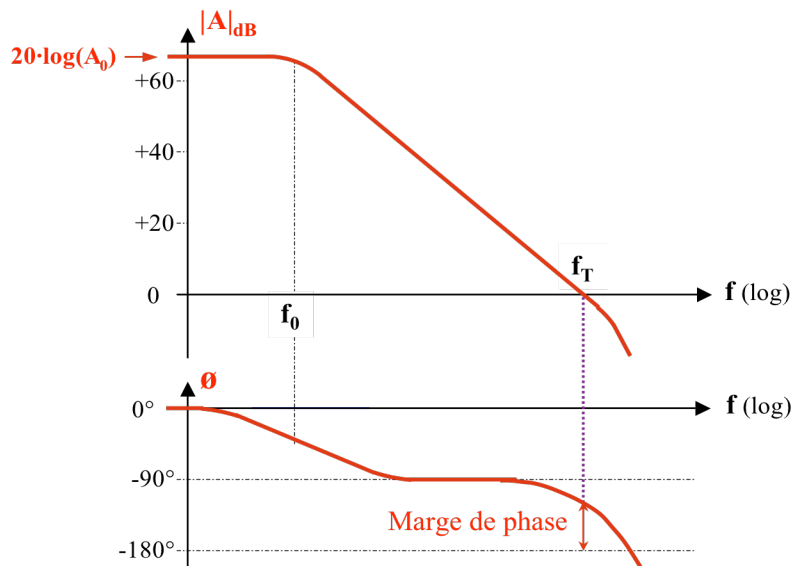
On distingue aisément comment sont définies les marges de gain et de phase. **Une marge de phase de 60° est souhaitable.** Une marge de phase insuffisante entraîne l'apparition d'un pic de résonance indésirable dans la réponse harmonique en boucle fermée.

Le déphasage de -180° arrivant toujours dans le tronçon où la courbe d'amplitude $|A|_{dB}$ descend avec une pente de -40 dB/décade ou plus, la stabilité de l'ampli en boucle fermée est assurée si **l'horizontale $1/\beta|_{dB}$ coupe la courbe $|A|_{dB}$ dans le segment de pente -20 dB/décade.**

Un amplificateur opérationnel est destiné à être utilisé avec des réactions négatives de divers types, la plus forte étant la réaction négative totale ou unitaire (pour un circuit de réaction passif). Dans ce cas, $1/\beta = 1$, et $20 \cdot \log(1/\beta) = 0$ dB coïncide avec l'axe horizontal du diagramme de Bode.

Un amplificateur sera donc inconditionnellement stable, pour toute valeur de gain en boucle fermée, s'il possède une marge de phase suffisante (en pratique 60°) lorsque la courbe de réponse en boucle ouverte $|A|_{dB}$ croise l'horizontale 0 dB.

Le cas d'un ampli classique, avec une marge de phase suffisante pour une stabilité inconditionnelle est illustré à la figure suivante:



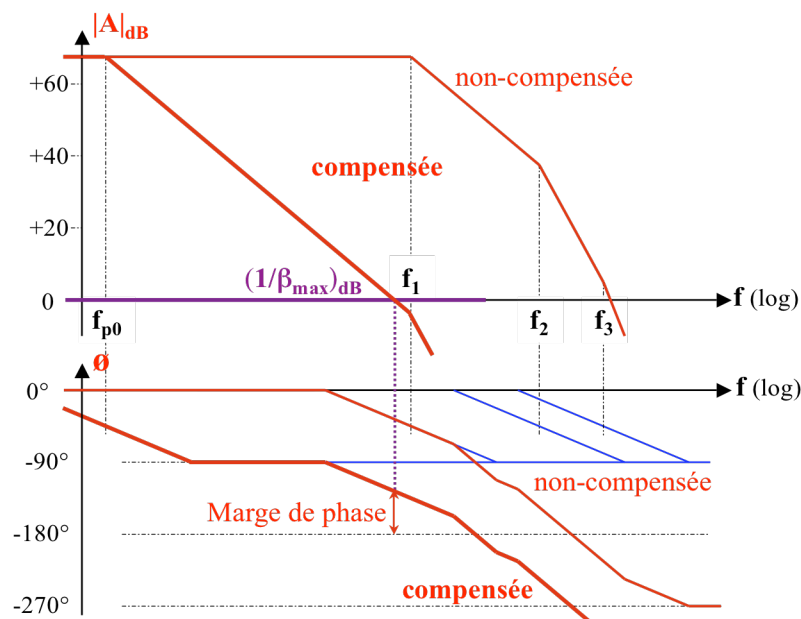
7.4 Compensation en fréquence d'un amplificateur

Lorsqu'on souhaite appliquer un facteur de réaction négative élevé, à l'extrême une réaction totale $\beta_{\max} \approx 1$, à un amplificateur dont le gain en boucle ouverte $\underline{A}(j\omega)$ est du 3^e ordre ou plus, on risque de dépasser la limite de stabilité. Dans ce cas, il est nécessaire de modifier la fonction de transfert $\underline{A}(j\omega)$ pour assurer malgré tout la stabilité du système. Cette opération s'appelle la compensation en fréquence.

La compensation en fréquence est généralement étudiée sur la base de l'analyse du diagramme de Bode asymptotique.

Compensation en fréquence par ajout d'un pôle dominant

Celle-ci est illustrée à la figure suivante:



Le pôle ajouté en f_{p0} est placé suffisamment bas en fréquence pour assurer une décroissance du gain en boucle ouverte à -20 dB/décade jusqu'à 0 dB, ce qui garantit la stabilité inconditionnelle.

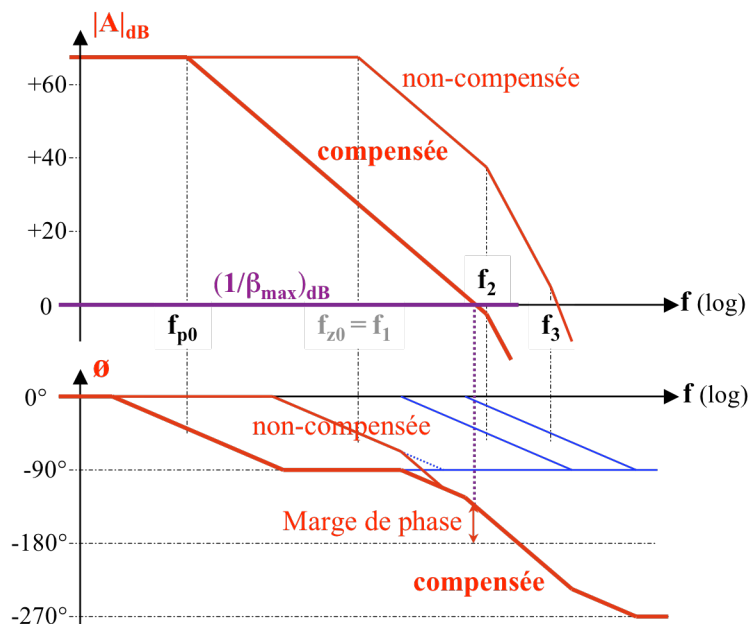
Cette compensation est facile à réaliser, comme le montre les deux exemples ci-dessous.



L'inconvénient majeur de cette compensation est qu'elle réduit considérablement la bande passante de l'amplificateur en boucle fermée.

Compensation en fréquence par ajout d'un pôle dominant et d'un zéro

Celle-ci est illustrée à la figure suivante:



Le zéro ajouté en f_{z0} est placé sur le pôle dominant original en f_1 de l'ampli non compensé. Le pôle ajouté en f_{p0} est placé suffisamment bas en fréquence pour assurer une décroissance régulière du gain en boucle ouverte à -20 dB/décade jusqu'à 0 dB, ce qui garantit la stabilité inconditionnelle.

Cette compensation est facile à réaliser, comme le montre les deux exemples ci-dessous.

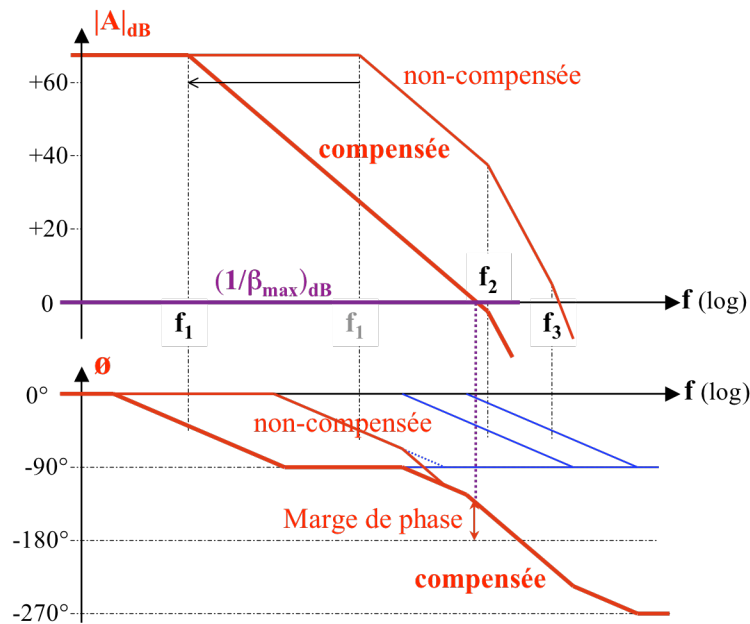


Cette méthode est nettement plus favorable que la précédente du point de vue de la bande passante de l'ampli en boucle fermée.

La principale difficulté de cette compensation est que la correspondance entre le zéro ajouté et le pôle dominant original de l'ampli n'est jamais parfaite. Le couple formé d'un pôle et d'un zéro très proches induit des perturbations indésirables sur la réponse indicielle.

Compensation en fréquence par déplacement du pôle dominant

Celle-ci est illustrée à la figure suivante:



Le pôle dominant original en f_1 de l'ampli non compensé est déplacé suffisamment bas en fréquence pour assurer une décroissance régulière du gain en boucle ouverte à -20 dB/décade jusqu'à 0 dB , ce qui garantit la stabilité inconditionnelle.

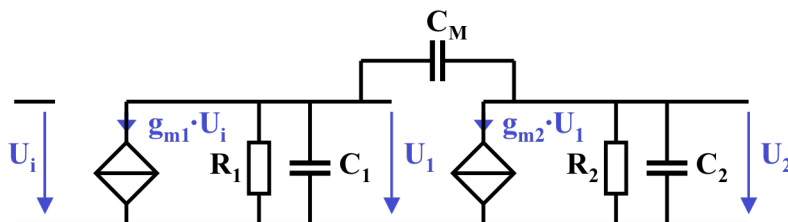
Cette compensation nécessite d'identifier la capacité parasite responsable du pôle dominant, et d'y avoir accès pour pouvoir l'augmenter, par ajout d'une capacité supplémentaire en parallèle.

Cette méthode est nettement plus favorable du point de vue de la bande passante de l'ampli en boucle fermée que celle de l'ajout d'un pôle dominant, et ne présente pas le problème du couple pôle-zéro de la méthode précédente.

Compensation en fréquence "pôles splitting" par capacité Miller

La plupart des amplis possèdent un étage à grand gain en tension fait d'une transconductance sur une charge élevée. Cet étage est souvent responsable du pôle dominant et du pôle secondaire de l'ampli. L'ajout d'une capacité Miller entre l'entrée et la sortie, pour autant que l'étage soit inverseur, est une méthode très courante de compensation.

Le schéma "petits signaux" d'un tel étage est le suivant:



La transconductance g_{m1} représente l'étage précédent, R_1 correspond à la mise en parallèle de la résistance de sortie de l'étage précédent et de celle d'entrée de l'étage étudié, R_2 est la résistance de sortie de l'étage étudié en parallèle avec celle d'entrée de l'étage suivant. C_1 et C_2 sont les inévitables capacités parasites. La capacité dite "Miller" C_M est la somme d'une capacité parasite et de la capacité additionnelle de compensation.

La fonction de transfert $\underline{U}_2/\underline{U}_i$ est:

$$\frac{\underline{U}_2(j\omega)}{\underline{U}_i(j\omega)} = \frac{g_{m1} \cdot R_1 \cdot g_{m2} \cdot R_2 (1 - j\omega \cdot C_M / g_{m2})}{1 + j\omega \cdot (R_1 \cdot (C_1 + C_M) + R_2 \cdot (C_2 + C_M) + g_{m1} \cdot R_1 \cdot R_2 \cdot C_M) + (j\omega)^2 \cdot (C_1 \cdot C_2 + C_M \cdot (C_1 + C_2)) \cdot R_1 \cdot R_2}$$

Si la condition $g_{m2} \cdot R_2 \cdot R_1 \cdot C_M \gg R_1 \cdot (C_1 + C_M) + R_2 \cdot (C_2 + C_M)$ est satisfaite, cette fonction de transfert peut être approximée ainsi:

$$\frac{\underline{U}_2(j\omega)}{\underline{U}_i(j\omega)} \cong \frac{g_{m1} \cdot R_1 \cdot g_{m2} \cdot R_2 (1 - j\omega \cdot C_M / g_{m2})}{(1 + j\omega \cdot R_1 \cdot C_M \cdot g_{m2} \cdot R_2) \cdot (1 + j\omega \cdot \frac{C_1 + C_2 + C_1 \cdot C_2 / C_M}{g_{m2}})}$$

La pulsation du pôle dominant est abaissée à:

$$\omega'_1 = \frac{1}{R_1 \cdot C_M \cdot g_{m2} \cdot R_2}$$

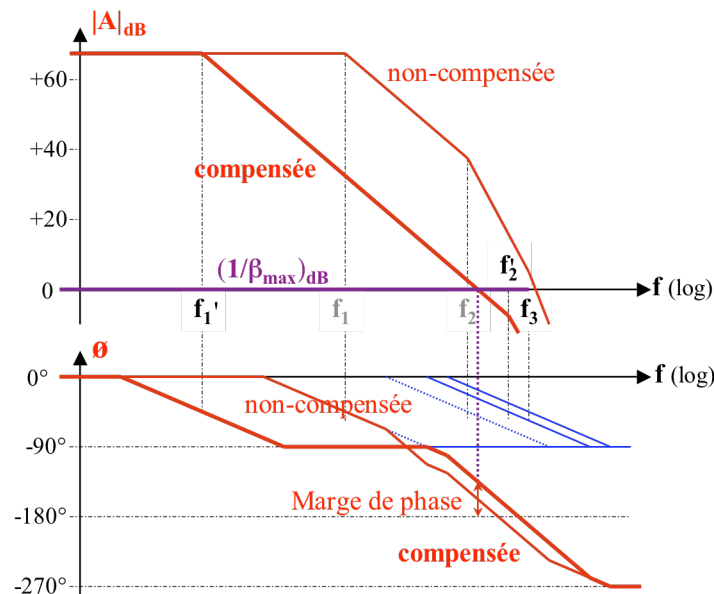
Le pôle secondaire est repoussé vers les hautes fréquences:

$$\omega'_2 = \frac{g_{m2}}{C_1 + C_2 + C_1 \cdot C_2 / C_M}$$

Il apparaît aussi un zéro réel positif à haute fréquence:

$$\omega_z = \frac{g_{m2}}{C_M}$$

Le diagramme de Bode est alors le suivant:

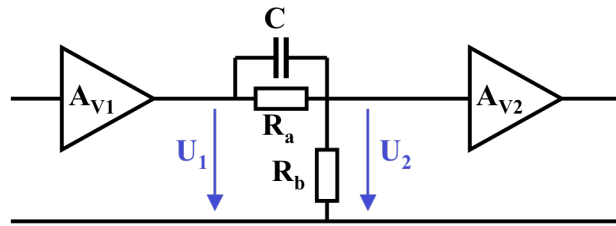


Cette méthode est très favorable du point de vue de la bande passante de l'ampli en boucle fermée.

Cette méthode est intéressante en circuit intégré. En effet, la capacité C_M nécessaire restant suffisamment petite, puisque multipliée par le gain $g_{m2} \cdot R_2$, généralement très élevé, de l'étage, elle peut être intégrée avec tous les composants de l'amplificateur.

Compensation en fréquence par ajout d'un zéro et d'un pôle, dite à avance de phase

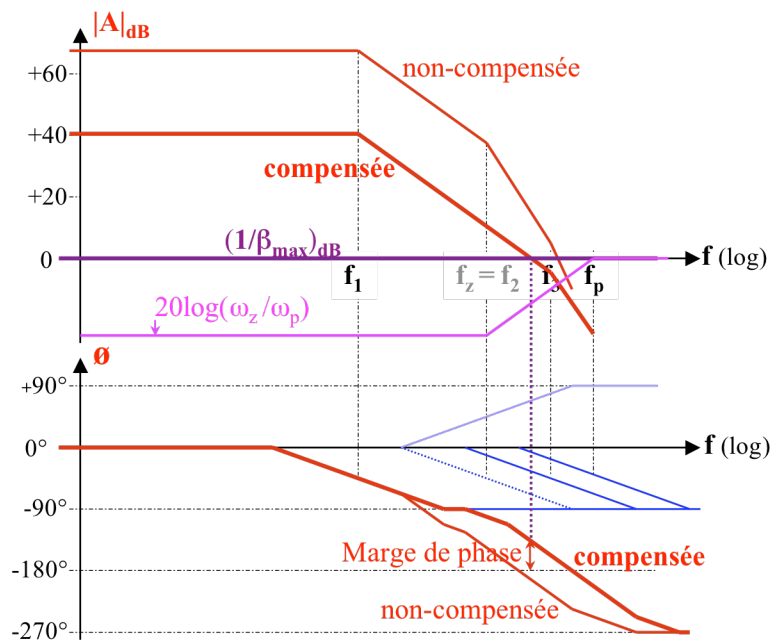
Cette compensation consiste à ajouter un zéro à la même fréquence que le pôle secondaire de l'ampli. Physiquement il n'est pas possible de créer un zéro, sans introduire aussi un pôle. Un circuit possible est le suivant:



La fonction de transfert de ce circuit est:

$$\frac{\underline{U}_2(j\omega)}{\underline{U}_1(j\omega)} = \frac{R_B}{R_B + R_A} \cdot \frac{1 + j\omega \cdot C \cdot R_A}{1 + j\omega \cdot C \cdot R_A \cdot R_B / (R_A + R_B)} = \frac{\omega_z}{\omega_p} \cdot \frac{1 + j\omega/\omega_z}{1 + j\omega/\omega_p}$$

Cette compensation est illustrée à la figure suivante:



Cette méthode est la plus favorable du point de vue de la bande passante de l'ampli en boucle fermée.

Par contre cette compensation induit une diminution du gain en boucle ouverte, donc du taux de réaction, ce qui amoindrit l'efficacité de la contre-réaction.

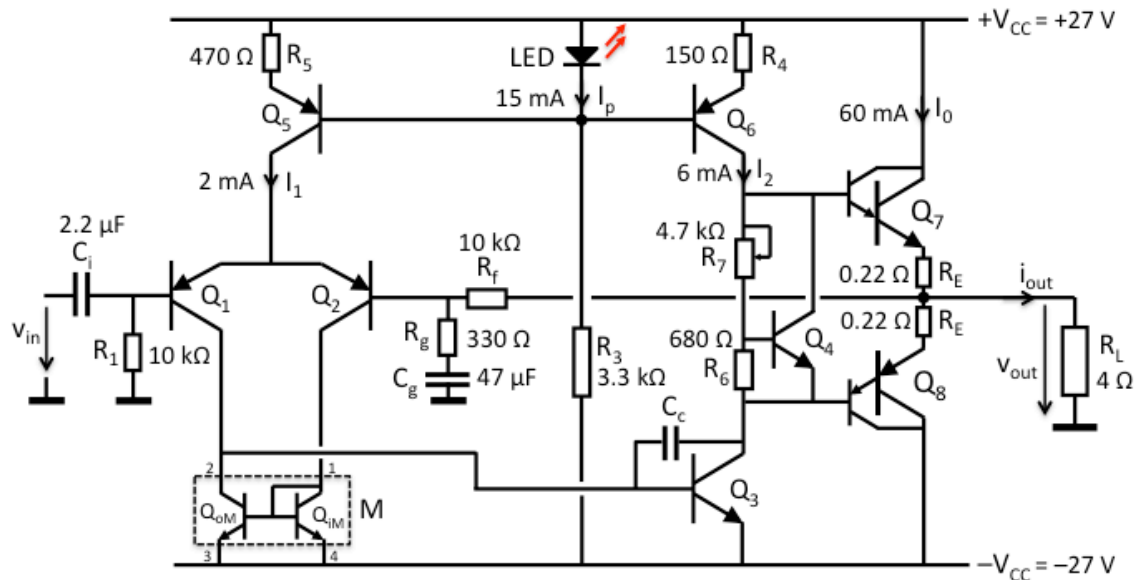
Compensation en fréquence de type mixte

Plusieurs des techniques présentées peuvent être utilisées conjointement, en particulier en combinant avance et retard de phase.

Circuits et Systèmes Electroniques

I Réaction négative

Soit un amplificateur audio de puissance classe AB, dont le schéma est donné ci-dessous :



- Q_7 & Q_8 : BDV65A : darlington NPN, BDV64A : darlington PNP
 $|V_{CEmax}| = 80 \text{ V}$ $I_{Cmax} = 20 \text{ A}$ $P_{max} = 125 \text{ W}$ $\beta \approx 1500$ $|V_{CEsat}| \approx 1.3 \text{ V}$
 cut-off frequency $f_{cut-off} = 50 \text{ kHz}$ fréquence à partir de laquelle le gain en courant diminue, ce qui provoque un pôle dans la fonction de transfert de l'étage driver comme s'il avait une charge capacitive.
- Q_3 & Q_6 : BC 337A : NPN, BC 327A : PNP
 $|V_{CEmax}| = 60 \text{ V}$ $I_{Cmax} = 1 \text{ A}$ $P_{max} = 625 \text{ mW}$ $\beta \approx 200$ $|V_{CEsat}| \approx 0.2 \text{ V}$ $V_{Early} \approx 80 \text{ V}$
- Q_1, Q_2, Q_5 : BC 557B : PNP
 $V_{ECmax} = 45 \text{ V}$ $I_{Cmax} = 0.2 \text{ A}$ $P_{max} = 500 \text{ mW}$ $\beta \approx 300$ $V_{ECsat} \approx 0.2 \text{ V}$ $V_{Early} \approx 50 \text{ V}$
- M : BCM61 : NPN double transistors
 $V_{CEmax} = 30 \text{ V}$ $I_{Cmax} = 100 \text{ mA}$ $P_{max} = 220 \text{ mW}$ $\beta \approx 300$ $V_{CEsat} \approx 0.2 \text{ V}$ $V_{Early} \approx 30 \text{ V}$
- Q_4 : BD 239, NPN $\beta \approx 50$ à $I_C = 10 \text{ mA}$ choisi pour son boîtier TO126
- LED : rouge 640 nm : HLMP 1000, $V_F \approx 1.6 \text{ V}$ $r_d \approx 10 \Omega$ à $I_F = 15 \text{ mA}$ $\Delta V_F / \Delta T \approx -2 \text{ mV}/^\circ$

- a) Calculer les résistances internes $1/g_1$ et $1/g_2$ des sources de courant I_1 et I_2 formées par Q_5 - R_5 et Q_6 - R_4 .
- b) Dessiner le schéma "petits signaux" de l'ampli complet en bande passante (C_1 et $C_g \equiv$ court-circuit, $C_c \equiv$ circuit ouvert), en faisant clairement apparaître les quadripôles A et β .
- c) Déterminer le type de réaction et les unités de A et β .
- d) En supposant une source de signal avec une résistance interne de $600\ \Omega$, montrer qu'à l'entrée on est quasiment dans le cas idéal.
- e) Etablir l'expression de β .
- f) Dessiner le schéma "petits signaux" de l'ampli en boucle ouverte, sans R_1 , mais en y incluant la charge R_L .
- g) Etablir les expressions et calculer les valeurs numériques des paramètres en boucle ouverte A , R_{in} et R_{out} .
- h) Calculer les valeurs numériques des paramètres en boucle fermée A_F , R_{inF} et R_{outF} .
- i) En supposant une capacité parasite totale de $C_1 = 40\text{ pF}$ à la base de Q_3 et une capacité C_2 au collecteur causant la baisse du gain à partir de $f_{cut-off} = 50\text{ kHz}$, ainsi qu'un troisième pôle en $f_{p3} = 1\text{ MHz}$ modélisant différentes autres causes de déphasage, dimensionner la capacité de compensation C_c pour une marge de phase d'environ 70° .

En déduire la fréquence de coupure haute de l'ampli en boucle fermée pour de faibles amplitudes de sortie.

- j) Pour cet ampli, le Slew-Rate en sortie, c'est à dire dv_{out}/dt maximum, est donné par $SR = I_1/C_c$.

Calculer ce Slew-Rate.

Calculer la fréquence maximum pour un signal sinus à pleine puissance sans distorsion notable.

Circuits et Systèmes Electroniques Corrigé

- a) Les résistances internes $1/g_1$ et $1/g_2$ des sources de courant I_1 et I_2 sont les résistances vues dans l'accès collecteur de T_5 respectivement T_6 .

Ces deux transistors partagent à leur base la résistance différentielle de la LED, qui, d'après les données du fabricant, est de l'ordre de $10\ \Omega$, bien inférieure à $1/g_{be5} = \beta_5 U_T / I_1 = 3900\ \Omega$ et à $1/g_{be6} = \beta_6 U_T / I_2 = 870\ \Omega$, dont l'effet est donc négligeable.

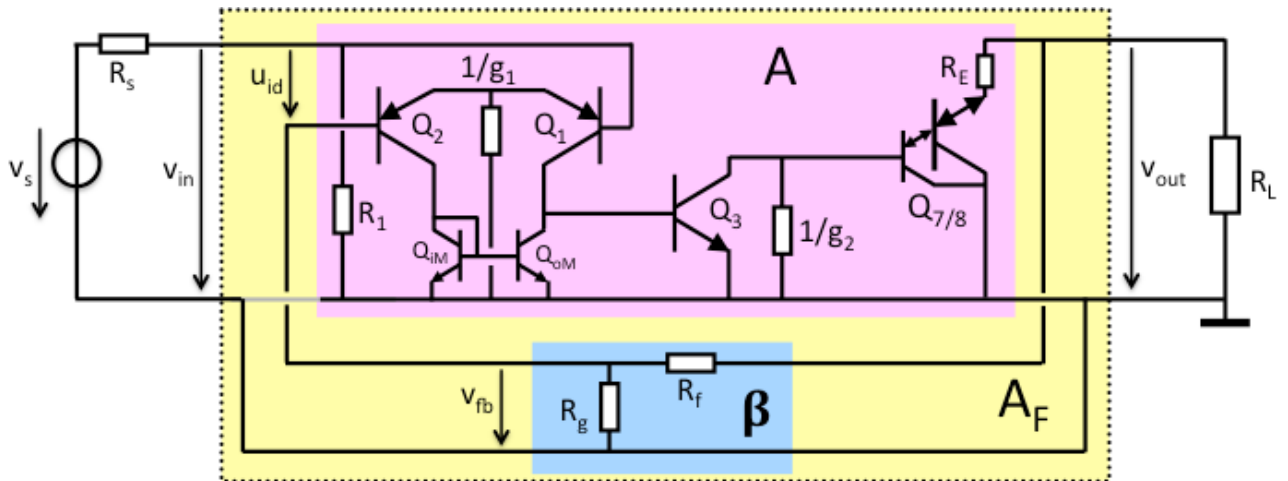
Comme $1/g_{m5} = U_T / I_1 = 13\ \Omega < R_5 = 470\ \Omega < 1/g_{be5} = \beta_5 U_T / I_1 = 3900\ \Omega$:

$$\frac{1}{g_1} \approx \frac{1}{g_{ce5}} g_{m5} R_5 = \frac{V_{a5}}{I_1} \frac{I_1}{U_T} R_5 = \frac{V_{a5}}{U_T} R_5 \approx 900\ \text{k}\Omega$$

Comme $1/g_{m6} = U_T / I_2 = 4.3\ \Omega < R_4 = 150\ \Omega < 1/g_{be6} = \beta_6 U_T / I_2 = 870\ \Omega$:

$$\frac{1}{g_2} \approx \frac{1}{g_{ce6}} g_{m6} R_4 = \frac{V_{a6}}{I_2} \frac{I_2}{U_T} R_4 = \frac{V_{a6}}{U_T} R_4 \approx 460\ \text{k}\Omega$$

- b) En négligeant la résistance interne de la source équivalente de $4U_j$ formée par R_6 - R_7 - Q_4 , le schéma "petits signaux" de l'ampli complet en bande passante, avec mise en évidence des quadripôles A et β , est le suivant:



Les paramètres "petits signaux" des transistors sont:

$$g_{m1\&2} = I_1 / 2U_T = 38\ \text{mA/V} = 1 / 26\ \Omega$$

$$g_{be1\&2} = I_1 / \beta_{1\&2} 2U_T = 130\ \mu\text{A/V} = 1 / 7800\ \Omega$$

$$g_{ce1\&2} = I_1 / 2V_{A1\&2} = 20\ \mu\text{A/V} = 1 / 50\ \text{k}\Omega$$

$$g_{ceoM} = I_1 / 2V_{AM} = 33\ \mu\text{A/V} = 1 / 30\ \text{k}\Omega$$

$$g_{m3} = I_2 / U_T = 230\ \text{mA/V} = 1 / 4.3\ \Omega$$

$$g_{be3} = I_2 / \beta_3 U_T = 1.15\ \text{mA/V} = 1 / 870\ \Omega$$

$$g_{ce3} = I_2 / V_{A3} = 75\ \mu\text{A/V} = 1 / 13\ \text{k}\Omega$$

En supposant un courant de repos de $I_0 = 60 \text{ mA}$ dans le push-pull, pour des petits signaux autour de 0V , les deux transistors darlington travaillent alors en parallèle en classe A, avec :

$$g_{m7+8} \geq 2I_0/2U_T = 2.3 \text{ A/V} \quad 1/g_{m7+8} \leq 0.43 \Omega$$

$$g_{be7+8} \geq 2I_0/\beta_{7/8}2U_T = 1.5 \text{ mA/V} \quad 1/g_{be7+8} \leq 330 \Omega$$

Pour des signaux plus forts, donc des courants plus élevés, l'un des deux transistors darlington conduit pour les alternances positives l'autre pour les alternances négatives, avec chacun des valeurs de g_m et g_{be} supérieures à celles calculées précédemment.

c) On voit un branchement **série** à l'entrée et **parallèle** à la sortie.

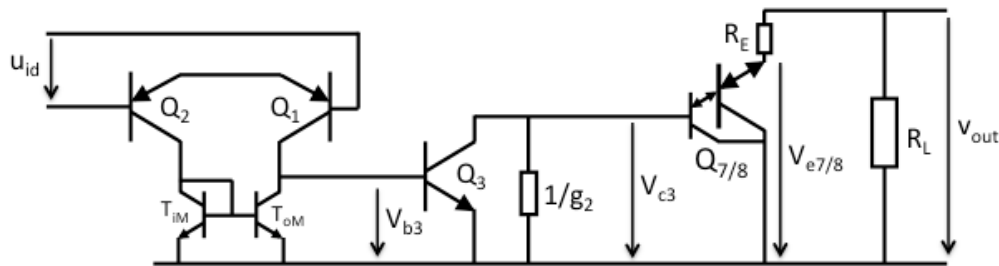
$A = v_{out} / u_{id}$ est un gain en tension $\beta = v_{fb} / v_{out}$ est un diviseur de tension

La résistance R_1 apparaît directement en parallèle sur l'entrée de A_F . Elle n'influence pas la réaction. On n'en tiendra donc pas compte dans la suite des calculs.

d) La résistance différentielle d'entrée de la paire différentielle $R_{id} = 2/g_{be1\&2} = 15.6 \text{ k}\Omega$ est bien plus grande que $R_s = 600 \Omega$ et que $R_{out^p} = R_f // R_g = 320 \Omega$, on peut donc considérer qu'à l'entrée on est dans le cas idéal.

$$e) \beta = \frac{v_3}{v_{out}} = \frac{R_g}{R_f + R_g} = 0.032$$

f) Le schéma "petits signaux" de l'ampli A en boucle ouverte avec la charge R_L incluse, mais sans R_1 (voir point c), est le suivant:



La résistance $1/g_1$ est supprimée car, comme elle est bien plus grande que $1/g_{m1\&2}$, on sait qu'elle n'influence pas le gain différentiel de la paire T_1 - T_2 .

g) Les paramètres en boucle ouverte valent:

$$A = \frac{v_{out}}{u_{id}} = \frac{v_{b3}}{u_{id}} \cdot \frac{v_{c3}}{v_{b3}} \cdot \frac{v_{e7/8}}{v_{c3}} \cdot \frac{v_{out}}{v_{e7/8}}$$

$$A = g_{m1\&2} \frac{1}{g_{ce1} + g_{ceoM} + g_{be3}} \cdot g_{m3} \frac{1}{g_{ce3} + g_2 + \frac{1}{\frac{1}{g_{be7+8}} + \beta_{7/8}(R_E + R_L)}} \cdot \frac{g_{m7+8}(R_E + R_L)}{1 + g_{m7+8}(R_E + R_L)} \cdot \frac{R_L}{R_E + R_L}$$

$$A \approx g_{m1\&2} \frac{1}{g_{be3}} \cdot g_{m3} \frac{1}{g_{ce3} + \frac{1}{\beta_{7/8}R_L}} \cdot 1 \cdot 1 \approx 33 \cdot 940 \approx 31000 \quad \text{soit } +90 \text{ dB}$$

$$R_{in} = R_{id} = \frac{2}{g_{be1\&2}} = 15.6 \text{ k}\Omega$$

$$R_{out} = R_L // (R_E + \frac{1}{g_{m7/8}} + \frac{1}{\beta_{7/8}(g_2 + g_{ce3})}) \cong R_L // \frac{1}{\beta_{7/8}g_{ce3}} \approx 3 \Omega$$

h) En boucle fermée, on a:

$$T = 1 + A\beta \approx 990$$

$$A_F = \frac{A}{1 + A\beta} = \frac{1}{\frac{1}{A} + \beta} = \frac{1}{0.000032 + 0.032} \cong \frac{1}{0.032} = 31.25 \text{ V/V}$$

$$\text{Connexion parallèle en sortie} \Rightarrow R_{out,F} = \frac{R_{out}}{1 + A\beta} \approx 0.1 \text{ m}\Omega$$

$$\text{Connexion série en entrée} \Rightarrow R_{in,F} = R_{id}(1 + A\beta) \approx 490 \text{ M}\Omega$$

La résistance d'entrée réelle de l'ampli complet est $R_{in,F} // R_1 = R_1 = 10 \text{ k}\Omega$

i) Calcul de la compensation par la capacité C_c .

Dans la figure de la page 37 du cours et dans les équations de la page 38, il faut remplacer:

g_{m1} par $g_{m1\&2}$

g_{m2} par g_{m3}

R_1 par $1/(g_{ce1} + g_{ceoM} + g_{be3}) \approx 1/g_{be3} = 870 \Omega$

R_2 par $1/(g_{ce3} + g_2 + (\beta_{7/8}(R_E + R_L) + 1/g_{be7+8})^{-1}) \approx 1/(g_{ce3} + (\beta_{7/8}R_L)^{-1}) = 4100 \Omega$

C_M par C_c

C_1 est estimée à 40 pF

$$C_2 = 1/2\pi f_{cut-off} R_2 = 780 \text{ pF}$$

Avec l'effet Miller sur l'étage driver, on a:

un pôle dominant en $f_{p1} = 1/2\pi C_c R_1 g_{m3} R_2$

un second pôle en $f_{p2} = g_{m3}/2\pi(C_1 + C_2 + C_1 C_2/C_c)$

un zéro réel positif en $f_z = g_{m3}/2\pi C_c$ qui provoque aussi un déphasage négatif

Pour obtenir une marge de phase de 70° , il faut que la fréquence critique f_c où $A(f_c)\beta = 1$ soit entre le pôle dominant et le pôle ou zéro supplémentaire le plus bas en fréquence, donc dans la zone à -20dB/décade. Cela implique :

$$f_c = f_{p1} A\beta$$

En combinant les expressions de f_z , f_{p1} et f_c ci-dessus, on en déduit que:

$$f_z = f_c \cdot g_{m3}^2 R_1 R_2 / A\beta = f_c \cdot 190$$

Donc le zéro n'aura aucune influence sur la marge de phase.

Comme $C_2 \gg C_1$, et en supposant à priori que $C_c \gg C_1$ (à vérifier à postériori):

$$f_{p2} = g_{m3}/2\pi C_2 = 50 \text{ MHz}$$

Ce pôle n'aura aucune influence sur la marge de phase, car bien plus haut que celui à $f_{p3} = 1 \text{ MHz}$.

C'est la position de ce seul pôle à $f_{p3} = 1 \text{ MHz}$ par rapport à f_c qui détermine la marge de phase.

Pour obtenir une marge de phase de 70° il faut:

$$f_c = 0.3 \cdot f_{p3} = 300 \text{ kHz}$$

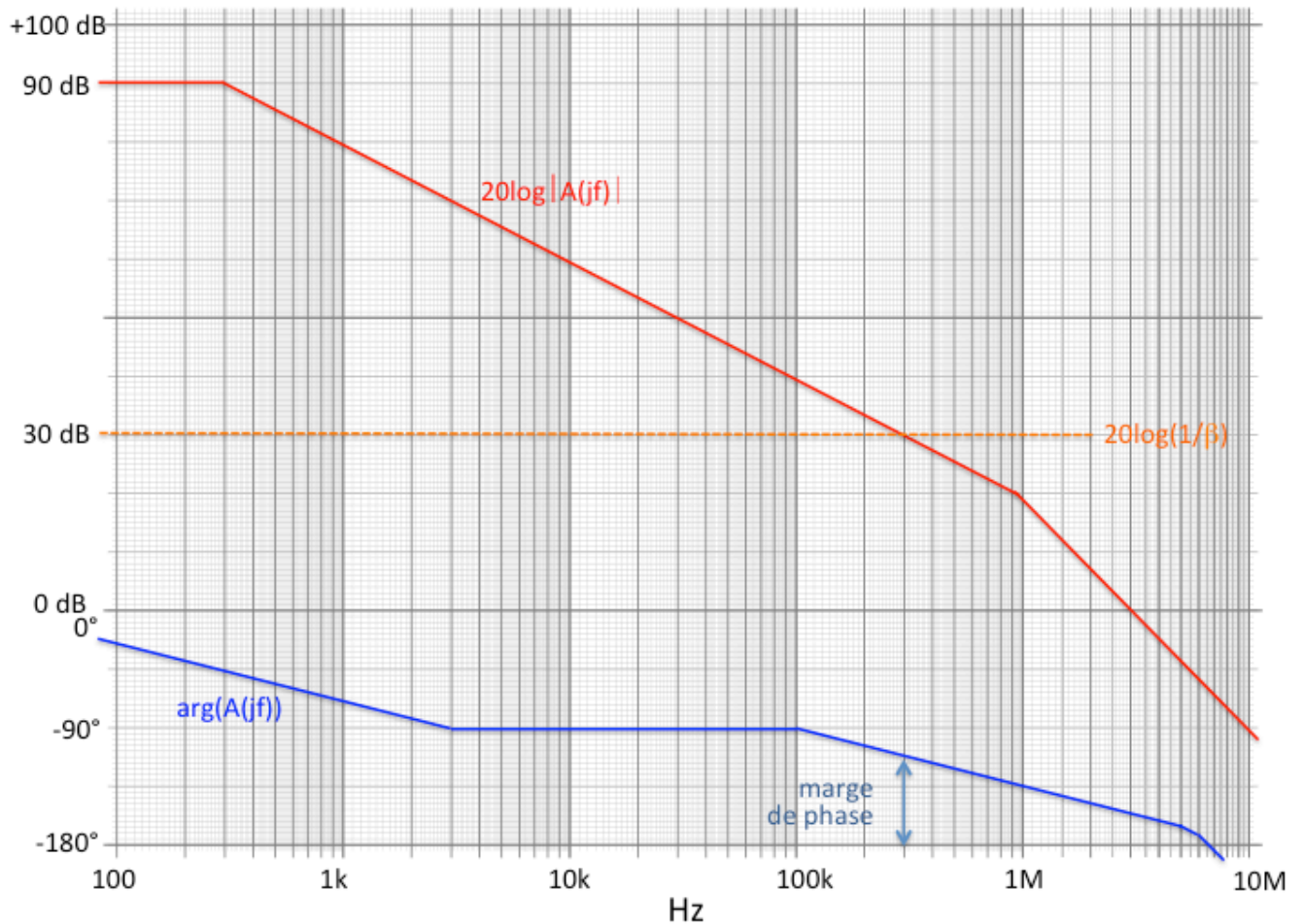
On en déduit:

$$f_{p1} = f_c / A\beta = 300 \text{ Hz}$$

$$C_c = 1/2\pi f_{p1} R_1 g_{m3} R_2 = 650 \text{ pF}$$

L'hypothèse que $C_c \gg C_1$ est bien vérifiée.

La fréquence de coupure haute de l'ampli en boucle fermée pour des signaux de sortie de faible amplitude est de $f_c = 300 \text{ kHz}$



j) Le Slew-Rate en sortie de cet ampli (voir cours "Circuits Intégrés Analogiques") est donné par :

$$SR = I_1 / C_c = 3.1 \text{ V}/\mu\text{s}$$

Pour qu'un signal sinus ne soit pas distordu, il faut que :

$$dv_{out}(t)/dt < SR$$

$$dA \sin 2\pi f t / dt = A 2\pi f \cos 2\pi f t < SR$$

$$A_{max} 2\pi f_{max} \leq SR$$

$$f_{max} = SR / A_{max} 2\pi = SR / 2\pi (2R_L P_{max})^{1/2} = 21 \text{ kHz}$$

c'est ce qu'on appelle la "Power Bandwidth", la bande passante à pleine puissance.

BOUCLES À VERROUILLAGE DE PHASE
ou
PHASE-LOCKED LOOPS (PLL)

BOUCLES À VERROUILLAGE DE PHASE
ou
PHASE-LOCKED LOOPS (PLL)

	page
1. ETUDE GENERALE DE LA PLL	1
1.1 DESCRIPTION	1
1.2 FONCTION DE TRANSFERT GENERALE DE LA PLL	4
1.3 COMPORTEMENT DYNAMIQUE DE LA PLL	9
2. BLOCS FONCTIONNELS DE LA PLL	
2.1 LES DETECTEURS DE PHASE	25
2.2 LES VCOS	34
3. APPLICATIONS DE LA PLL	
3.1 RECEPTION D'UN SIGNAL AVEC EFFET DOPPLER	35
3.2 DEMODULATION DE SIGNAUX FM, ΦM, FSK ET PSK	36
3.3 DEMODULATION SYNCHRONE DE SIGNAUX AM	37
3.4 DETECTEUR DE TONALITE	38
3.5 RECONSTRUCTION DE L'HORLOGE D'UNE TRANSMISSION NUMERIQUE SERIE	39
3.6 SYNTHESE DE FREQUENCE A PLL	39
3.7 MODULATION DE PHASE ET DE FREQUENCE A PLL	40

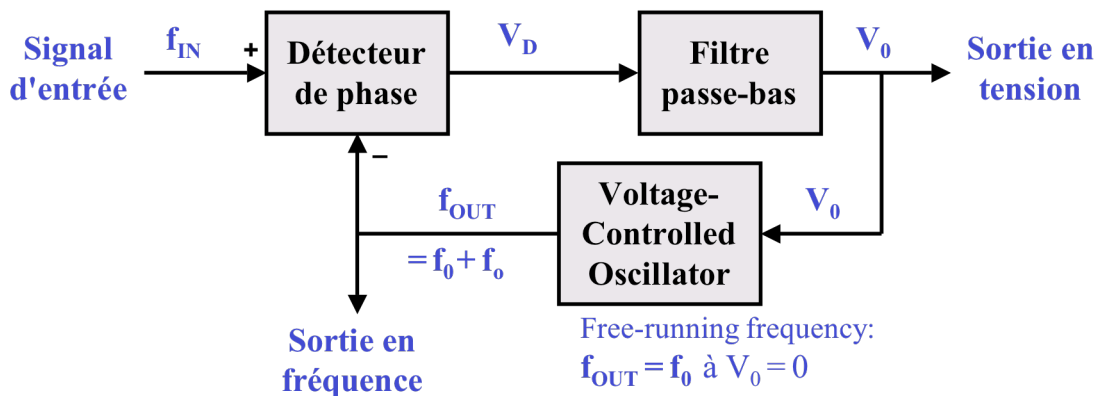
1. ETUDE GENERALE DE LA PLL

1.1 DESCRIPTION

1.1.1. Schéma-bloc d'une PLL

Les boucles à verrouillage de phase (Phase-Locked Loops ou PLLs), ou encore boucles à asservissement de phase, existent depuis les années 30. Au début, leurs applications se trouvaient essentiellement dans les systèmes de radiocommunications par satellite, car leur mise en pratique était complexe et coûteuse. Avec le développement de la microélectronique, la facilité de mise en oeuvre des PLLs s'est grandement améliorée, et leur usage s'est étendu aux systèmes grand public. On trouve ainsi des PLLs dans tous les systèmes de radio modernes (démodulateurs, synthétiseurs de fréquences, etc...), dans les systèmes numériques rapides (microprocesseurs), dans les systèmes de transmissions numériques sur câble ou fibre optique (clock recovery), et bien d'autres applications.

Une PLL est un système bouclé dans lequel la grandeur asservie est la phase d'un signal alternatif. Le schéma fonctionnel d'une PLL est le suivant:



Les éléments constitutifs d'une PLL sont :

- ♦ un détecteur ou comparateur de phase,
- ♦ un filtre passe-bas,
- ♦ un oscillateur dont la fréquence est commandée par une tension (ou VCO pour "Voltage-Controlled Oscillator")

La boucle est en régime normal, ou verrouillé, lorsque, à terme, la phase du signal de sortie du VCO est asservie à celle du signal d'entrée, $\Phi_{OUT}(t) = \Phi_{IN}(t) - \text{cst}$, ce qui implique alors que la fréquence du signal de sortie du VCO est égale à celle du signal d'entrée, $f_{OUT} = f_{IN}$, puisque la fréquence est la dérivée de la phase.

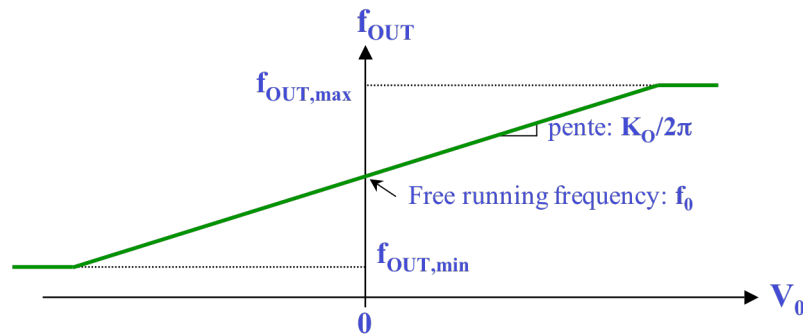
Le détecteur de phase fournit un signal V_D qui comprend une composante à f_{IN} ou $2 \cdot f_{IN}$, suivant le type de détecteur de phase, ainsi qu'une composante continue (mais pas forcément constante) V_0 proportionnelle à l'écart entre la phase Φ_{IN} du signal d'entrée et celle Φ_{OUT} du signal généré par le VCO. Le filtre passe-bas permet de ne garder que la composante utile V_0 . Celle-ci est appliquée à l'entrée du VCO, qui génère le signal dont la fréquence f_{OUT} varie à l'image de V_0 autour d'une valeur propre au VCO.

L'écart de phase $\Phi_E = \Phi_{IN} - \Phi_{OUT}$ sert donc à maintenir la tension correcte à l'entrée du VCO en régime verrouillé.

Si la fréquence du signal d'entrée augmente (ou diminue) légèrement, l'écart de phase croît (respectivement décroît) et donc le signal d'entrée du VCO varie de même, forçant la fréquence du VCO à rattraper celle d'entrée, jusqu'à ce que l'écart de phase soit stabilisé.

1.1.2. Le VCO – Voltage-Controlled Oscillator

Le VCO, ou oscillateur contrôlé en tension, est un circuit qui fournit un signal alternatif dont la fréquence varie à l'image d'une tension de commande. A noter que l'on rencontre aussi des oscillateurs contrôlés en courant (CCO ou Current-Controlled Oscillator). La caractéristique de transfert d'un VCO idéal est la suivante:



Elle répond à l'équation:

$$f_{OUT} = f_0 + V_0 \cdot K_O / 2\pi$$

La fréquence f_0 est appelée fréquence centrale ou fréquence libre (free-running frequency) du VCO. C'est la fréquence à laquelle il oscille lorsque la tension de commande est nulle.

Dans la pratique, la caractéristique est plus ou moins linéaire, la fréquence libre n'est pas toujours au milieu de la plage de variation et peut correspondre à une valeur particulière, non nulle, de la tension de commande. On n'utilisera alors le VCO que dans une partie restreinte de sa dynamique, autour de f_0 , où la caractéristique peut être considérée comme linéaire.

Les VCOs courants sont de trois types qui seront étudiés plus en détail dans un autre chapitre:

- **les oscillateurs sinusoïdaux**, en général du type LC, avec une diode Varicap dont la capacité de jonction peut être commandée par sa tension inverse (surtout utilisés en haute fréquence)
- **les oscillateurs à relaxation, ou bascules astables, ou encore multivibrateurs**, qui fournissent des signaux carrés et triangulaires, par charge et/ou décharge d'une capacité avec une source de courant commandée par une tension.
- **les oscillateurs en anneaux** qui fournissent des signaux carrés à haute fréquence, en utilisant la dépendance du temps de propagation des cellules formant l'anneau, en fonction de la tension ou du courant d'alimentation, ou encore d'un élément R ou C commandé par une tension.

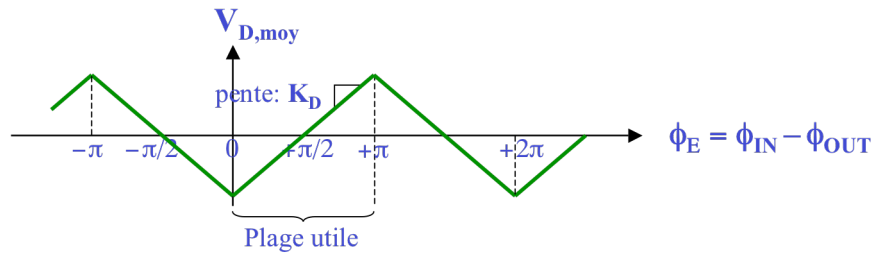
1.1.3. Le détecteur de phase

Un détecteur de phase idéal fournirait une tension proportionnelle à l'écart de phase de deux signaux alternatifs. Il répondrait à l'équation:

$$V_D = K_D \cdot (\phi_{IN} - \phi_{OUT})$$

Il existe plusieurs principes pour détecter le déphasage entre deux signaux alternatifs. En pratique, les plus souvent utilisés sont: la multiplication pour les signaux analogiques (sinus, triangles carrés), la détection des flancs pour les signaux binaires. Le fonctionnement des différents détecteurs de phase sera étudié plus en détail en 2.1 de ce chapitre.

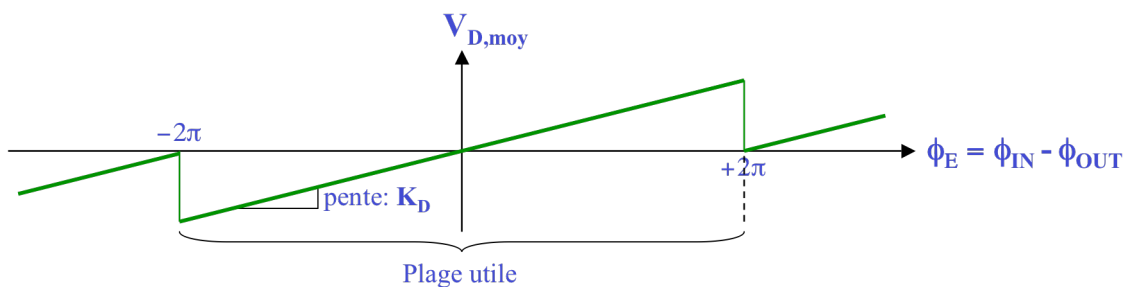
Les détecteurs de phase basés sur la multiplication (cellule de Gilbert ou fonction logique XOR) génèrent un signal à $2 \cdot f_{IN}$ superposé au signal utile $V_{D,moy} = f(\phi_{IN} - \phi_{OUT})$ dont la caractéristique est la suivante (sous certaines conditions):



La caractéristique étant périodique, la PLL ne peut se verrouiller que dans la seule partie de pente positive. La gamme de phase utile est donc de π centrée sur $\pi/2$.

La caractéristique peut aussi être décalée verticalement (composante continue).

Les comparateurs de phase basés sur la détection des flancs sont des systèmes logiques séquentiels qui génèrent des impulsions à f_{IN} dont la valeur moyenne $V_{D,moy}$ est proportionnelle à $(\phi_{IN} - \phi_{OUT})$. Le type le plus répandu, appelé comparateur de "phase-fréquence", a la

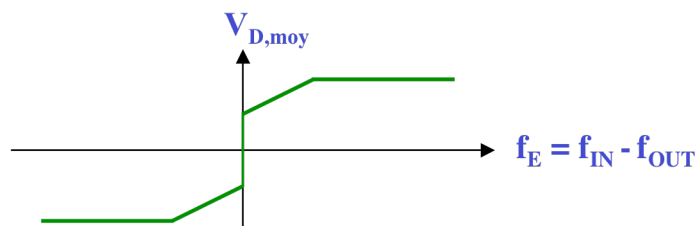


caractéristique suivante:

La gamme de phase utile est donc de 4π centrée sur 0.

La caractéristique peut être décalée verticalement (composante continue).

Comme l'indique son nom, ces comparateurs de "phase-fréquence" jouent aussi le rôle de comparateur de fréquence lorsque la PLL n'est pas verrouillée, et donc lorsque $f_{OUT} \neq f_{IN}$. La caractéristique en est généralement la suivante:



1.1.4 Le filtre passe-bas F(p)

Le filtre passe-bas F(p) joue un rôle majeur dans le comportement de la PLL. Cet élément capital a pour fonctions de:

- ♦ atténuer les composantes indésirables (harmoniques de f_{IN}) à la sortie du détecteur de phase,
- ♦ fixer "l'ordre" de la PLL,
- ♦ fixer la "bande passante" de la PLL,
- ♦ déterminer la stabilité et le comportement dynamique ou transitoire de la PLL,
- ♦ éventuellement mémoriser V_0 (et donc f_{OUT}) si le signal d'entrée à f_{IN} disparaît temporairement.

C'est à l'utilisateur de choisir l'ordre et la fréquence de coupure de ce filtre, dit de boucle. On utilise le plus souvent **des filtres passifs** constitués de résistances et de condensateurs (cas le plus fréquent avec des circuits PLL intégrés). On peut aussi utiliser **des filtres actifs** permettant, en plus de leur fonction initiale, d'apporter un gain supplémentaire.

1.2 FONCTION DE TRANSFERT GENERALE DE LA PLL

1.2.1 Le VCO

Comme déjà vu en 1.1.2, le VCO répond à l'équation:

$$f_{OUT} = f_0 + V_0 \cdot K_O / 2\pi$$

Où f_0 est la fréquence libre ou "free-running frequency", c.-à-d. la fréquence lorsque $V_0 = 0$.

L'écart de fréquence par rapport à la fréquence libre, noté f_o , vaut:

$$f_o = f_{OUT} - f_0 = V_0 \cdot K_O / 2\pi$$

L'écart de pulsation par rapport à la pulsation libre est:

$$\omega_o = 2\pi \cdot (f_{OUT} - f_0) = \omega_{OUT} - \omega_0 = K_O \cdot V_0$$

La sensibilité K_O du VCO s'exprime en [rad/V.s].

La phase d'un signal sinusoïdal est l'intégrale de sa pulsation par rapport au temps:

$$\phi_{OUT}(t) = \int_0^t 2\pi \cdot f_{OUT}(t) \cdot dt = 2\pi \cdot f_0 \cdot t + \int_0^t \omega_o(t) \cdot dt = 2\pi \cdot f_0 \cdot t + \phi_o(t)$$

En introduisant la relation tension-fréquence du VCO, cela donne:

$$\phi_{OUT}(t) = 2\pi \cdot f_0 \cdot t + \phi_o(t) = 2\pi \cdot f_0 \cdot t + \int_0^t K_O \cdot v_0(t) \cdot dt = 2\pi \cdot f_0 \cdot t + K_O \cdot \int_0^t v_0(t) \cdot dt$$

Le VCO introduit une intégration entre sa tension d'entrée V_0 et la phase de sortie ϕ_{OUT} .

En utilisant la transformée de Laplace, cela donne :

$$\phi_o(p) = \frac{\omega_o(p)}{p} = \frac{K_O \cdot V_0(p)}{p}$$

1.2.2 Le signal d'entrée

Lorsque la boucle est verrouillée, $f_{OUT} = f_{IN}$ à terme. Les deux fréquences variant autour de la même constante f_0 , on peut définir l'écart de fréquence (ou de pulsation) par rapport à la fréquence (ou la pulsation) libre:

$$f_i = f_{IN} - f_0 \quad \omega_i = \omega_{IN} - \omega_0$$

De la même façon que pour la phase du signal du VCO, on peut écrire:

$$\phi_{IN}(t) = \int_0^t \omega_{IN}(t) \cdot dt = 2\pi \cdot f_0 \cdot t + \int_0^t \omega_i(t) \cdot dt = 2\pi \cdot f_0 \cdot t + \phi_i(t)$$

En utilisant la transformée de Laplace, on obtient :

$$\phi_i(p) = \frac{\omega_i(p)}{p}$$

1.2.3 Le détecteur de phase

Comme vu en 1.1.3, le signal V_D sortant du détecteur de phase a une composante utile $V_{D,moy}$ proportionnelle à l'écart de phase $\phi_E = \phi_{IN} - \phi_{OUT}$, avec un éventuel offset $\phi_C = \pi/2$ (voir 1.1.3):

$$V_{D,moy}(t) = K_D \cdot (\phi_{IN}(t) - \phi_{OUT}(t) - \phi_C) = K_D \cdot (\phi_i(t) - \phi_o(t) - \phi_C) = K_D \cdot (\phi_E(t) - \phi_C) = K_D \cdot \phi_e(t)$$

En utilisant la transformée de Laplace, on obtient:

$$V_D(p) = K_D \cdot \phi_e(p)$$

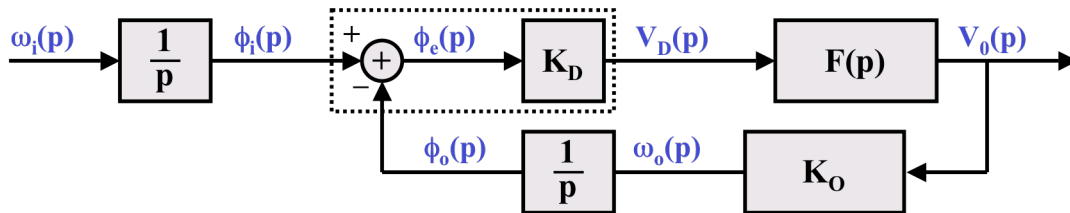
1.2.4 Le filtre passe-bas

Le filtre est caractérisé par sa fonction de transfert qui s'exprime directement avec la variable de Laplace:

$$V_0(p) = F(p) \cdot V_D(p)$$

1.2.5 Fonction de transfert de la boucle

A partir des résultats précédents on peut établir le modèle linéaire de la boucle à verrouillage de phase (PLL), qui est le suivant:



C'est un système bouclé à réaction négative avec:

$$A(p) = K_D \cdot F(p) \quad \text{et} \quad \beta(p) = \frac{K_O}{p}$$

Le "gain de boucle ouverte" (open-loop) est:

$$H_{ol}(p) = \left. \frac{\phi_o(p)}{\phi_i(p)} \right|_{ol} = A(p) \cdot \beta(p) = \frac{K_D \cdot F(p) \cdot K_O}{p}$$

On en déduit la fonction de transfert de la PLL:

$$\frac{V_0(p)}{\phi_i(p)} = \frac{A(p)}{1 + A(p) \cdot \beta(p)} = \frac{K_D \cdot F(p)}{1 + \frac{K_D \cdot F(p) \cdot K_O}{p}} = \frac{p \cdot K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_O}$$

La fonction de transfert entre l'entrée *en pulsation* et la sortie *en tension*, appelé "gain" de la PLL, s'écrit:

$$\frac{V_0(p)}{\omega_i(p)} = \frac{1}{p} \cdot \frac{V_0(p)}{\phi_i(p)} = \frac{K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_O} = \frac{\frac{1}{K_O}}{1 + \frac{p}{K_D \cdot F(p) \cdot K_O}}$$

Il s'agit d'une fonction de transfert de type "passe-bas", dont la fréquence de coupure correspond à la bande passante de la PLL.

La fonction de transfert *en fréquence* (ou *pulsation*) s'écrit:

$$\frac{f_o(p)}{f_i(p)} = \frac{\omega_o(p)}{\omega_i(p)} = \frac{V_0(p)}{\phi_i(p)} \cdot K_O = \frac{K_D \cdot F(p) \cdot K_O}{p + K_D \cdot F(p) \cdot K_O} = \frac{1}{1 + \frac{p}{K_D \cdot F(p) \cdot K_O}}$$

La PLL est bien un "suiveur" en fréquence ($f_o = f_i$, et donc $f_{OUT} = f_{IN}$) dans une certaine bande passante.

La fonction de transfert de la boucle unitaire s'écrit:

$$\frac{\phi_o(p)}{\phi_i(p)} = \frac{A(p) \cdot \beta(p)}{1 + A(p) \cdot \beta(p)} = \frac{\frac{K_D \cdot F(p) \cdot K_O}{p}}{1 + \frac{K_D \cdot F(p) \cdot K_O}{p}} = \frac{K_D \cdot F(p) \cdot K_O}{p + K_D \cdot F(p) \cdot K_O}$$

La fonction de transfert dite "d'erreur" s'écrit:

$$\frac{\phi_e(p)}{\phi_i(p)} = \frac{1}{1 + A(p) \cdot \beta(p)} = \frac{1}{1 + \frac{K_D \cdot F(p) \cdot K_O}{p}} = \frac{p}{p + K_D \cdot F(p) \cdot K_O}$$

1.2.6 Le domaine de verrouillage ou "Lock Range" statique

Lorsque la boucle est verrouillée en régime quasi statique, c'est à dire que f_{IN} varie autour de f_0 suffisamment lentement pour ne pas perdre temporairement le verrouillage, $f_{OUT} = f_{IN}$, et donc, si l'on considère l'écart par rapport à la fréquence centrale, $f_o = f_i$, ou encore $\omega_o = \omega_i$.

En tenant compte des caractéristiques K_O du VCO et K_D du détecteur de phase, ainsi que du facteur de transmission du filtre en continu, on peut écrire:

$$\omega_o = V_0 \cdot K_O = \phi_e \cdot K_D \cdot |F(j0)| \cdot K_O = \omega_i$$

L'écart maximal de fréquence autour de f_0 est donc dépendant de la dynamique utile du détecteur de phase et du type de filtre.

Dans le cas très courant d'un détecteur de phase basé sur la multiplication ou le XOR, suivi d'un filtre passif:

$$\phi_{e,max/min} = \pm \pi/2 \text{ autour de } \pi/2 \quad F(j0) = 1 \quad \omega_{o,max} = -\omega_{o,min} = \frac{\pi}{2} \cdot K_D \cdot K_O$$

Ce qui correspond à l'écart maximal de pulsation autour de ω_0 sur lequel la PLL peut rester verrouillée, appelé "**Lock Range**", qui s'exprime par:

$$\omega_{\text{lock}} = \omega_{i,\text{max}} = -\omega_{i,\text{min}} = \frac{\pi}{2} \cdot K_D \cdot K_O$$

Ce résultat sous-entend que la dynamique d'entrée en tension du VCO est plus large que celle de sortie du détecteur de phase, sinon c'est le VCO qui impose le "Lock Range".

Dans le cas d'un filtre actif introduisant une intégrale supplémentaire dans la boucle, le "Lock Range" est déterminée par la dynamique du VCO, ou celle de sortie du filtre.

1.2.7 Le domaine de capture ou "Capture Range"

Lorsque la boucle n'est donc pas verrouillée, donc lorsque $f_{\text{OUT}} \neq f_{\text{IN}}$, un détecteur de phase de type multiplicateur va donner une tension de sortie V_D avec une valeur moyenne nulle, une composante à $|f_{\text{IN}} - f_{\text{OUT}}|$ (de forme sinus ou triangulaire, suivant les cas) et une composante à $|f_{\text{IN}} + f_{\text{OUT}}|$ (de forme sinus, arcs de sinus ou rectangulaire, suivant les cas). Avec un filtre ne comportant pas d'intégrale, $V_{0,\text{moy}} = 0$, donc $f_{\text{OUT}} = f_0$, et la composante à basse fréquence de V_D , qu'on peut approximer grossièrement par un sinus de pulsation $\omega_i = 2\pi \cdot |f_{\text{IN}} - f_0|$, va créer à la sortie du filtre passe-bas une variation de V_0 dont l'amplitude peut s'exprimer par:

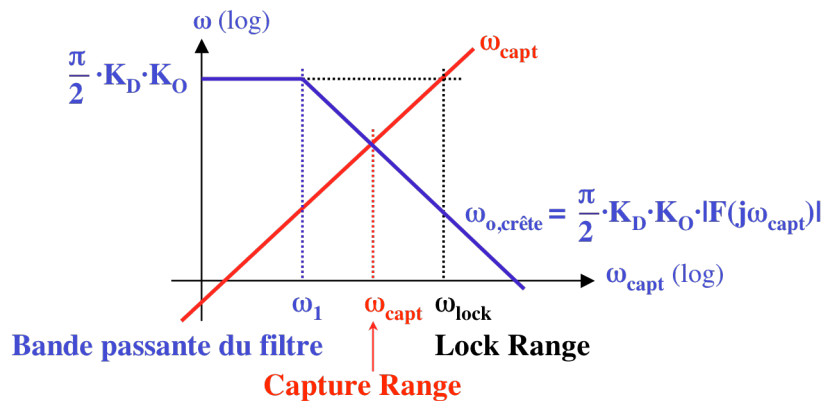
$$V_{0,\text{crête}} = V_{D,\text{crête}} \cdot |F(j\omega_i)| = \frac{\pi}{2} \cdot K_D \cdot |F(j\omega_i)|$$

Cette variation de V_0 provoque à la sortie du VCO une variation de pulsation $\omega_o = K_O \cdot V_{0,\text{crête}}$ autour de la pulsation libre $\omega_0 = 2\pi \cdot f_0$. La PLL arrivera à se verrouiller si $V_{0,\text{crête}}$ est suffisant pour produire un écart de pulsation $\omega_o = \omega_i$.

L'écart maximal de fréquence par rapport à f_0 sur lequel la PLL peut acquérir son verrouillage, appelé "**Capture Range**", s'exprime par:

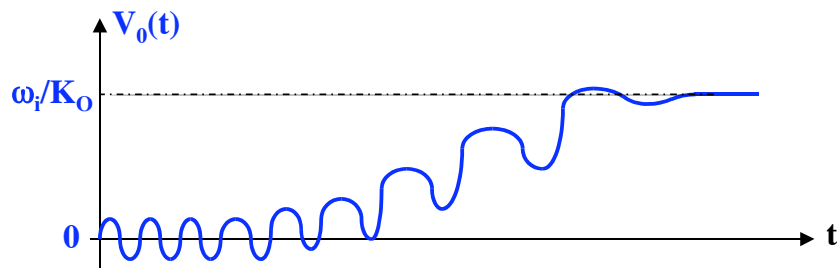
$$\omega_{\text{capture}} = V_{0,\text{crête}} \cdot K_O = \frac{\pi}{2} \cdot K_D \cdot K_O \cdot |F(j\omega_{\text{capture}})| = \omega_{\text{lock}} \cdot |F(j\omega_{\text{capture}})|$$

Cette équation non-linéaire est illustrée dans le cas d'un simple filtre passe-bas RC du 1^{er} degré à un pôle et sans zéro (voir 1.3.3.1), par la figure suivante:



Dans la pratique, la PLL arrive à capturer une fréquence plus éloignée de f_0 que celle établie dans le calcul précédent. En effet, même lorsque la tension $V_0(t)$ a encore une valeur de crête trop petite pour permettre le verrouillage immédiat, elle a déjà un effet sur f_{OUT} qui est modulée autour de f_0 , se rapprochant et s'éloignant périodiquement de f_{IN} .

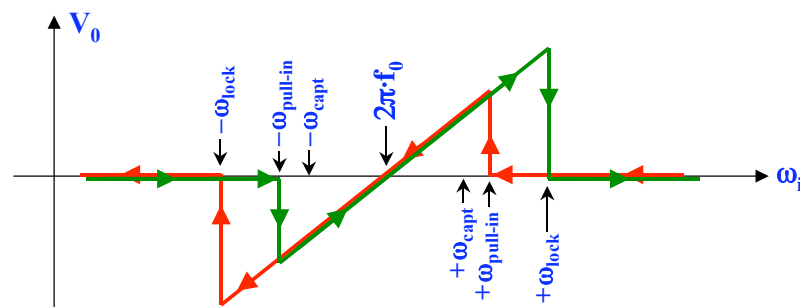
La tension $V_o(t)$ n'est pas purement sinus, mais dissymétrique, avec une valeur moyenne non-nulle qui a tendance à "attirer" f_{OUT} vers f_{IN} . Le phénomène s'amplifie à chaque battement jusqu'à éventuellement aboutir au verrouillage de la PLL. Ce phénomène, appelé "Pull-In", est illustré par la figure suivante:



La "Pull-In Range" est l'écart de fréquence maximum par rapport à f_0 dans lequel la PLL peut se verrouiller ainsi. Elle est supérieure à la "Capture Range".

La capture par "Pull-In" est beaucoup plus lente que la capture directe dans la "Capture Range".

En régime quasi statique, c'est à dire si f_{IN} varie autour de f_0 suffisamment lentement pour éviter tout phénomène transitoire, on peut relever la caractéristique suivante:



Dans le cas d'un détecteur de phase-fréquence, suivi d'un filtre comportant une intégrale, le "Capture Range" est identique au "Lock Range", imposé par la dynamique du VCO, ou celle de sortie du filtre actif. Il n'y a pas de phénomène de "Pull-In"

1.3 COMPORTEMENT DYNAMIQUE DE LA PLL

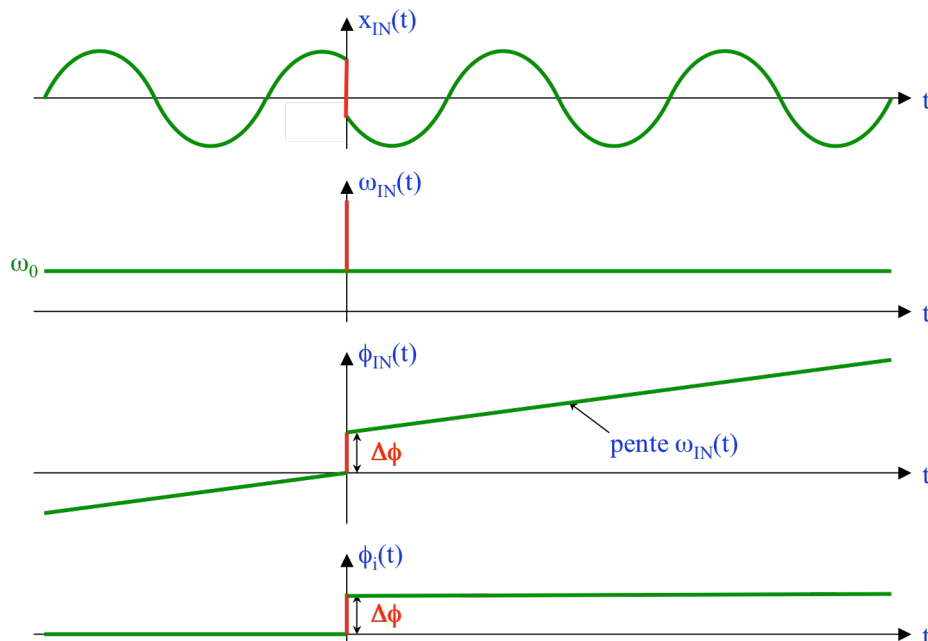
Le comportement dynamique d'une PLL est directement lié aux caractéristiques du filtre passe-bas dans la boucle, c'est à dire, l'ordre du filtre, le nombre et la position de ses pôles et de ses zéros.

1.3.1 Les différentes sollicitations

Pour qualifier le comportement dynamique d'un PLL, on va étudier sa réponse à quatre types de sollicitations:

- le saut de phase, par exemple dans une modulation PSK
- le saut de fréquence, par exemple dans une modulation FSK
- la rampe de fréquence, par exemple par effet Doppler
- la modulation sinusoïdale de fréquence, soit une modulation FM analogique

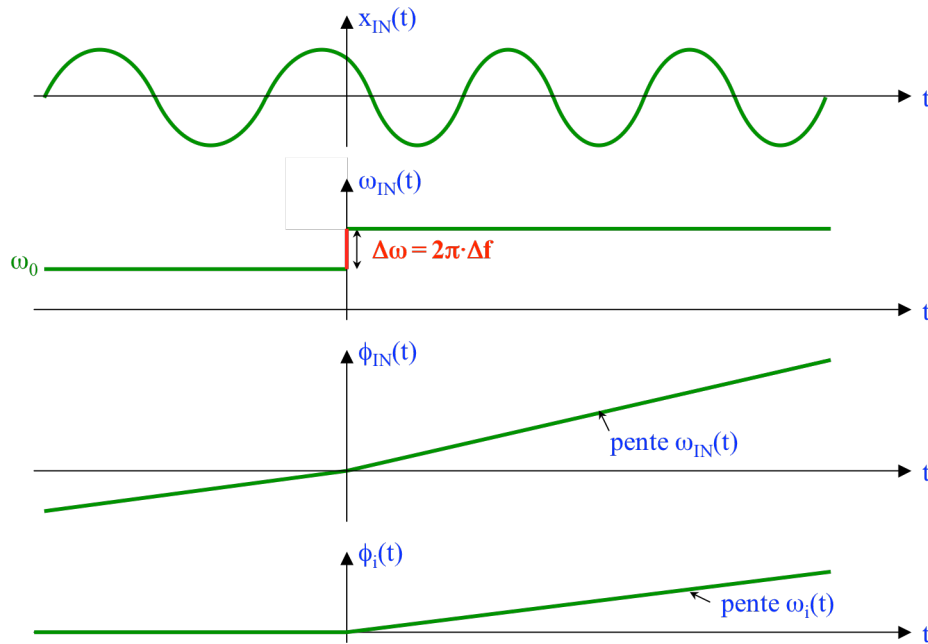
Le **saut de phase** est illustré par la figure suivante:



En utilisant la variable de Laplace, cette sollicitation s'écrit:

$$\phi_i(p) = \frac{\Delta\phi}{p}$$

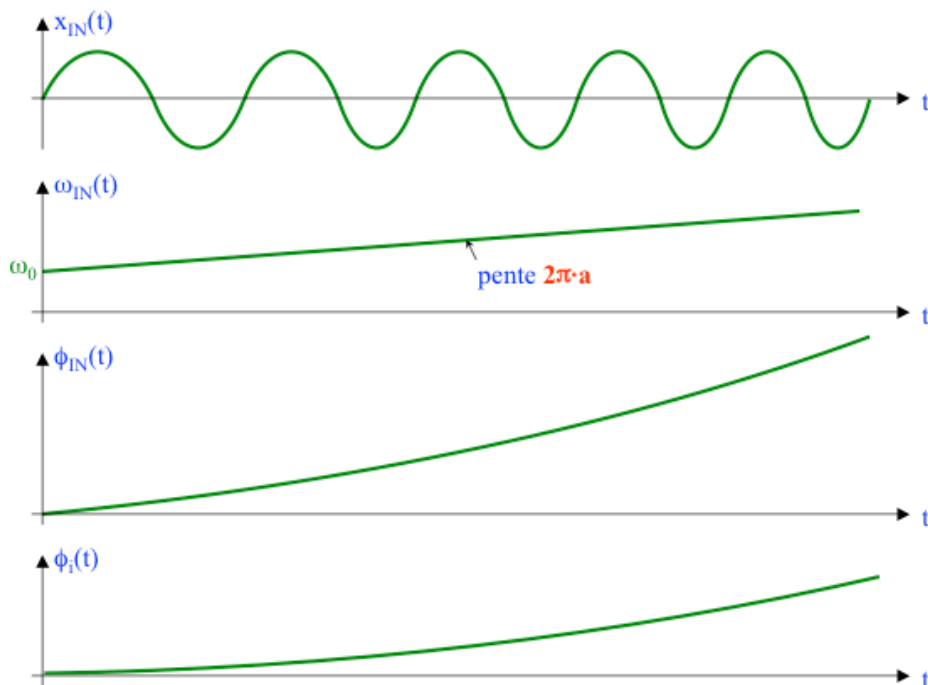
Le **saut de fréquence** est illustré par la figure suivante:



En utilisant la variable de Laplace, cette sollicitation s'écrit:

$$\omega_i(p) = \frac{2\pi \cdot \Delta f}{p} \quad \text{et} \quad \phi_i(p) = \frac{2\pi \cdot \Delta f}{p^2}$$

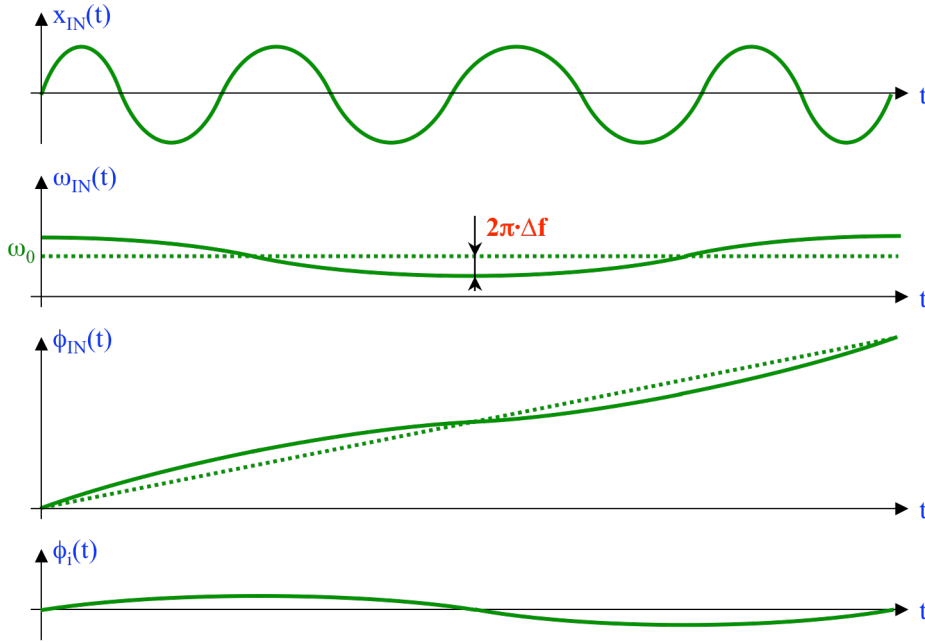
La **rampe de fréquence** est illustrée par la figure suivante:



En utilisant la variable de Laplace, cette sollicitation s'écrit:

$$\omega_i(p) = \frac{2\pi \cdot a}{p^2} \quad \text{et} \quad \phi_i(p) = \frac{2\pi \cdot a}{p^3}$$

La **modulation sinusoïdale de fréquence** répondant à l'équation $f_{IN}(t) = f_0 + \Delta f \cdot \cos(2\pi \cdot f \cdot t)$, est illustrée par la figure suivante:



En notation complexe, cette sollicitation s'écrit:

$$\omega_i(j\omega) = 2\pi \cdot \Delta f \quad \text{et} \quad \phi_i(j\omega) = \frac{2\pi \cdot \Delta f}{j\omega}$$

1.3.2 Comportement dynamique de la PLL du 1^{er} ordre

La PLL du 1^{er} ordre correspond au cas où $F(p) = 1$, c'est-à-dire à l'absence de filtre.

La fonction de transfert de la PLL du 1^{er} ordre s'écrit:

$$\frac{V_0(p)}{\phi_i(p)} = \frac{p \cdot K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_O} = \frac{p \cdot K_D}{p + K_D \cdot K_O}$$

Le pôle qui apparaît dans la fonction de transfert correspond à l'intégration implicite liant la phase à la fréquence en sortie du VCO.

La stabilité est toujours garantie puisque le seul pôle $(-K_D \cdot K_O)$ est toujours situé dans la moitié gauche du plan complexe.

Le "gain" de la PLL du 1^{er} ordre s'écrit:

$$\frac{V_0(p)}{\omega_i(p)} = \frac{K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_O} = \frac{K_D}{p + K_D \cdot K_O} = \frac{1/K_O}{1 + p/K_D \cdot K_O}$$

C'est une fonction du type passe-bas d'ordre 1, avec une bande passante $B_{-3dB} = K_D \cdot K_O / 2\pi$ [Hz].

La fonction "d'erreur" de la PLL du 1^{er} ordre s'écrit:

$$\frac{\phi_e(p)}{\phi_i(p)} = \frac{p \cdot F(p)}{p + K_D \cdot F(p) \cdot K_O} = \frac{p}{p + K_D \cdot K_O}$$

L'erreur de phase résultant d'un saut de phase $\Delta\phi$ en entrée est:

$$\phi_e(t) = L^{-1} \left(\frac{\phi_e(p)}{\phi_i(p)} \cdot \frac{\Delta\phi}{p} \right) = L^{-1} \left(\frac{\Delta\phi}{p + K_D \cdot K_O} \right) = \Delta\phi \cdot e^{-K_D \cdot K_O \cdot t}$$

C'est un transitoire qui tend vers zéro en $\exp(-t/\tau)$, avec $\tau = 1/K_D \cdot K_O$.

La réponse en tension à un saut de fréquence Δf en entrée est:

$$V_0(t) = L^{-1} \left(\frac{V_0(p)}{\omega_i(p)} \cdot \frac{2\pi \cdot \Delta f}{p} \right) = L^{-1} \left(\frac{2\pi \cdot \Delta f \cdot K_D}{p \cdot (p + K_D \cdot K_O)} \right) = \frac{2\pi \cdot \Delta f}{K_O} \cdot (1 - e^{-K_D \cdot K_O \cdot t})$$

C'est un transitoire qui tend vers une valeur finie $2\pi \cdot \Delta f / K_O$ en $\exp(-t/\tau)$, avec $\tau = 1/K_D \cdot K_O$.

L'erreur de phase résultant de ce saut fréquence Δf en entrée est:

$$\phi_e(t) = L^{-1} \left(\frac{\phi_e(p)}{\phi_i(p)} \cdot \frac{2\pi \cdot \Delta f}{p^2} \right) = L^{-1} \left(\frac{2\pi \cdot \Delta f}{p \cdot (p + K_D \cdot K_O)} \right) = \frac{2\pi \cdot \Delta f}{K_D \cdot K_O} \cdot (1 - e^{-K_D \cdot K_O \cdot t})$$

C'est un transitoire qui tend vers une valeur finie $2\pi \cdot \Delta f / K_D \cdot K_O$, il y a donc une erreur statique de phase.

L'erreur de phase résultant d'une rampe de fréquence en entrée est:

$$\phi_e(t) = L^{-1} \left(\frac{\phi_e(p)}{\phi_i(p)} \cdot \frac{2\pi \cdot a}{p^3} \right) = L^{-1} \left(\frac{2\pi \cdot a}{p^2 \cdot (p + K_D \cdot K_O)} \right)$$

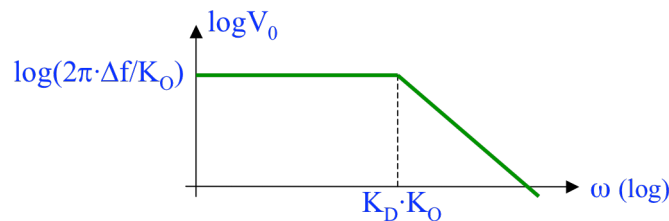
Elle n'est pas bornée car:

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{p \rightarrow 0} p \cdot \phi_e(p) = \lim_{p \rightarrow 0} p \cdot \frac{2\pi \cdot a}{p^2 \cdot (p + K_D \cdot K_O)} = \lim_{p \rightarrow 0} \frac{2\pi \cdot a}{p \cdot (p + K_D \cdot K_O)} = \infty$$

La PLL du 1^{er} ordre est incapable de rester synchronisée sur une rampe de fréquence, par exemple un signal soumis à l'effet Doppler, comme celui reçu d'un satellite non-géostationnaire.

La réponse à une modulation sinusoïdale de fréquence est:

$$V_0(j\omega) = \frac{V_0(j\omega)}{\omega_i(j\omega)} \cdot 2\pi \cdot \Delta f = \frac{K_D \cdot 2\pi \cdot \Delta f}{j\omega + K_D \cdot K_O} = \frac{2\pi \cdot \Delta f / K_O}{1 + j\omega / K_D \cdot K_O}$$



Rappel: dans le cas très courant d'un détecteur de phase basé sur la multiplication ou le XOR, la plage de pulsation dans laquelle la PLL peut rester verrouillée, ou "Lock Range", vaut:

$$\pm \omega_{\text{lock}} = \pm \frac{\pi}{2} \cdot K_D \cdot K_O \quad \text{autour de } \omega_0 = 2\pi \cdot f_0$$

Conclusions sur la PLL du 1^{er} ordre:

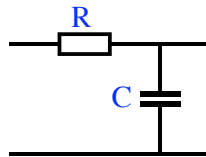
- la stabilité est toujours garantie, et son régime transitoire est en $\exp(-t/\tau)$, parfaitement amorti;
- la bande passante est toujours liée uniquement au "lock-range", ce qui limite considérablement les applications;
- les signaux issus du détecteur de phase sont appliqués sans filtrage à l'entrée du VCO; or ceux-ci comportent des éléments parasites à f_{IN} ou $2 \cdot f_{IN}$ de forte amplitude (p.r. à V_0) que la plupart des VCOs tolèrent mal, voir pas du tout;
- la PLL du 1^{er} ordre ne peut rester verrouillée sur une rampe de fréquence;
- la PLL du 1^{er} ordre n'a aucune mémoire de fréquence en cas de disparition momentanée du signal d'entrée.

1.3.3 Comportement dynamique de la PLL du 2^e ordre

La PLL du 2^e ordre correspond au cas où le filtre $F(p)$ est de type passe-bas du 1^{er} ordre. Le comportement de la boucle diffère selon la nature exacte de ce filtre.

1.3.3.1 PLL du 2^e ordre avec filtre passe-bas passif à seulement un pôle, sans zéro

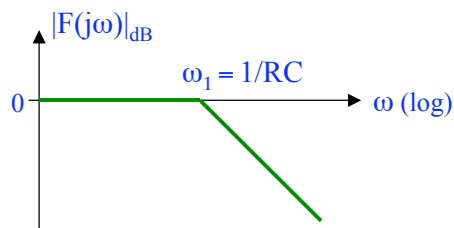
Le filtre passe-bas du 1^{er} ordre le plus simple est donné dans le schéma suivant:



Sa fonction de transfert est:

$$F(p) = \frac{1}{1+p \cdot R \cdot C} = \frac{1}{1+p \cdot \tau_1} = \frac{1}{1+p/\omega_1} = \frac{\omega_1}{p + \omega_1} \quad \text{avec: } \omega_1 = \frac{1}{\tau_1} = \frac{1}{R \cdot C}$$

Sa réponse harmonique en amplitude est la suivante:



Le "gain" de la PLL du 2^e ordre avec un filtre passif à seulement un pôle s'écrit:

$$\frac{V_0(p)}{\omega_i(p)} = \frac{K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_O} = \frac{\frac{K_D \cdot \omega_1}{p + \omega_1}}{p + \frac{K_D \cdot \omega_1 \cdot K_O}{p + \omega_1}} = \frac{K_D \cdot \omega_1}{p^2 + p \cdot \omega_1 + K_D \cdot K_O \cdot \omega_1}$$

Cette fonction peut aussi s'écrire sous la forme canonique:

$$\frac{V_0(p)}{\omega_i(p)} = \frac{1}{K_O} \cdot \frac{\omega_n^2}{p^2 + p \cdot \frac{\omega_n}{Q} + \omega_n^2}$$

avec: la pulsation propre $\omega_n = \sqrt{K_D \cdot K_O \cdot \omega_1} = \sqrt{\frac{K_D \cdot K_O}{\tau_1}}$

le facteur de qualité $Q = \sqrt{K_D \cdot K_O \cdot \tau_1} = \sqrt{\frac{K_D \cdot K_O}{\omega_1}} = \frac{\omega_n}{\omega_1}$

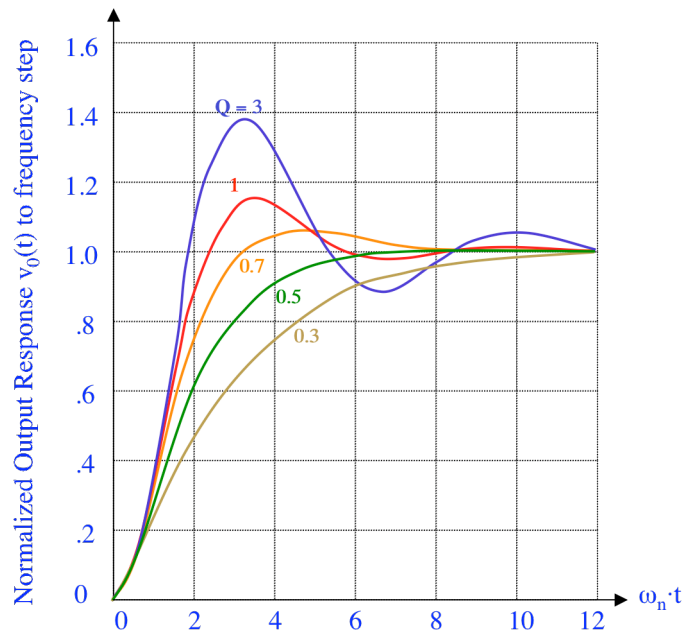
Toutes les PLLs du 2^e ordre sont toujours stables, car les pôles de leur fonction de transfert ont une partie réelle toujours négative:

$$p_{1,2} = -\frac{\omega_n}{2 \cdot Q} \pm \frac{\omega_n}{2 \cdot Q} \cdot \sqrt{1 - 4 \cdot Q^2}$$

La réponse en tension à un saut de fréquence Δf en entrée est:

$$V_0(t) = L^{-1} \left(\frac{V_0(p)}{\omega_i(p)} \cdot \frac{2\pi \cdot \Delta f}{p} \right) = L^{-1} \left(\frac{2\pi \cdot \Delta f}{K_O} \cdot \frac{\omega_n^2}{p \cdot (p^2 + p \cdot 2\xi \cdot \omega_n + \omega_n^2)} \right)$$

Normalisée à $2\pi \cdot \Delta f / K_O = 1$, cette fonction a l'allure suivante:



La réponse harmonique en tension à une modulation sinusoïdale de fréquence Δf est:

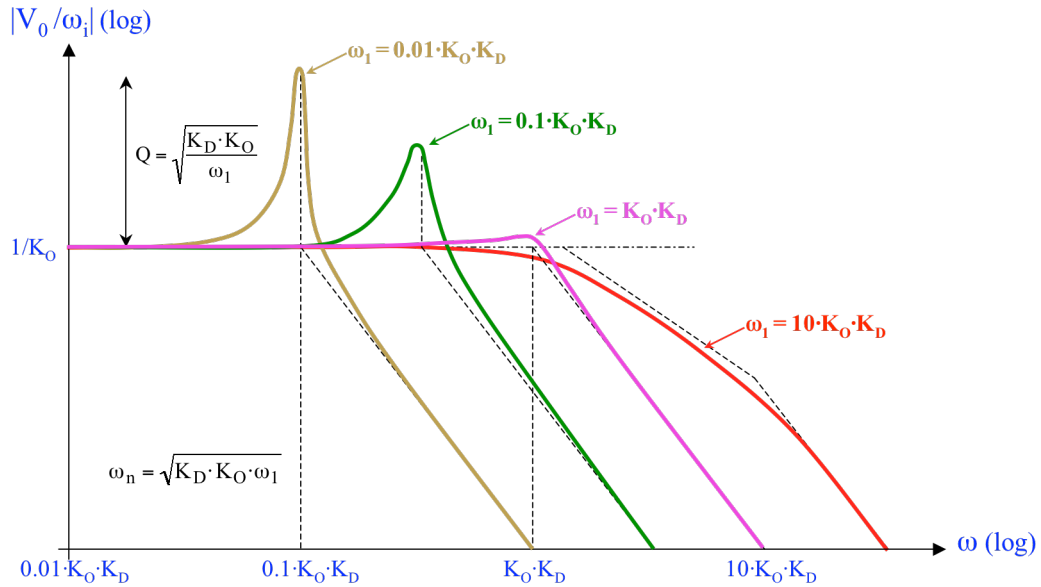
$$\frac{V_0(j\omega)}{\omega_i(j\omega)} = \frac{K_D \cdot \omega_1}{(j\omega)^2 + j\omega \cdot \omega_1 + K_D \cdot K_O \cdot \omega_1} = \frac{1}{K_O} \cdot \frac{1}{1 + \frac{j\omega}{\omega_n \cdot Q} + \left(\frac{j\omega}{\omega_n}\right)^2}$$

Pour un produit $K_D \cdot K_O$, donc un "Lock Range" donné, la courbe de réponse est très variable suivant la pulsation de coupure du filtre, comme le montre la figure à la page suivante.

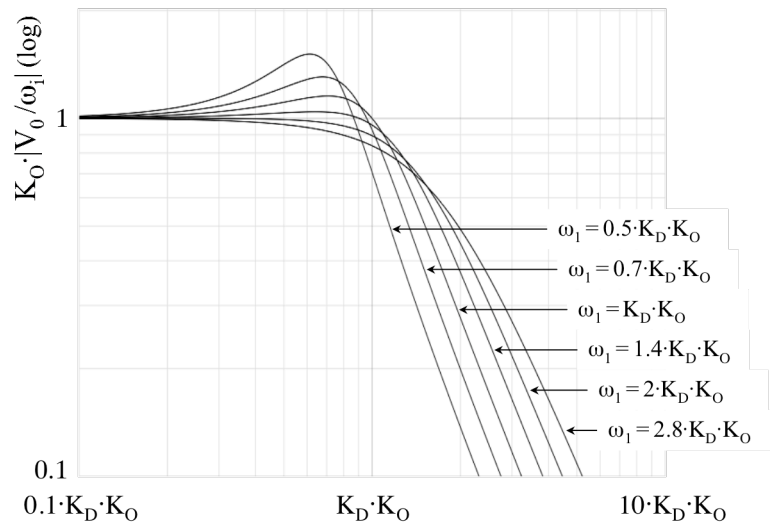
Rappel: dans le cas très courant d'un détecteur de phase basé sur la multiplication ou le XOR, la "Lock Range", vaut:

$$\pm \omega_{\text{lock}} = \pm \frac{\pi}{2} \cdot K_D \cdot K_O \quad \text{autour de } \omega_0 = 2\pi \cdot f_0$$

Courbe de réponse à une modulation de fréquence de la PLL du 2^e ordre avec filtre passif à seulement un pôle:



En pratique, seules sont utilisables les valeurs de ω_1 voisines de $K_D \cdot K_O$, c'est à dire Q autour de 1, ce qui donne les courbes de réponse normalisées à $1/K_O$ suivantes:



On voit sur le graphique, et une analyse détaillée le confirme, que la bande passante est limitée à une valeur maximale:

$$B_{-3\text{db,max}} = \sqrt{2} \cdot K_D \cdot K_O \quad \text{pour } \omega_1 = 2 \cdot K_D \cdot K_O,$$

La fonction "d'erreur" de la PLL du 2^e ordre avec filtre passif à seulement un pôle est:

$$\frac{\Delta\phi_e(p)}{\Delta\phi_i(p)} = \frac{p}{p + K_D \cdot F(p) \cdot K_O} = \frac{p}{p + K_D \cdot \frac{\omega_1}{p + \omega_1} \cdot K_O} = \frac{p \cdot (p + \omega_1)}{p^2 + p \cdot \omega_1 + \omega_1 \cdot K_D \cdot K_O}$$

L'erreur de phase provoquée par un saut de fréquence Δf en entrée, une fois les transitoires amortis, tend vers:

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{p \rightarrow 0} p \cdot \phi_e(p) = \lim_{p \rightarrow 0} p \cdot \frac{2\pi \cdot \Delta f}{p^2} \cdot \frac{p \cdot (p + \omega_1)}{p^2 + p \cdot \omega_1 + \omega_1 \cdot K_D \cdot K_O} = \frac{2\pi \cdot \Delta f}{K_D \cdot K_O}$$

Il y a donc une erreur statique de phase.

L'erreur de phase provoquée par une rampe de fréquence en entrée, une fois les transitoires amortis, tend vers:

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{p \rightarrow 0} p \cdot \phi_e(p) = \lim_{p \rightarrow 0} p \cdot \frac{2\pi \cdot a}{p^3} \cdot \frac{p \cdot (p + \omega_1)}{p^2 + p \cdot \omega_1 + \omega_1 \cdot K_D \cdot K_O} = \infty$$

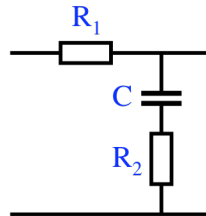
Cette PLL est incapable de rester verrouillée sur une rampe de fréquence, par exemple un signal soumis à l'effet Doppler, comme celui reçu d'un satellite non-géostationnaire.

Conclusions sur la PLL du 2^e ordre avec un filtre passif à seulement un pôle, sans zéro:

- la stabilité est toujours garantie;
- si l'on veut conserver un amortissement correct ($0.5 \leq Q \leq 1$), la bande passante reste liée quasi uniquement au "lock-range", avec un marge de manoeuvre très restreinte, ce qui limite considérablement les applications;
- elle ne peut rester verrouillée sur une rampe de fréquence;
- elle possède une mémoire de fréquence en cas de disparition momentanée du signal d'entrée, mais celle-ci s'éloigne de sa valeur de référence avec une constante de temps $\tau_1 = R \cdot C = 1/\omega_1$.

1.3.3.2 PLL du 2^e ordre avec filtre passe-bas passif à un pôle et un zéro

Le schéma d'un filtre passe-bas passif du 1^{er} ordre avec un pôle et un zéro est le suivant:

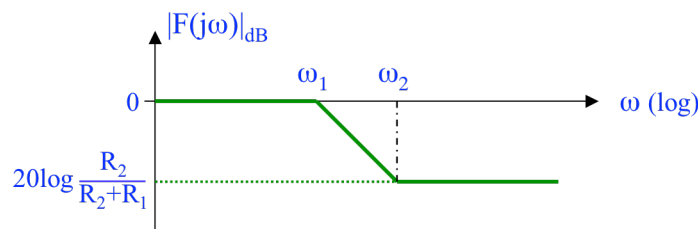


Sa fonction de transfert est:

$$F(p) = \frac{1 + p \cdot R_2 \cdot C}{1 + p \cdot (R_1 + R_2) \cdot C} = \frac{1 + p \cdot \tau_2}{1 + p \cdot \tau_1} = \frac{1 + p/\omega_2}{1 + p/\omega_1} = \frac{\omega_1 \cdot (p + \omega_2)}{\omega_2 \cdot (p + \omega_1)}$$

avec: $\tau_1 = (R_1 + R_2) \cdot C$ et $\tau_2 = R_2 \cdot C$, ou encore: $\omega_1 = 1/(R_1 + R_2) \cdot C$ et $\omega_2 = 1/R_2 \cdot C$

Sa réponse harmonique en amplitude est la suivante:



Le "gain" de la PLL du 2^e ordre avec un filtre passif à un pôle et un zéro s'écrit:

$$\frac{V_0(p)}{\omega_i(p)} = \frac{K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_O} = \frac{\frac{p \cdot \tau_2 + 1}{p \cdot \tau_1 + 1} \cdot K_D}{p + K_D \cdot \frac{p \cdot \tau_2 + 1}{p \cdot \tau_1 + 1} \cdot K_O} = \frac{\frac{K_D \cdot (p \cdot \tau_2 + 1)}{\tau_1}}{p^2 + p \cdot \left(\frac{1 + \tau_2 \cdot K_D \cdot K_O}{\tau_1} \right) + \frac{K_D \cdot K_O}{\tau_1}}$$

Cette fonction peut aussi s'écrire sous la forme canonique:

$$\frac{V_0(p)}{\omega_i(p)} = \frac{1}{K_O} \cdot \frac{\omega_n^2 \cdot (p \cdot \tau_2 + 1)}{p^2 + p \cdot \frac{\omega_n}{Q} + \omega_n^2} = \frac{1}{K_O} \cdot \frac{\omega_n^2 \cdot \left(p \cdot \left(\frac{1}{\omega_n \cdot Q} - \frac{1}{K_D \cdot K_O} \right) + 1 \right)}{p^2 + p \cdot \frac{\omega_n}{Q} + \omega_n^2}$$

$$\text{avec: la pulsation propre } \omega_n = \sqrt{K_D \cdot K_O \cdot \omega_1} = \sqrt{\frac{K_D \cdot K_O}{\tau_1}} = \sqrt{\frac{K_D \cdot K_O}{(R_1 + R_2) \cdot C}}$$

$$\text{le facteur de qualité } Q = \left[\omega_n \cdot \left(\frac{1}{K_D \cdot K_O} + \tau_2 \right) \right]^{-1} = \left[\omega_n \cdot \left(\frac{1}{K_D \cdot K_O} + R_2 \cdot C \right) \right]^{-1}$$

Le cas où $\omega_n \cdot Q \ll K_D \cdot K_O$, c'est à dire $\omega_2 \ll K_D \cdot K_O$, est le plus courant.

Avec $\omega_n \cdot Q \approx K_D \cdot K_O$, c'est à dire $\tau_2 \approx 0$, on en revient à la PLL du 2^e ordre avec un filtre à un pôle, mais sans zéro.

Le cas $\omega_n \cdot Q > K_D \cdot K_O$ est impossible, car correspondant à τ_2 négatif !

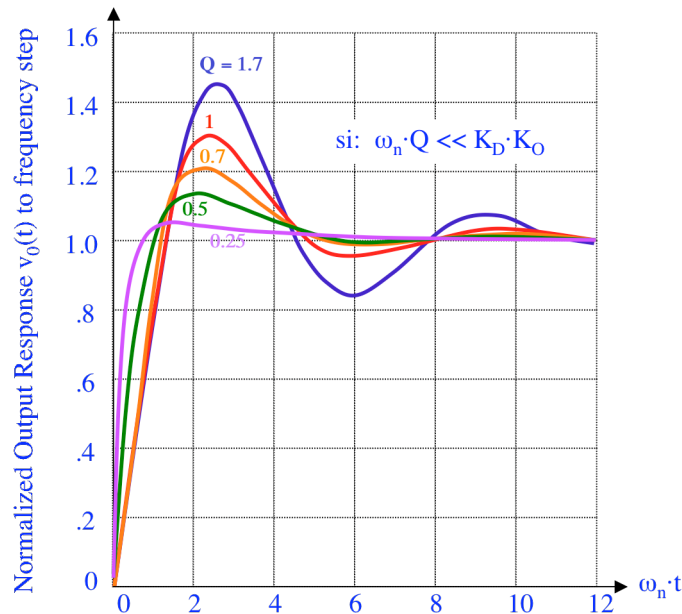
Toutes les PLLs du 2^e ordre sont toujours stables, car les pôles de leur fonction de transfert ont une partie réelle toujours négative:

$$p_{1,2} = -\frac{\omega_n}{2 \cdot Q} \pm \frac{\omega_n}{2 \cdot Q} \cdot \sqrt{1 - 4 \cdot Q^2}$$

La réponse en tension à un saut de fréquence Δf en entrée est:

$$V_0(t) = L^{-1} \left(\frac{V_0(p)}{\omega_i(p)} \cdot \frac{2\pi \cdot \Delta f}{p} \right) = L^{-1} \left(\frac{2\pi \cdot \Delta f}{K_O} \cdot \frac{\omega_n^2 \cdot \left(p \cdot \left(\frac{1}{\omega_n \cdot Q} - \frac{1}{K_D \cdot K_O} \right) + 1 \right)}{P(p^2 + p \cdot \frac{\omega_n}{Q} + \omega_n^2)} \right)$$

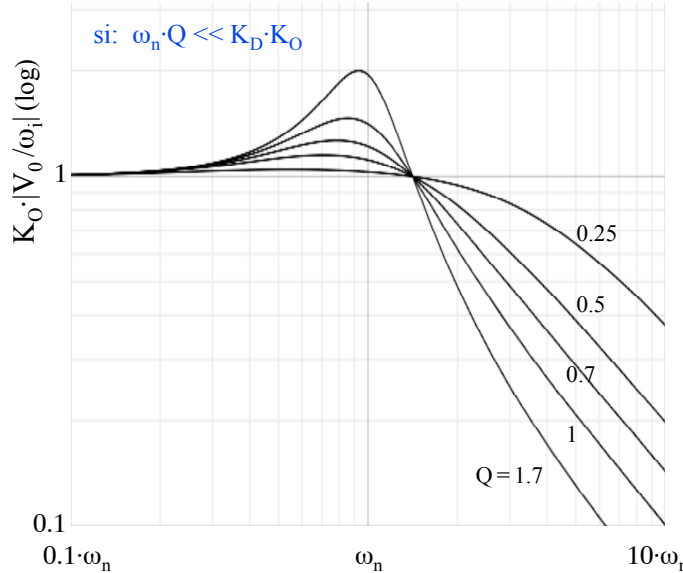
Avec $\omega_n \cdot Q \ll K_D \cdot K_O$, et normalisée à $2\pi \cdot \Delta f / K_O = 1$, cette fonction à l'allure suivante:



La réponse harmonique en tension à une modulation sinusoïdale de fréquence est:

$$\frac{V_0(j\omega)}{\omega_i(j\omega)} = \frac{1}{K_O} \cdot \frac{(1 + j\omega \cdot (\frac{1}{\omega_n \cdot Q} - \frac{1}{K_O \cdot K_D}))}{1 + \frac{j\omega}{\omega_n \cdot Q} + (\frac{j\omega}{\omega_n})^2}$$

Avec $\omega_n \cdot Q \ll K_D \cdot K_O$, et normalisée à $1/K_O = 1$, cette fonction à l'allure suivante.



La fonction "d'erreur" de la PLL du 2^e ordre avec filtre passif à un pôle et un zéro est:

$$\frac{\Delta\phi_e(p)}{\Delta\phi_i(p)} = \frac{p}{p + K_D \cdot F(p) \cdot K_O} = \frac{p}{p + K_D \cdot \frac{\omega_1 \cdot (p + \omega_2)}{\omega_2 \cdot (p + \omega_1)} \cdot K_O} = \frac{p \cdot (p + \omega_1)}{p^2 + p \cdot (\omega_1 + \frac{\omega_1 \cdot K_D \cdot K_O}{\omega_2}) + \omega_1 \cdot K_D \cdot K_O}$$

L'erreur de phase provoquée par un saut de fréquence Δf en entrée, une fois les transitoires amortis, tend vers:

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{p \rightarrow 0} p \cdot \phi_e(p) = \lim_{p \rightarrow 0} p \cdot \frac{2\pi \cdot \Delta f}{p^2} \cdot \frac{p \cdot (p + \omega_1)}{p^2 + p \cdot (\omega_1 + \frac{\omega_1 \cdot K_D \cdot K_O}{\omega_2}) + \omega_1 \cdot K_D \cdot K_O} = \frac{2\pi \cdot \Delta f}{K_D \cdot K_O}$$

Il y a donc une erreur statique de phase.

L'erreur de phase provoquée par une rampe de fréquence en entrée, une fois les transitoires amortis, tend vers:

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{p \rightarrow 0} p \cdot \phi_e(p) = \lim_{p \rightarrow 0} p \cdot \frac{2\pi \cdot a}{p^3} \cdot \frac{p \cdot (p + \omega_1)}{p^2 + p \cdot (\omega_1 + \frac{\omega_1 \cdot K_D \cdot K_O}{\omega_2}) + \omega_1 \cdot K_D \cdot K_O} = \infty$$

Cette PLL est incapable de rester verrouillée sur une rampe de fréquence, par exemple un signal soumis à l'effet Doppler, comme celui reçu d'un satellite non-géostationnaire.

Rappel: dans le cas très courant d'un détecteur de phase basé sur la multiplication ou le XOR, la plage de pulsation dans laquelle la PLL peut rester verrouillée, ou "Lock Range", vaut:

$$\pm \omega_{\text{lock}} = \pm \frac{\pi}{2} \cdot K_D \cdot K_O \quad \text{autour de } \omega_0 = 2\pi \cdot f_0$$

Conclusions sur la PLL du 2^e ordre avec un filtre passif à un pôle et un zéro:

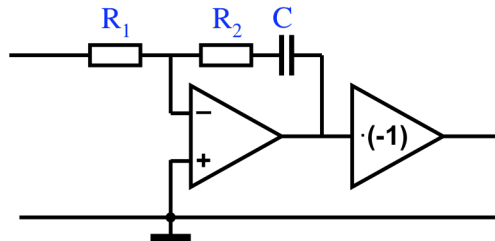
- la stabilité est toujours garantie;
- on peut dimensionner la boucle pour avoir le "Lock Range" désiré, une bande passante voulue, mais forcément inférieure à $K_D \cdot K_O$, et un amortissement correct;
- elle ne peut rester verrouillée sur une rampe de fréquence;
- elle possède une mémoire de fréquence en cas de disparition momentanée du signal d'entrée, mais celle-ci s'éloigne de sa valeur de référence avec une constante de temps $\tau_1 = (R_1 + R_2) \cdot C$.

Du fait de ces qualités, et de sa simplicité, ce type de filtre est très fréquemment utilisé.

Cette PLL du 2^e ordre est souvent appelée de "type 1" car il y a 1 intégrale dans la boucle.

1.3.3.3 PLL du 2^e ordre avec filtre passe-bas actif à une intégrale et un zéro

Le schéma d'un filtre passe-bas actif du 1^{er} ordre avec une intégrale, c'est à dire un pôle à l'origine, et un zéro est le suivant:

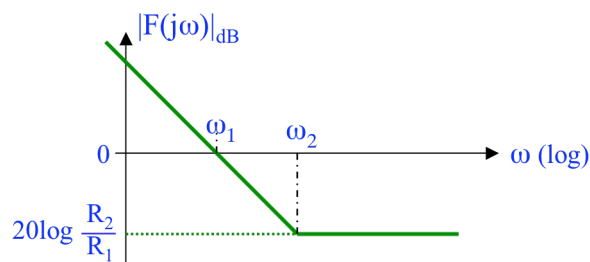


Sa fonction de transfert est:

$$F(p) = \frac{1 + p \cdot R_2 \cdot C}{p \cdot R_1 \cdot C} = \frac{1 + p \cdot \tau_2}{p \cdot \tau_1} = \frac{1 + p/\omega_2}{p/\omega_1} = \frac{\omega_1 \cdot (p + \omega_2)}{\omega_2 \cdot p}$$

avec: $\tau_1 = R_1 \cdot C$ et $\tau_2 = R_2 \cdot C$, ou encore: $\omega_1 = 1/R_1 \cdot C$ et $\omega_2 = 1/R_2 \cdot C$

Sa réponse harmonique en amplitude est la suivante:



Le "gain" de la PLL du 2^e ordre avec un filtre passif à un pôle et un zéro s'écrit:

$$\frac{V_0(p)}{\omega_i(p)} = \frac{K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_O} = \frac{\frac{p \cdot \tau_2 + 1}{p \cdot \tau_1} \cdot K_D}{p + K_D \cdot \frac{p \cdot \tau_2 + 1}{p \cdot \tau_1} \cdot K_O} = \frac{\frac{K_D}{\tau_1} \cdot (p \cdot \tau_2 + 1)}{p^2 + p \cdot \frac{\tau_2 \cdot K_D \cdot K_O}{\tau_1} + \frac{K_D \cdot K_O}{\tau_1}}$$

Cette fonction peut aussi s'écrire sous la forme canonique:

$$\frac{V_0(p)}{\omega_i(p)} = \frac{1}{K_O} \cdot \frac{\omega_n^2 \cdot (p \cdot \tau_2 + 1)}{p^2 + p \cdot \frac{\omega_n}{Q} + \omega_n^2} = \frac{1}{K_O} \cdot \frac{\omega_n^2 \cdot (p \cdot \frac{1}{\omega_n \cdot Q} + 1)}{p^2 + p \cdot \frac{\omega_n}{Q} + \omega_n^2}$$

avec: la pulsation propre $\omega_n = \sqrt{K_D \cdot K_O \cdot \omega_1} = \sqrt{\frac{K_D \cdot K_O}{\tau_1}} = \sqrt{\frac{K_D \cdot K_O}{R_1 \cdot C}}$

le facteur de qualité $Q = \frac{\omega_2}{\omega_n} = \frac{1}{\omega_n \cdot \tau_2} = \frac{1}{\omega_n \cdot R_2 \cdot C}$

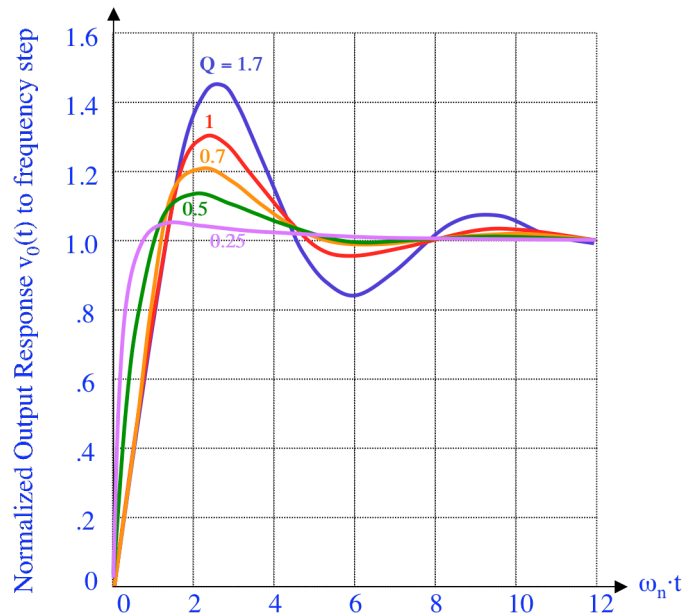
Toutes les PLLs du 2^e ordre sont toujours stables, car les pôles de leur fonction de transfert ont une partie réelle toujours négative:

$$p_{1,2} = -\frac{\omega_n}{2 \cdot Q} \pm \frac{\omega_n}{2 \cdot Q} \cdot \sqrt{1 - 4 \cdot Q^2}$$

La réponse en tension à un saut de fréquence Δf en entrée est:

$$V_0(t) = L^{-1} \left(\frac{V_0(p)}{\omega_i(p)} \cdot \frac{2\pi \cdot \Delta f}{p} \right) = L^{-1} \left(\frac{2\pi \cdot \Delta f}{K_O} \cdot \frac{\omega_n^2 \cdot (p \cdot \frac{1}{\omega_n \cdot Q} + 1)}{p (p^2 + p \cdot \frac{\omega_n}{Q} + \omega_n^2)} \right)$$

Normalisée à $2\pi \cdot \Delta f / K_O = 1$, cette fonction a l'allure suivante:

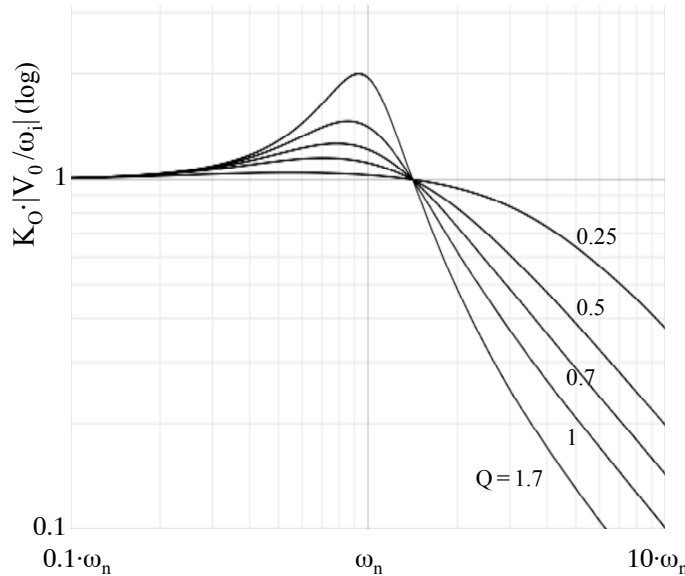


Cette réponse est identique à celle de la PLL du 2^e ordre avec un filtre passif à un pôle et un zéro, mais sans la contrainte $\omega_n \cdot Q \ll K_D \cdot K_O$

La réponse harmonique en tension à une modulation sinusoïdale de fréquence est:

$$\frac{V_0(j\omega)}{\omega_i(j\omega)} = \frac{1}{K_O} \cdot \frac{1 + \frac{j\omega}{\omega_n \cdot Q}}{1 + \frac{j\omega}{\omega_n \cdot Q} + \left(\frac{j\omega}{\omega_n}\right)^2}$$

Normalisée à $1/K_O = 1$, cette fonction à l'allure suivante.



Cette réponse est identique à celle de la PLL du 2^e ordre avec un filtre passif à un pôle et un zéro, mais sans la contrainte $\omega_n \cdot Q \ll K_D \cdot K_O$

La fonction "d'erreur" de la PLL du 2^e ordre avec filtre actif à une intégrale et un zéro est:

$$\frac{\Delta\phi_e(p)}{\Delta\phi_i(p)} = \frac{p}{p + K_D \cdot F(p) \cdot K_O} = \frac{p}{p + K_D \cdot \frac{\omega_1 \cdot (p + \omega_2)}{\omega_2 \cdot p} \cdot K_O} = \frac{p^2}{p^2 + p \cdot \frac{\omega_1 \cdot K_D \cdot K_O}{\omega_2} + \omega_1 \cdot K_D \cdot K_O}$$

L'erreur de phase provoquée par un saut de fréquence Δf en entrée, une fois les transitoires amortis, tend vers:

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{p \rightarrow 0} p \cdot \phi_e(p) = \lim_{p \rightarrow 0} p \cdot \frac{2\pi \cdot \Delta f}{p^2} \cdot \frac{p^2}{p^2 + p \cdot \frac{\omega_1 \cdot K_D \cdot K_O}{\omega_2} + \omega_1 \cdot K_D \cdot K_O} = 0$$

Il y a donc une erreur statique de phase nulle.

L'erreur de phase provoquée par une rampe de fréquence en entrée, une fois les transitoires amortis, tend vers:

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{p \rightarrow 0} p \cdot \phi_e(p) = \lim_{p \rightarrow 0} p \cdot \frac{2\pi \cdot a}{p^3} \cdot \frac{p^2}{p^2 + p \cdot \frac{\omega_1 \cdot K_D \cdot K_O}{\omega_2} + \omega_1 \cdot K_D \cdot K_O} = \frac{2\pi \cdot a}{\omega_1 \cdot K_D \cdot K_O}$$

Cette PLL est donc capable de rester verrouillée sur une rampe de fréquence, par exemple un signal soumis à l'effet Doppler, comme celui reçu d'un satellite non-géostationnaire.

Avec un filtre comportant une intégrale, l'erreur statique de phase est nulle, donc le domaine de verrouillage ou "Lock Range" n'est plus liée à la dynamique du détecteur de phase multipliée par $K_D \cdot K_O$, mais ne dépend que de la dynamique du VCO, ou de la dynamique de sortie du filtre actif (la plus restreinte des deux).

Conclusions sur la PLL du 2^e ordre avec filtre actif à une intégrale et un zéro:

- la stabilité est toujours garantie;
- on peut dimensionner la boucle pour avoir le "Lock Range" désiré, une bande passante voulue, sans limitation, et un amortissement correct;
- l'erreur de phase statique est nulle;
- elle peut rester verrouillée sur une rampe de fréquence;
- elle possède une mémoire de fréquence en cas de disparition momentanée du signal d'entrée.

Du fait de toutes ces qualités, et de la facilité de dimensionnement, ce type de filtre est très fréquemment utilisé.

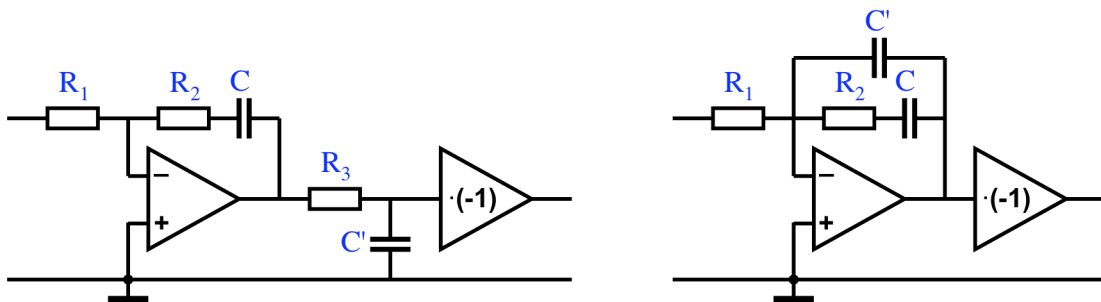
Cette PLL du 2^e ordre est souvent appelée de "type 2" car il y a 2 intégrales dans la boucle, celle du filtre et celle, implicite, entre la phase et la fréquence du VCO.

1.3.4 Comportement dynamique de la PLL du 3^e ordre

La PLL du 3^e ordre correspond au cas où le filtre $F(p)$ est de type passe-bas du 2^e ordre. Le comportement de la boucle diffère selon la nature exacte de ce filtre.

1.3.4.1 PLL du 3^e ordre avec filtre passe-bas actif à une intégrale, un zéro et un pôle secondaire

Le filtre passe-bas du 2^e ordre avec une intégrale (pôle à l'origine), un zéro et un second pôle, peut être réalisé avec l'un des schémas suivant:



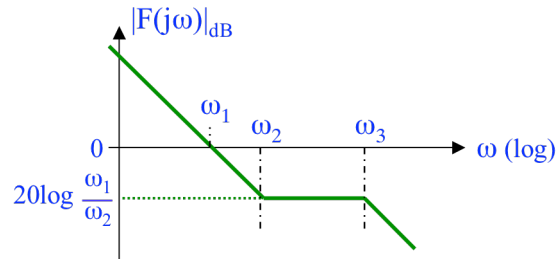
Sa fonction de transfert est:

$$F(p) = \frac{1 + p \cdot R_2 \cdot C}{p \cdot R_1 \cdot C \cdot (1 + p \cdot R_3 \cdot C')} = \frac{1 + p \cdot \tau_2}{p \cdot \tau_1 \cdot (1 + p \cdot \tau_3)} = \frac{1 + p/\omega_2}{p/\omega_1 \cdot (1 + p/\omega_3)} = \frac{\omega_1 \cdot \omega_3 \cdot (p + \omega_2)}{\omega_2 \cdot p \cdot (p + \omega_3)}$$

avec: $\tau_1 = R_1 \cdot C$, $\tau_2 = R_2 \cdot C$ et $\tau_3 = R_3 \cdot C$

ou encore: $\omega_1 = 1/R_1 \cdot C$, $\omega_2 = 1/R_2 \cdot C$ et $\omega_3 = 1/R_3 \cdot C$

Sa réponse harmonique en amplitude est la suivante:



Ce type de filtre est utilisé pour réduire, à l'entrée du VCO, l'amplitude des composantes parasites de fréquence f_{IN} ou $2 \cdot f_{IN}$ générées par le détecteur de phase.

Le "gain" de la PLL du 3^e ordre avec un filtre actif à une intégrale, un zéro et un pôle secondaire, s'écrit:

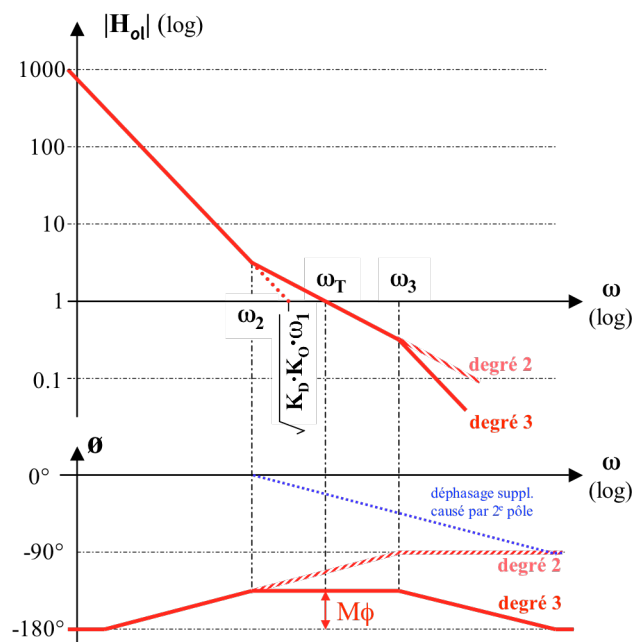
$$\frac{V_0(p)}{\omega_i(p)} = \frac{K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_O} = \frac{\frac{p \cdot \tau_2 + 1}{p \cdot \tau_1 \cdot (p \cdot \tau_3 + 1)} \cdot K_D}{p + K_D \cdot \frac{p \cdot \tau_2 + 1}{p \cdot \tau_1 \cdot (p \cdot \tau_3 + 1)} \cdot K_O} = \frac{K_D \cdot (p \cdot \tau_2 + 1)}{p^3 \cdot \tau_1 \cdot \tau_3 + p^2 \cdot \tau_1 + p \cdot \tau_2 \cdot K_D \cdot K_O + K_D \cdot K_O}$$

L'analyse détaillée de cette fonction du 3^e ordre est plus ardue que celle du 2^e ordre. On peut néanmoins juger de la stabilité, de la bande passante et de la qualité de l'amortissement de cette PLL en étudiant son "gain de boucle ouverte" dans un diagramme de Bode.

Le "gain de boucle ouverte" de la PLL du 3^e ordre avec un tel filtre s'écrit:

$$H_{ol}(p) = \left. \frac{\phi_o(p)}{\phi_i(p)} \right|_{ol} = \frac{K_D \cdot F(p) \cdot K_O}{p} = \frac{1 + \frac{p}{\omega_2}}{\frac{p^2}{K_D \cdot K_O \cdot \omega_1} \cdot \left(1 + \frac{p}{\omega_2}\right)}$$

Dans le cas le plus courant où $\omega_2 \leq \sqrt{K_D \cdot K_O \cdot \omega_1}$, et $\omega_3 \leq 10 \cdot \sqrt{K_D \cdot K_O \cdot \omega_1}$, le diagramme de Bode de cette fonction de transfert est le suivant:



La bande passante est approximativement la même que celle de la PLL du 2^e ordre avec un filtre du 1^{er} degré, donc sans le pôle en ω_3 . Elle vaut:

$$\omega_T = \frac{K_D \cdot K_O \cdot \omega_1}{\omega_2}$$

La marge de phase est réduite à:

$$M_\phi \approx 45^\circ \cdot \log \frac{\omega_3}{\omega_2}$$

Dans la pratique on fera en sorte que ω_T corresponde au point d'inflexion de la phase, d'où :

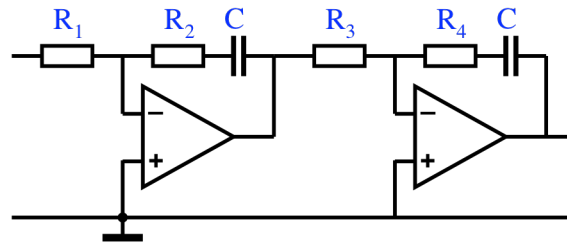
$$\omega_T \approx \sqrt{\omega_2 \cdot \omega_3}$$

Pour obtenir une bande passante ω_T donnée, avec une marge de phase de 45°, cela donne:

$$\omega_1 = \frac{\omega_T^2}{\sqrt{10} \cdot K_D \cdot K_O} \approx \frac{\omega_T^2}{3 \cdot K_D \cdot K_O} \quad \omega_2 = \omega_T / \sqrt{10} \approx \omega_T / 3 \quad \text{et} \quad \omega_3 = \sqrt{10} \cdot \omega_T \approx 3 \cdot \omega_T$$

1.3.4.2 PLL du 3^e ordre avec filtre passe-bas actif à deux intégrales et deux zéros

Le filtre passe-bas du 2^e ordre théorique avec deux intégrales (pôle à l'origine) et deux zéros correspond au schéma suivant:



Sa fonction de transfert est:

$$F(p) = \frac{1+p \cdot R_2 \cdot C}{p \cdot R_1 \cdot C} \cdot \frac{1+p \cdot R_4 \cdot C}{p \cdot R_3 \cdot C} = \frac{1+p \cdot \tau_2}{p \cdot \tau_1} \cdot \frac{1+p \cdot \tau_4}{p \cdot \tau_3} = \frac{\omega_1 \cdot \omega_3 \cdot (p + \omega_2) \cdot (p + \omega_4)}{\omega_2 \cdot \omega_4 \cdot p^2}$$

$$\text{avec: } \tau_i = R_i \cdot C \quad \text{et} \quad \omega_i = 1/R_i \cdot C$$

Avec ce filtre, la fonction "d'erreur" de phase est:

$$\frac{\phi_e(p)}{\phi_i(p)} = \frac{p}{p + K_D \cdot F(p) \cdot K_O} = \frac{p}{p + K_D \cdot \frac{1+p \cdot \tau_2}{p \cdot \tau_1} \cdot \frac{1+p \cdot \tau_4}{p \cdot \tau_3} \cdot K_O} = \frac{p^3 \cdot \tau_1 \cdot \tau_3}{p^3 \cdot \tau_1 \cdot \tau_3 + p^2 \cdot \tau_2 \cdot \tau_4 \cdot K_D \cdot K_O + p \cdot (\tau_2 + \tau_4) \cdot K_D \cdot K_O + K_D \cdot K_O}$$

L'erreur de phase provoquée par une rampe de fréquence en entrée, une fois les transitoires amortis, tend vers:

$$\lim_{t \rightarrow \infty} \phi_e(t) = \lim_{p \rightarrow 0} p \cdot \phi_e(p) = \lim_{p \rightarrow 0} p \cdot \frac{2\pi \cdot a}{p^3} \cdot \frac{p^3 \cdot \tau_1 \cdot \tau_3}{p^3 \cdot \tau_1 \cdot \tau_3 + p^2 \cdot \tau_2 \cdot \tau_4 \cdot K_D \cdot K_O + p \cdot (\tau_2 + \tau_4) \cdot K_D \cdot K_O + K_D \cdot K_O} = 0$$

Cette PLL est donc capable de rester verrouillée sur une rampe de fréquence, par exemple un signal soumis à l'effet Doppler, comme celui reçu d'un satellite non-géostationnaire, et ceci sans erreur statique de phase.

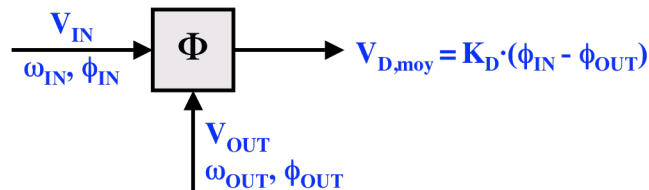
En plus, elle possède une mémoire de rampe de fréquence, ce qui lui évite de prendre un retard de fréquence en cas de disparition temporaire du signal d'entrée.

2. BLOCS FONCTIONNELS DE LA PLLf

2.1 LES DETECTEURS DE PHASE

2.1.1 Introduction

Le détecteur ou comparateur de phase doit fournir une tension moyenne proportionnelle à l'écart de phase existant entre le signal d'entrée V_{IN} de la PLL et celui de retour de boucle V_{OUT} issu du VCO ou d'un éventuel diviseur de fréquence.



Le comportement du détecteur de phase doit être soigneusement étudié en fonction des critères suivants:

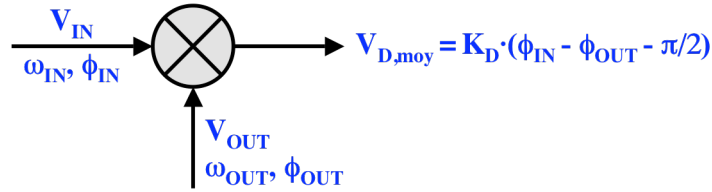
- ◆ Linéarité.
- ◆ Limite des écarts de phase admissibles.
- ◆ Comportement en présence de signaux de même fréquence, mais d'amplitude et/ou de forme variables.
- ◆ Comportement en présence de signaux de fréquence différente.
- ◆ Effet du bruit en entrée.

Les détecteurs de phase les plus répandus sont de trois types:

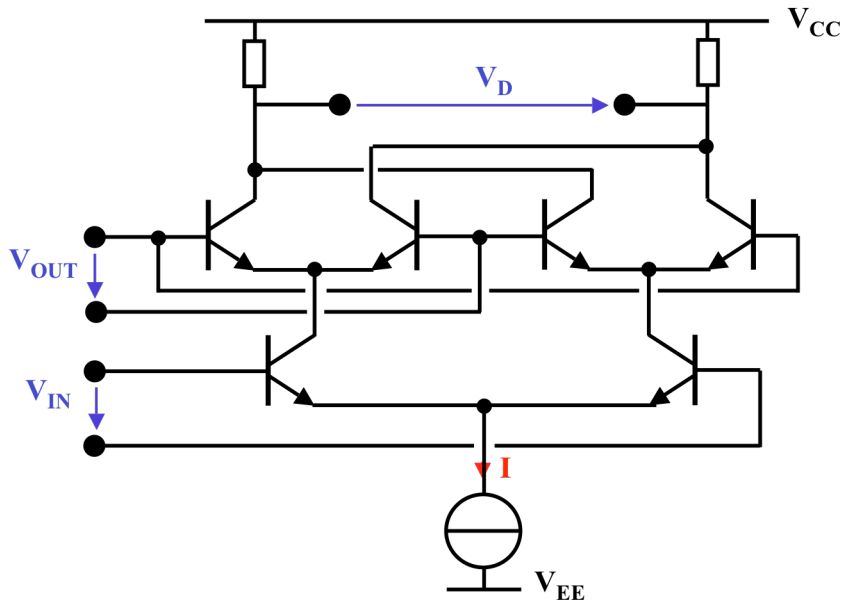
- ◆ Les détecteurs de phase basés sur la multiplication analogique, capables de fonctionner avec des signaux d'amplitude et de forme variables, et en présence de bruit.
- ◆ Les détecteurs de phase basés sur la fonction logique combinatoire XOR, capable de fonctionner uniquement avec des signaux logiques ayant un rapport cyclique proche de $\frac{1}{2}$, supportant un bruit binaire.
- ◆ Les détecteurs de phase et de fréquence basés sur une fonction logique séquentielle, capable de fonctionner uniquement avec des signaux logiques, sans contrainte sur leur rapport cyclique, mais ne supportant aucun bruit binaire.

2.2.2 Détecteur de phase analogique basé le multiplieur à cellule de Gilbert

Ce détecteur de phase analogique est en fait un multiplieur analogique à quatre quadrants dans sa version la plus simple, soit la cellule de Gilbert, aussi appelée "balanced mixer". Il est souvent représenté symboliquement par le schéma suivant:



Le schéma interne de la cellule de Gilbert est le suivant:



La caractéristique de ce circuit répond à l'équation:

$$V_D = -I \cdot R_C \cdot \left(\tanh \frac{V_{IN}}{2 \cdot U_T} \right) \cdot \left(\tanh \frac{V_{OUT}}{2 \cdot U_T} \right)$$

Le signal V_{OUT} provenant du VCO ou d'un diviseur de fréquence est toujours d'une amplitude suffisante pour faire travailler les paires différentielles du haut en "aiguilleurs" de courant "tout à gauche" ou "tout à droite". L'équation caractéristique du circuit se simplifie alors ainsi:

$$V_D = -I \cdot R_C \cdot \left(\tanh \frac{V_{IN}}{2 \cdot U_T} \right) \cdot (\text{signe}(V_{OUT}))$$

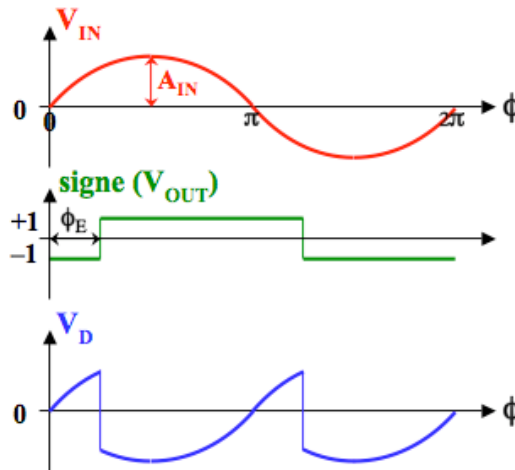
Si le signal d'entrée V_{IN} est inférieur à quelques dizaines de millivolts crête à crête, l'équation caractéristique du circuit peut être linéarisée ainsi:

$$V_D = -I \cdot R_C \cdot \frac{V_{IN}}{2 \cdot U_T} \cdot (\text{signe}(V_{OUT}))$$

Si le signal d'entrée V_{IN} est un petit sinus, de même fréquence que V_{OUT} , avec une avance de phase ϕ_E sur ce dernier, $v_D(t)$ s'exprime comme:

$$v_D(t) = -\frac{I \cdot R_C}{2 \cdot U_T} \cdot (A_{IN} \cdot \sin(\omega \cdot t)) \cdot (\text{signe}(\sin(\omega \cdot t - \phi_E)))$$

Si le signal d'entrée V_{IN} est un "petit" sinus, $v_D(t)$ a l'allure suivante:



Le signal $v_D(t)$ est périodique de fréquence $2 \cdot f_{IN}$. La composante alternative sera atténuée par le filtre passe-bas de boucle.

La valeur moyenne de $v_D(t)$ peut s'exprimer ainsi:

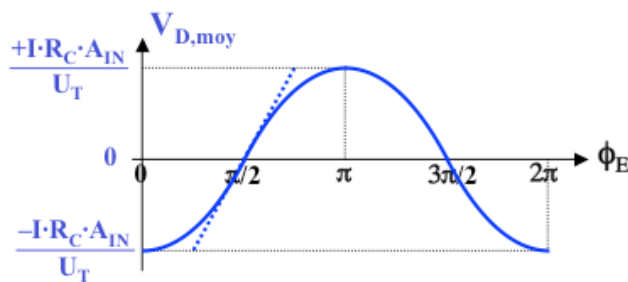
$$V_{D,moy} = \frac{1}{2\pi} \cdot \int_0^{2\pi} v_D(\phi) \cdot d\phi$$

$$V_{D,moy} = \frac{1}{2\pi} \cdot 2 \cdot \left(\int_0^{\phi_E} -\frac{I \cdot R_C}{2 \cdot U_T} \cdot A_{IN} \cdot (\sin \phi) \cdot (-1) \cdot d\phi + \int_{\phi_E}^{\pi} -\frac{I \cdot R_C}{2 \cdot U_T} \cdot A_{IN} \cdot (\sin \phi) \cdot (+1) \cdot d\phi \right)$$

$$V_{D,moy} = \frac{I \cdot R_C \cdot A_{IN}}{\pi \cdot 2 \cdot U_T} \cdot (\cos(\phi_E) - \cos(0) - \cos(\pi) + \cos(\phi_E))$$

$$V_{D,moy} = \frac{I \cdot R_C \cdot A_{IN}}{\pi \cdot U_T} \cdot \cos(\phi_E)$$

La caractéristique n'est pas linéaire comme le montre la figure suivante:



Autour de $\pi/2$ on peut considérer que le détecteur de phase est linéaire avec:

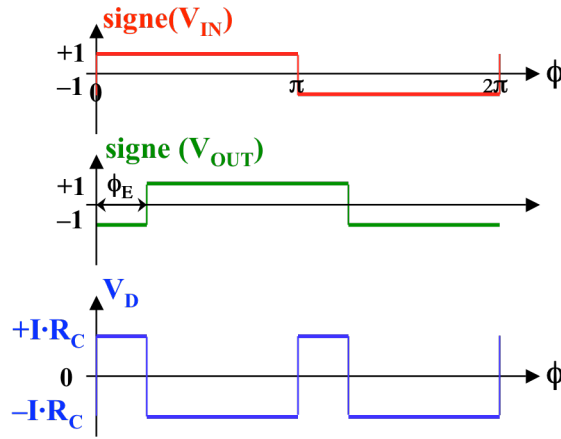
$$K_D = \frac{I \cdot R_C \cdot A_{IN}}{\pi \cdot U_T}$$

On voit que pour des signaux d'entrée de faible amplitude, celle-ci influence K_D , et donc les caractéristiques de la PLL.

Si le signal d'entrée V_{IN} dépasse 200 mV crête à crête, toujours avec la même fréquence que V_{OUT} , et une avance de phase ϕ_E sur ce dernier, $v_D(t)$ peut alors s'exprimer comme:

$$v_D(t) = -I \cdot R_C \cdot (\text{signe}(\sin(\omega \cdot t))) \cdot (\text{signe}(\sin(\omega \cdot t - \phi_E)))$$

Si le signal d'entrée V_{IN} est assez "grand" ($> 200 \text{ mV}_{p-p}$), $v_D(t)$ a l'allure suivante:



Le signal $v_D(t)$ est périodique de fréquence $2 \cdot f_{IN}$. La composante alternative sera atténuée par le filtre passe-bas de boucle.

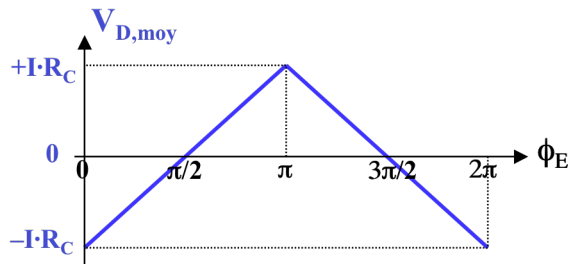
La valeur moyenne de $v_D(t)$ peut s'exprimer ainsi:

$$V_{D,moy} = \frac{1}{2\pi} \cdot \int_0^{2\pi} v_D(\phi) \cdot d\phi$$

$$V_{D,moy} = \frac{1}{2\pi} \cdot 2 \cdot \left(\int_0^{\phi_E} -I \cdot R_C \cdot (+1) \cdot (-1) \cdot d\phi + \int_{\phi_E}^{\pi} -I \cdot R_C \cdot (+1) \cdot (+1) \cdot d\phi \right)$$

$$V_{D,moy} = \frac{I \cdot R_C}{\pi} \cdot (\phi_E - 0 - \pi + \phi_E) = \frac{I \cdot R_C}{\pi} \cdot (2 \cdot \phi_E - \pi) = \frac{2 \cdot I \cdot R_C}{\pi} \cdot \left(\phi_E - \frac{\pi}{2} \right)$$

La caractéristique est alors linéaire comme le montre la figure suivante:



Le "gain" du détecteur de phase est:

$$K_D = \frac{2 \cdot I \cdot R_C}{\pi}$$

On voit que pour des signaux d'entrée de forte amplitude, K_D est constant, donc les caractéristiques de la PLL aussi.

Remarques

Dans tous les cas, lorsque la boucle de phase est verrouillée sur sa fréquence centrale, les deux signaux d'entrée et de réaction sont en quadrature (déphasés de $\pi/2$).

Lorsque les fréquences d'entrée f_{IN} et de réaction f_{OUT} sont différentes, et donc que la boucle n'est pas verrouillée, on a, suivant que V_{IN} est "petite" ou "grande":

$$v_D(t) = -\frac{I \cdot R_C}{2 \cdot U_T} \cdot (A_{IN} \cdot \sin(\omega_{IN} \cdot t)) \cdot (\text{signe}(\sin(\omega_{OUT} \cdot t))) \quad \text{pour } V_{IN} \text{ "petite"}$$

$$v_D(t) = -I \cdot R_C \cdot (\text{signe}(\sin(\omega_{IN} \cdot t))) \cdot (\text{signe}(\sin(\omega_{OUT} \cdot t))) \quad \text{pour } V_{IN} \text{ "grande"}$$

Un signal carré peut se décomposer ainsi:

$$\text{signe}(\sin(\omega \cdot t)) = \frac{4}{\pi} \cdot \left(\sin(\omega \cdot t) + \frac{1}{3} \cdot \sin(3 \cdot \omega \cdot t) + \frac{1}{5} \cdot \sin(5 \cdot \omega \cdot t) + \dots \right)$$

Le produit de deux sinus peut s'exprimer ainsi:

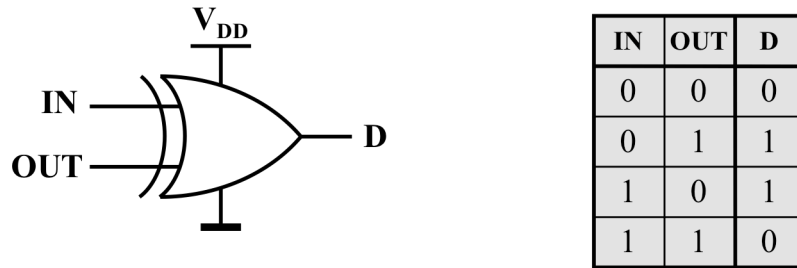
$$(\sin(\omega_1 \cdot t)) \cdot (\sin(\omega_2 \cdot t)) = \frac{1}{2} \cdot (\cos((\omega_1 - \omega_2) \cdot t) - \cos((\omega_1 + \omega_2) \cdot t))$$

Le signal $v_D(t)$ sera donc une somme de termes en $\cos((m \cdot \omega_{IN} \pm m \cdot \omega_{OUT}) \cdot t)$, où m et n sont entiers.

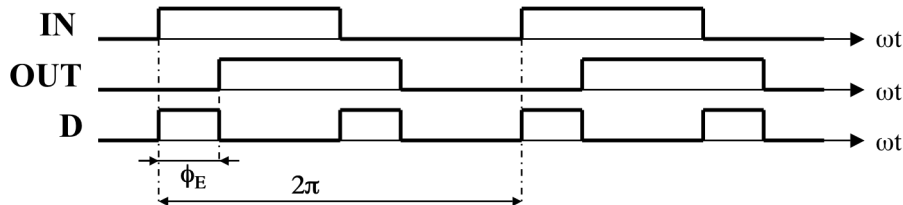
Dans tous les cas $V_{D, \text{moy}} = 0$, et $v_D(t)$ comprendra une composante alternative, ou battement, à basse fréquence $|f_{IN} - f_{OUT}|$, qui, si l'écart de fréquence est suffisamment faible, sera transmise par le filtre et permettra l'accrochage de la boucle.

2.2.3 Détecteur de phase numérique basé sur la fonction logique "OU Exclusif"

Ce détecteur de phase est en fait une simple porte logique XOR, comme représentée dans le schéma ci-dessous, avec sa table de vérité:



Lorsque la PLL est verrouillée, et que donc que $f_{IN} = f_{OUT}$, les signaux logiques ont l'allure suivante:

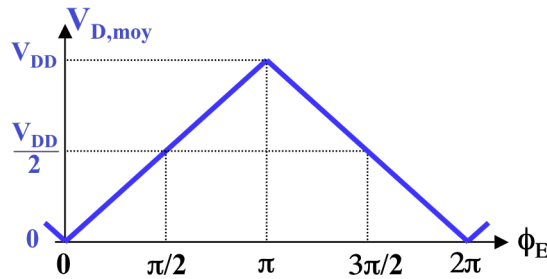


Le signal $v_D(t) = D \cdot V_{DD}$ est périodique de fréquence $2 \cdot f_{IN}$. La composante alternative sera atténuée par le filtre passe-bas de boucle.

La valeur moyenne de $v_D(t)$ peut s'exprimer ainsi:

$$V_{D, \text{moy}} = \frac{1}{T} \cdot \int_0^T v_D(t) \cdot dt = \frac{1}{\pi} \cdot (V_{DD} \cdot \phi_E + 0 \cdot (2\pi - \phi_E)) = \frac{V_{DD}}{\pi} \cdot \phi_E$$

La caractéristique est alors linéaire comme le montre la figure suivante:



Le "gain" du détecteur de phase est:

$$K_D = \frac{V_{DD}}{\pi}$$

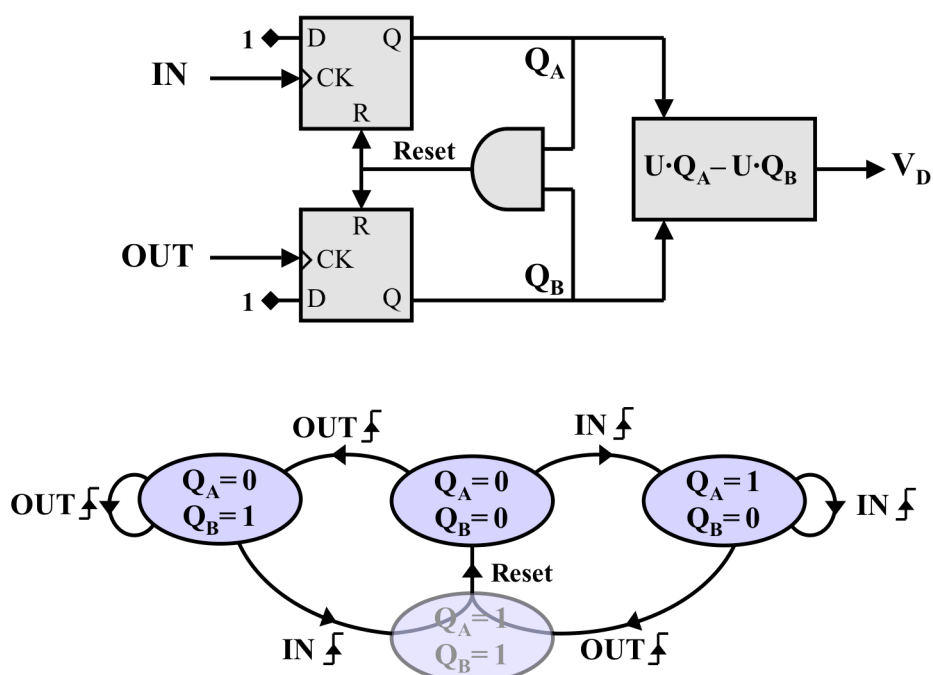
Cette analyse n'est juste que si les signaux dont on veut comparer la phase ont un rapport cyclique d'exactement $\frac{1}{2}$. Si ce n'est pas le cas, ce comparateur de phase présente les inconvénients suivants:

- ♦ sa dynamique se réduit d'autant que le rapport cyclique diffère de $\frac{1}{2}$;
- ♦ il permet un verrouillage de la PLL sur des multiples entiers ou des fractions entières des certaines fréquences normales de verrouillage, c'est à dire celles qui sont dans la "Lock Range".

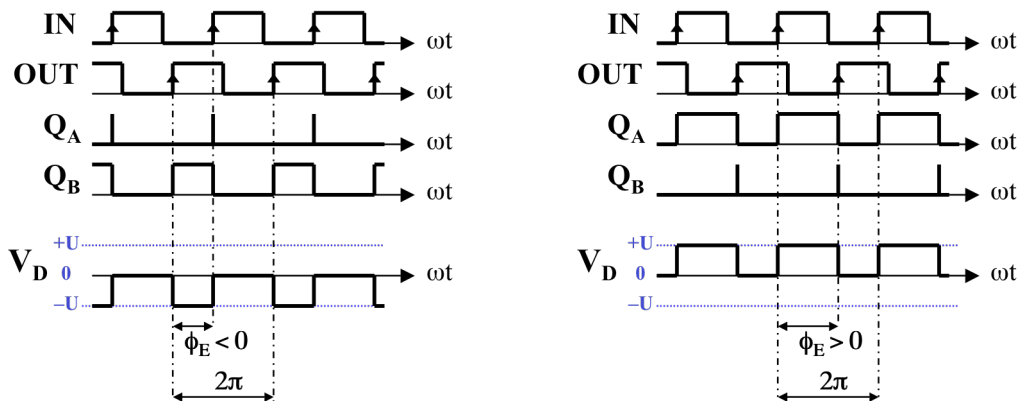
Lorsque les fréquences d'entrée f_{IN} et de réaction f_{OUT} sont différentes, et donc que la boucle de phase n'est pas verrouillée, on a à la sortie du XOR un signal rectangulaire de valeur moyenne égale à $V_{DD}/2$, et présentant un battement à $|f_{IN} - f_{OUT}|$, qui, si l'écart de fréquence est suffisamment faible, sera transmise par le filtre et permettra l'accrochage de la boucle.

2.2.4 Détecteur de phase-fréquence numérique basé sur une logique séquentielle

Ce détecteur est un système logique séquentiel dont le schéma et le diagramme d'état sont les suivants:



Lorsque la PLL est verrouillée, et que donc que $f_{IN} = f_{OUT}$, les signaux logiques ainsi que V_D ont l'allure suivante:

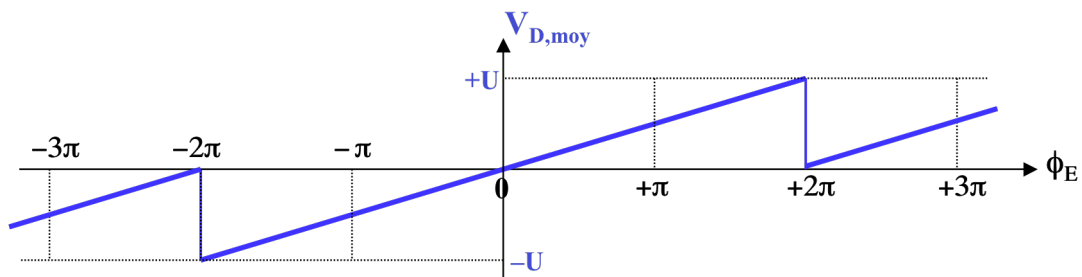


Le signal V_D est périodique de fréquence f_{IN} . La composante alternative sera atténuée par le filtre passe-bas de boucle.

La valeur moyenne de $v_D(t)$ peut s'exprimer ainsi:

$$V_{D,moy} = \frac{1}{T} \cdot \int_0^T v_D(t) \cdot dt = \frac{1}{2\pi} \cdot U \cdot \phi_E$$

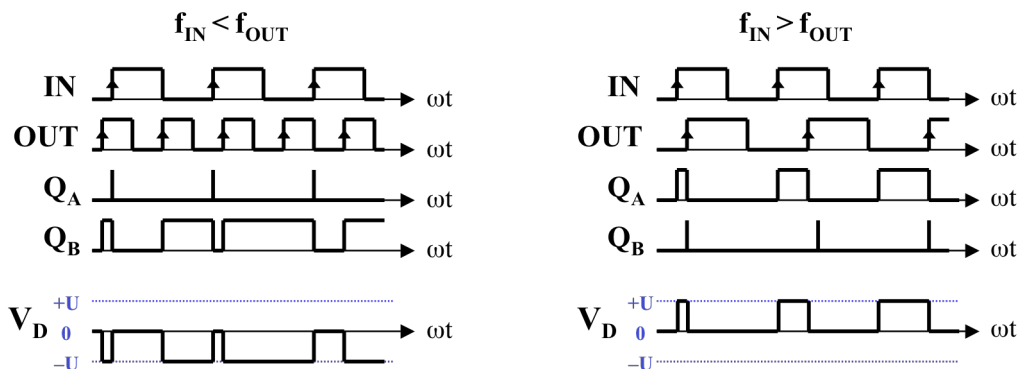
La caractéristique est alors linéaire comme le montre la figure suivante:



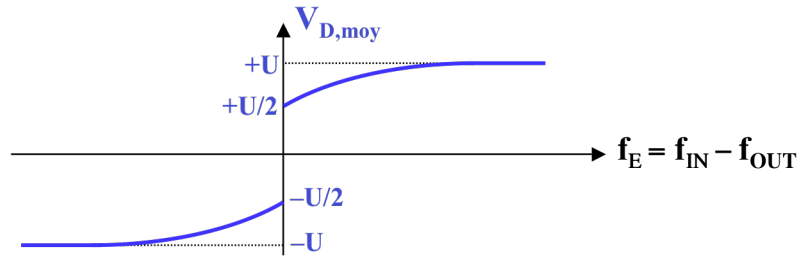
Le "gain" du détecteur de phase est:

$$K_D = \frac{2 \cdot U}{4 \cdot \pi}$$

Lorsque les fréquences d'entrée f_{IN} et de réaction f_{OUT} sont différentes, et donc que la boucle de phase n'est pas verrouillée, on a les signaux suivants:



On peut montrer que la caractéristique $V_{D,moy}$ en fonction de la différence des fréquences est la suivante:



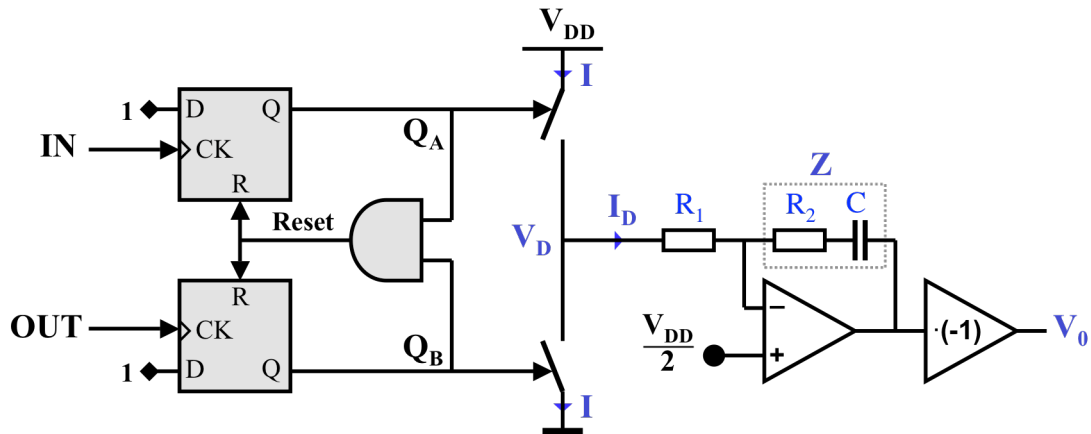
Ce détecteur de phase-fréquence présente les avantages suivants:

- ♦ il est insensible au rapport cyclique des signaux;
- ♦ il présente une large gamme de détection de phase, allant de -2π à $+2\pi$;
- ♦ il fonctionne en détecteur de fréquence en dehors de la gamme de synchronisme, ce qui facilite la capture.

Ce détecteur de phase-fréquence présente néanmoins les inconvénients suivants:

- ♦ il ne fonctionne qu'avec des signaux logiques;
- ♦ il est très sensible aux impulsions manquantes;
- ♦ il est très sensible à toute impulsion parasite (bruit logique).

L'étage de sortie, représenté par le rectangle $V_D = U \cdot Q_A - U \cdot Q_B$ dans le schéma de principe, est souvent réalisé simplement avec deux switches. Ce détecteur de phase fréquence étant le plus souvent associé à un filtre intégrateur selon le schéma suivant:



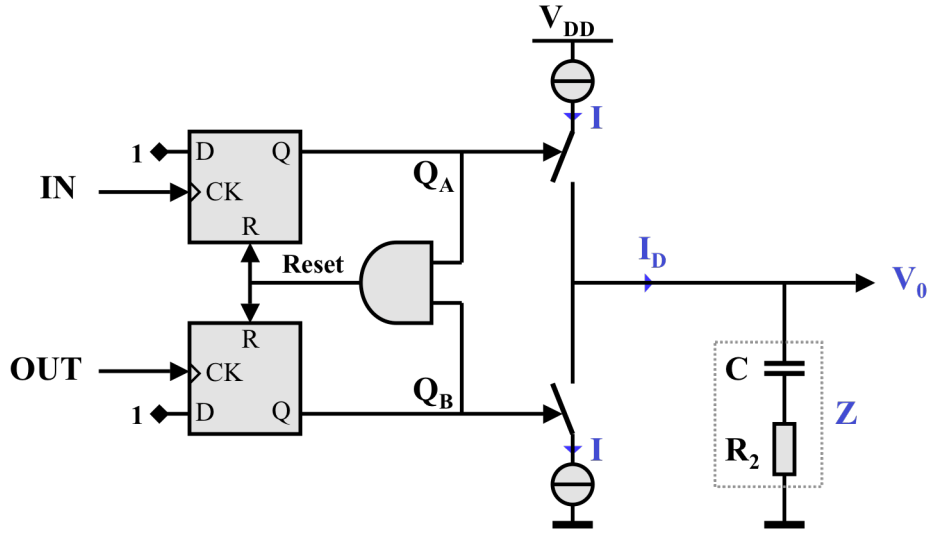
Le courant moyen de sortie est donné par:

$$I_{D,moy} = \frac{1}{2\pi} \cdot \frac{V_{DD}}{2} \cdot \frac{1}{R_1} \cdot \phi_E$$

La fonction de transfert détecteur + filtre est alors:

$$K_D \cdot F(p) = \frac{V_0(p)}{\phi_E(p)} = \frac{I_D(p)}{\phi_E(p)} \cdot Z(p) = \frac{V_{DD}}{4 \cdot \pi \cdot R_1} \cdot \left(R_2 + \frac{1}{p \cdot C} \right) = \frac{V_{DD}}{4 \cdot \pi} \cdot \frac{1 + p \cdot C \cdot R_2}{p \cdot C \cdot R_1}$$

L'étage de sortie intègre parfois deux sources de courant I . Cette structure dite "pompe de charge" ("Charge Pump"), permet de réaliser une fonction de transfert comportant une intégrale avec un filtre ne comportant que des éléments passifs, selon le schéma suivant:



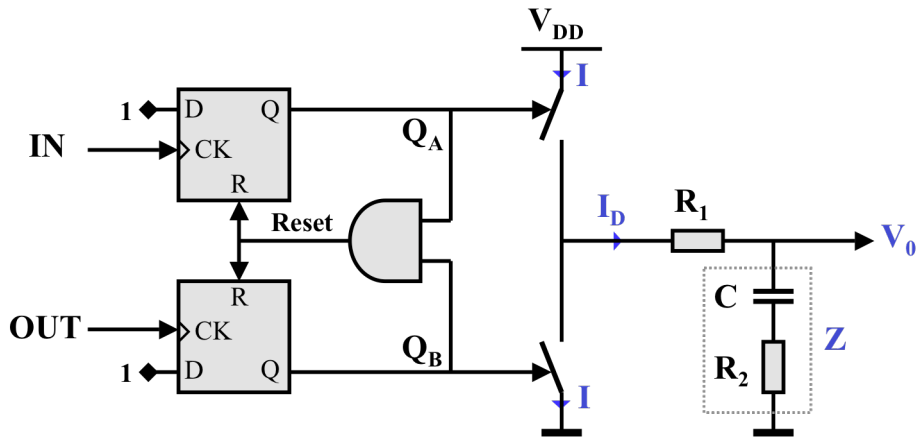
Le courant moyen de sortie est donné par:

$$I_{D,\text{moy}} = \frac{1}{2\pi} \cdot I \cdot \phi_E$$

La fonction de transfert détecteur + filtre est alors:

$$K_D \cdot F(p) = \frac{V_0(p)}{\phi_E(p)} = \frac{I_D(p)}{\phi_E(p)} \cdot Z(p) = \frac{I}{2 \cdot \pi} \cdot \left(R_2 + \frac{1}{p \cdot C} \right) = \frac{I}{2 \cdot \pi} \cdot \frac{1 + p \cdot C \cdot R_2}{p \cdot C}$$

On rencontre souvent une version simplifiée de la structure "pompe de charge", ne comportant pas de sources de courant, qui, associée à un filtre passif, permet de réaliser une fonction de transfert comportant une pseudo-intégrale. Le schéma est le suivant:



Tant que la tension aux bornes de la capacité est voisine de $V_{DD}/2$, le courant moyen de sortie est donné approximativement par:

$$I_{D,\text{moy}} \approx \frac{1}{2\pi} \cdot \frac{V_{DD}}{2} \cdot \frac{1}{R_1 + R_2} \cdot \phi_E$$

On a bien un circuit qui ressemble à un intégrateur, dans le sens que V_0 reste constant lorsque les deux switches sont ouverts. La fonction de transfert détecteur + filtre est alors:

$$K_D \cdot F(p) = \frac{V_0(p)}{\phi_E(p)} = \frac{I_D(p)}{\phi_E(p)} \cdot Z(p) = \frac{V_{DD}}{4 \cdot \pi \cdot R_1} \cdot \left(R_2 + \frac{1}{p \cdot C}\right) = \frac{V_{DD}}{4 \cdot \pi} \cdot \frac{1 + p \cdot C \cdot R_2}{p \cdot C \cdot (R_1 + R_2)}$$

Par contre, lorsque le point de fonctionnement s'écarte de $V_{DD}/2$, le courant $I_{D,moy}$ diminue, ce qui est équivalent à une diminution de K_D .

2.2 LES VCOS

L'étude des principaux circuits permettant de réaliser cette fonction fait l'objet d'un chapitre à part, intitulé:

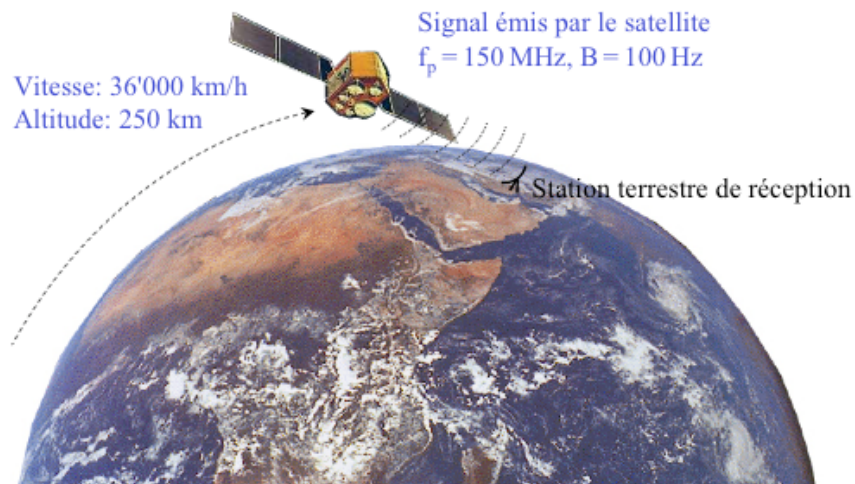
Oscillateurs et oscillateurs contrôlés en tension
Voltage-Controlled Oscillators (VCOs)

3. APPLICATIONS DE LA PLL

Ce chapitre présente quelques applications courantes des PLLs.

3.1 RECEPTION D'UN SIGNAL AVEC EFFET DOPPLER

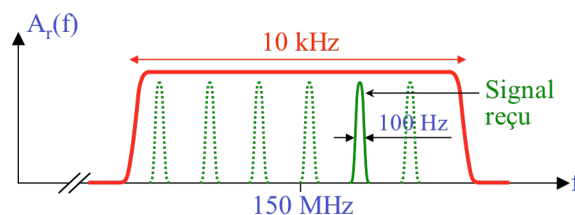
La réception des signaux de télémesure en provenance d'un satellite en orbite basse, donc non géostationnaire, est historiquement l'une des premières applications de la PLL.



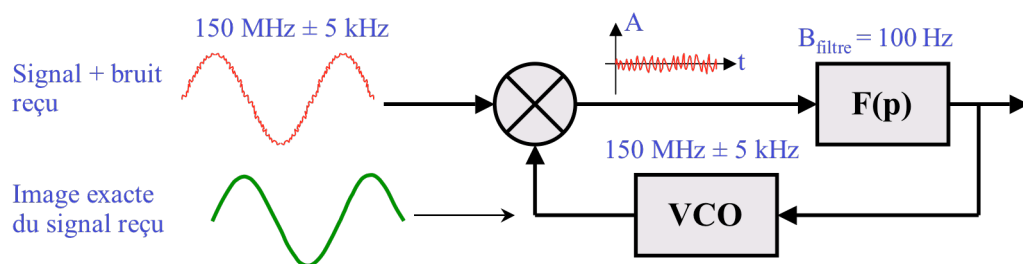
A cause de l'effet Doppler, la porteuse HF reçue est affectée d'un décalage de fréquence Δf_p , donné par:

$$\frac{\Delta f_p}{f_p} = \frac{v_{\text{satellite}}}{v_{\text{onde E-M}}} = \frac{\pm 10 \text{ km/s}}{300'000 \text{ km/s}} \Rightarrow \Delta f_p = \pm 5 \text{ kHz}$$

Pour minimiser le bruit reçu, le récepteur a une bande passante minimum nécessaire pour amplifier le signal modulé, c'est à dire 100 Hz, mais il doit suivre une porteuse qui bouge de (150 MHz + 5 kHz), lorsque le satellite apparaît à l'horizon et s'approche de la station de réception, à (150 MHz – 5 kHz), lorsqu'il s'éloigne et disparaît à l'horizon.

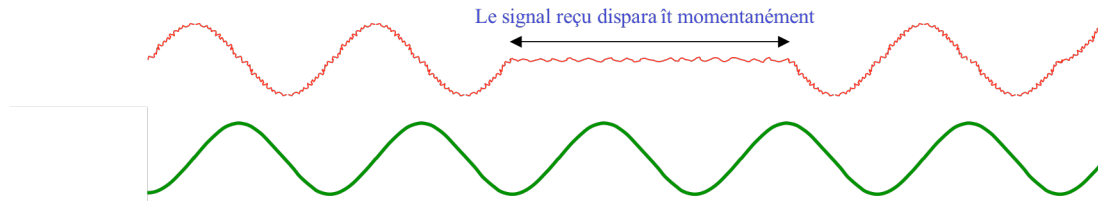


Ceci est possible avec une PLL d'ordre 2 ou 3 avec un filtre de boucle intégrateur, qui peut se verrouiller sur une rampe de fréquence.



Le filtre de boucle atténue le bruit reçu autant que possible.

De plus, la PLL d'ordre 3 peut avoir une mémoire de fréquence et de glissement de fréquence, ce qui lui permet de continuer à générer une porteuse correcte, même si le signal reçu disparaît momentanément.



3.2 DEMODULATION DE SIGNAUX FM, Φ M, FSK ET PSK

Rappelons la définition de ces abréviations:

- ♦ FM (Frequency Modulation) : expression générale désignant toute modulation de fréquence, mais plutôt utilisée pour une modulation par un signal analogique $m(t)$:

$$f(t) = f_0 + \Delta f \cdot \frac{m(t)}{A_{\text{ref}}} \quad \text{avec} \quad -A_{\text{ref}} < m(t) < +A_{\text{ref}}$$

- ♦ FSK (Frequency Shift Keying) : la fréquence du signal varie brusquement d'une valeur à l'autre, en principe, sans discontinuité de phase

$$f(t) = f_0 + \Delta f \cdot \left(-1 + \sum_{i=0}^{n-1} \frac{2 \cdot b_i}{2^{n-1}}\right) \quad \text{avec} \quad b_i = 0 \text{ ou } 1$$

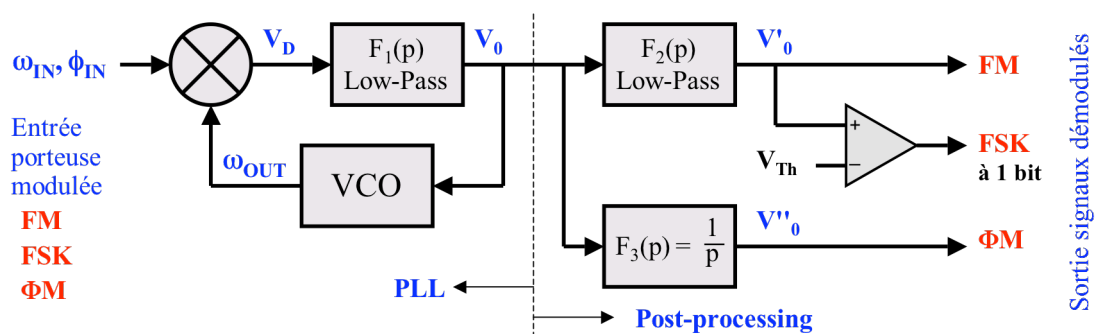
- ♦ Φ M (Phase Modulation) : expression générale désignant toute modulation de phase, mais plutôt utilisée pour une modulation par un signal analogique $m(t)$:

$$\phi(t) = 2\pi \cdot f_0 \cdot t + \Delta\phi \cdot \frac{m(t)}{A_{\text{ref}}} \quad \text{avec} \quad -A_{\text{ref}} < m(t) < +A_{\text{ref}}$$

- ♦ PSK (Phase Shift Keying) : la phase du signal saute d'une valeur à l'autre. La phase est discontinue.

$$\phi(t) = 2\pi \cdot f_0 \cdot t + \pi \cdot \left(-1 + \sum_{i=0}^{n-1} \frac{2 \cdot b_i}{2^{n-1}}\right) \quad \text{avec} \quad b_i = 0 \text{ ou } 1$$

Le schéma de principe d'un démodulateur FM, FSK, Φ M, est le suivant:



Pour obtenir de la PLL une réponse harmonique à peu près plate et une réponse indicielle correctement amortie, on choisira $Q = 0.5$ à 0.7 . Le domaine de verrouillage devra être supérieur à Δf . Enfin la bande passante de la boucle devra être suffisante pour que l'erreur de phase instantanée reste inférieure à $\pi/2$ en toute circonstance, afin de ne pas perdre le verrouillage.

Le post-filtrage $F_2(p)$ du signal V_0 permet d'éliminer la composante résiduelle à $2 \cdot f_{IN}$ pour restituer au mieux le signal modulant. Si celui-ci est binaire, un comparateur identifie les 1 et les 0. Pour la démodulation ΦM , l'intégrateur $F_3(p)$ permet de retrouver le signal modulant, puisque la phase instantanée est l'intégrale de la fréquence.

La modulation PSK génère une porteuse dont la phase instantanée peut faire des sauts aléatoires entre $-\pi$ et $+\pi$. Une PLL équipée d'un détecteur de phase de type multiplicateur (ou XOR), seul capable d'accepter un signal bruité, mais dont la plage de phase est limitée à π , ne peut pas rester verrouillée sur un tel signal. Ce principe de démodulation n'est alors pas applicable.

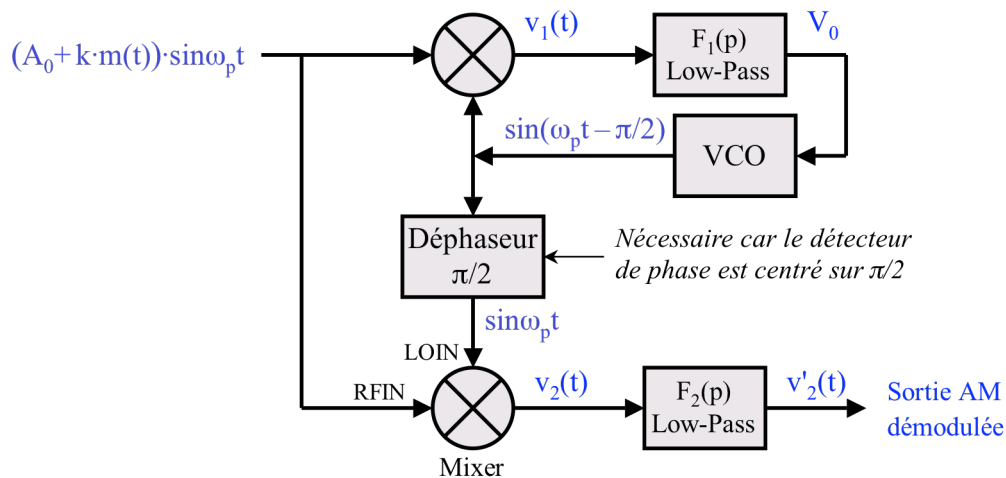
3.3 DEMODULATION SYNCHRONES DE SIGNAUX AM

Une porteuse à haute fréquence modulée en amplitude par un signal à basse fréquence $m(t)$ purement alternatif, répond à l'équation:

$$p(t) = (A_0 + k \cdot m(t)) \cdot \sin(\omega_p \cdot t)$$

Un signal AM peut être démodulé très simplement par un détecteur d'enveloppe (détecteur de crête) à diode et circuit RC, à condition que $k \cdot m(t) \leq A_0$.

Dans le cas où $k \cdot m(t)$ dépasse parfois A_0 , le détecteur d'enveloppe ne restitue alors plus $(A_0 + k \cdot m(t))$, mais sa valeur absolue, ce qui introduit des distorsions inacceptables. On a alors recours à la démodulation synchrone, qui consiste à faire une modulation inverse du signal modulé AM avec une porteuse non-modulée, reconstituée en phase à l'aide d'une PLL, selon le schéma de principe suivant:



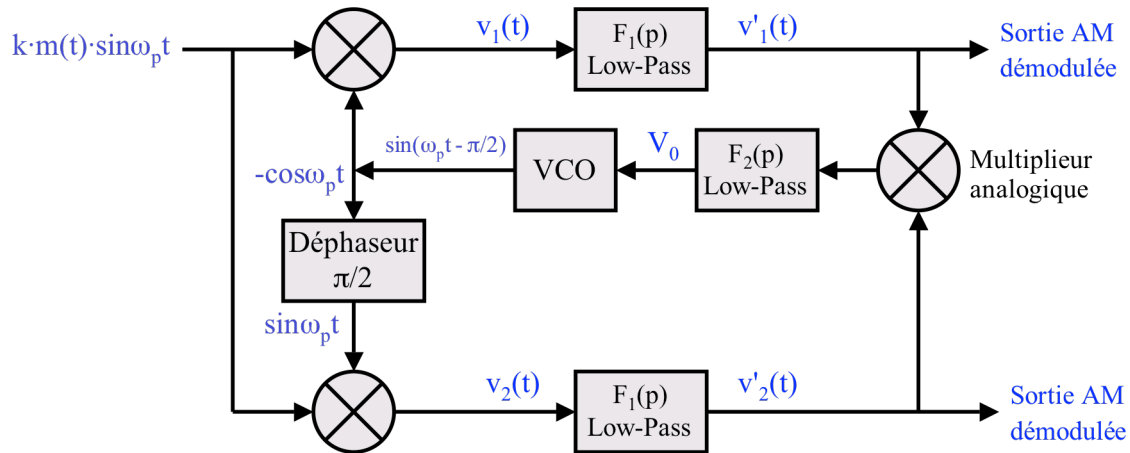
Le filtre de boucle $F_1(p)$ sera dimensionné de façon que la bande passante de la PLL soit très faible (quelques Hz), c'est-à-dire inférieure à la fréquence la plus basse du signal modulant. Ceci implique que la phase de la porteuse reconstituée par le VCO ne s'inverse pas lorsque le signe de $(A_0 + k \cdot m(t))$ est temporairement négatif.

Le mélangeur qui effectue la modulation inverse doit travailler dans sa plage linéaire de l'entrée RF, ce qui permet d'obtenir :

$$v_2(t) = (A_0 + k \cdot m(t)) \cdot (\sin(\omega_p \cdot t)) \cdot (\sin(\omega_p \cdot t)) = \frac{A_0}{2} + \frac{k \cdot m(t)}{2} - \frac{A_0 + k \cdot m(t)}{2} \cdot \cos(2 \cdot \omega_p \cdot t)$$

Le filtre $F_2(p)$ avec une bande passante égale à celle du signal modulant, éliminera les composantes autour de $2 \cdot f_p$. Un couplage capacitif supprimera la composante continue.

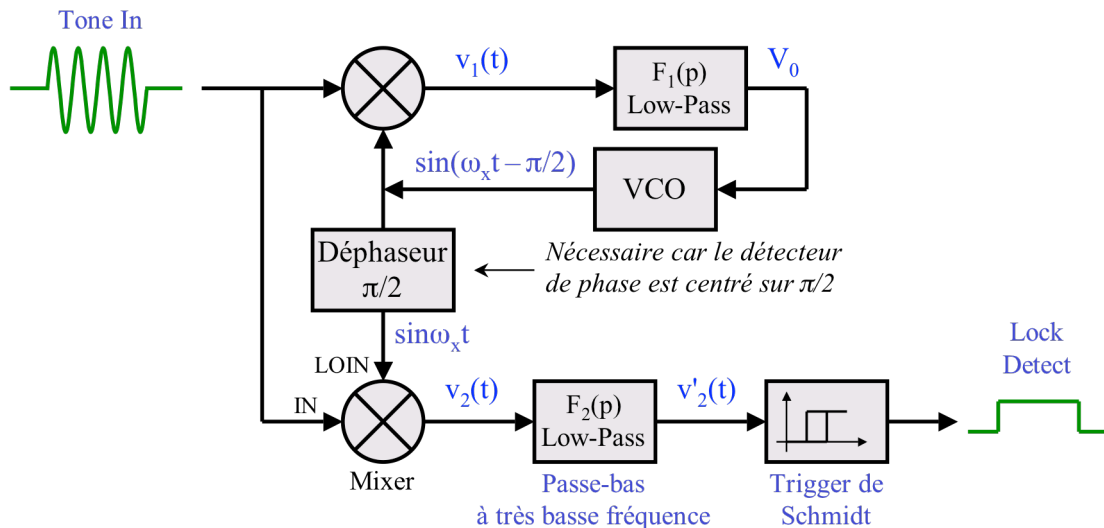
Dans le cas où A_0 est nulle, on parle de modulation AM "sans porteuse" car le spectre du signal modulé ne comporte que les bandes latérales, mais pas de raie à f_p . La PLL n'a alors pas de composante à f_p sur laquelle se verrouiller, et elle ne peut pas se verrouiller sur les bandes latérales dont les phases sont opposées. La reconstruction de la porteuse, pour une démodulation synchrone d'un tel signal, nécessite une structure à deux PLLs, connue sous le nom de "boucle de Costas", dont le schéma de principe est le suivant:



3.4 DETECTEUR DE TONALITE (TONE DETECTOR)

Il s'agit de détecter la présence d'une composante sinusoïdale d'une certaine fréquence dans un signal complexe.

Ce circuit s'apparente au démodulateur AM synchrone. Son schéma de principe est le suivant:



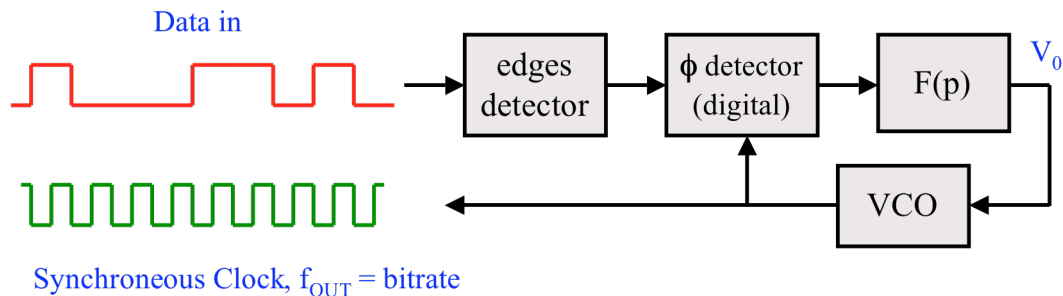
Le filtre de boucle $F_1(p)$ sera dimensionné de façon que la bande passante de la PLL soit juste suffisante pour accepter un écart donné de la fréquence à détecter par rapport à la fréquence centrale.

Le filtre $F_2(p)$ de lissage du redresseur synchrone élimine les composantes à $|f_y - f_x|$, où f_y est la fréquence de tout autre composante du signal traité.

3.5 RECONSTITUTION DE L'HORLOGE (CLOCK RECOVERY CIRCUIT) D'UNE TRANSMISSION NUMERIQUE SERIE

Il s'agit de recréer un signal d'horloge à partir d'une suite de bits aléatoires reçus avec un débit constant (bit stream).

Le principe de base est illustré par le schéma suivant:

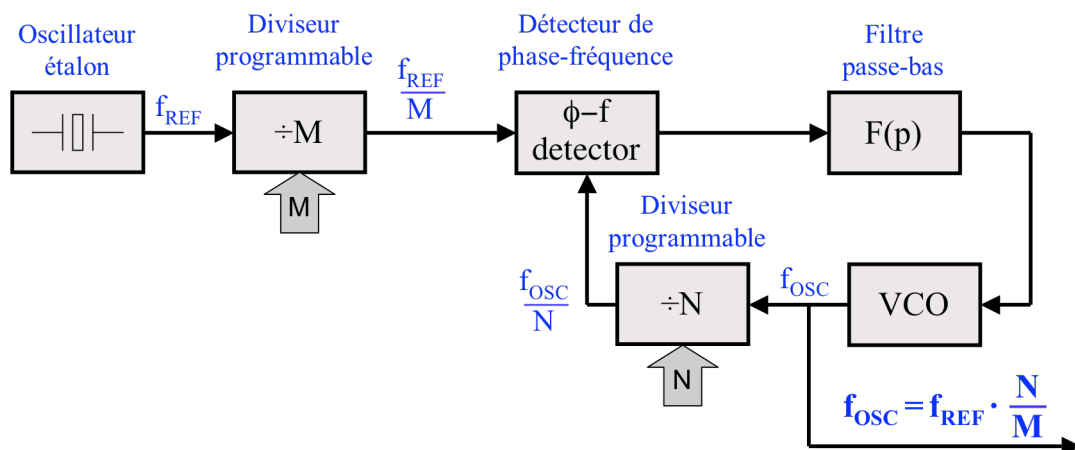


Le débit étant en général précis et stable, le filtre de boucle $F_1(p)$ sera dimensionné de façon que la PLL soit à faible bande passante, pour la rendre insensible au "jitter" de phase des bits reçus, et qu'elle aie une mémoire de fréquence suffisante pour rester synchrone même sur les plus longues séries de 1 ou de 0. Pour limiter l'importance de telles séquences, la "variabilité" des bits reçus est optimisée par un encodage spécifique effectué avant la transmission.

3.6 SYNTHESE DE FREQUENCE A PLL

Il s'agit de générer un signal sinus ou carré à une fréquence précise, programmable avec une haute résolution, dans une plage donnée.

Le principe de la synthèse de fréquence est basé sur le schéma suivant:



Lorsque la boucle est verrouillée les deux signaux d'entrée du comparateur de phase sont de fréquence égale, donc:

$$f_{OSC} = f_{REF} \cdot \frac{N}{M} \quad \text{avec } N \text{ et } M \text{ entiers}$$

Le filtre de boucle $F(p)$ sera dimensionné de façon à obtenir un temps d'établissement donné lors d'un changement du facteur N/M .

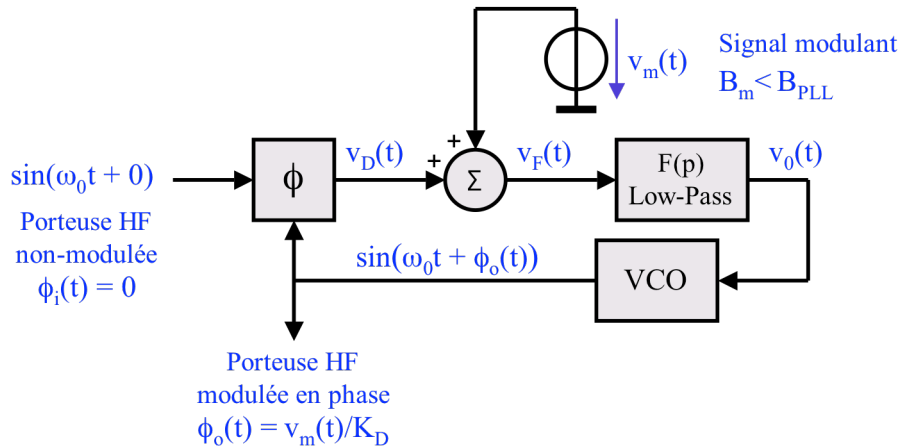
Les synthétiseurs à PLL sont abondamment utilisés pour obtenir un contrôle précis des fréquences d'émission et de réception dans les systèmes de transmission radio.

3.7 MODULATION DE PHASE ET DE FREQUENCE A PLL

Dans les systèmes de transmission radio, les fréquences porteuses sont souvent générées par synthèse à PLL. Une modulation AM sera faite à postériori, par exemple, à l'aide d'un mixer. Une modulation FM ou ΦM peut être faite dans la boucle de façon analogique.

3.7.1 Modulation ΦM à PLL

Une modulation ΦM peut être faite dans la boucle de façon analogique de la façon suivante:



On peut écrire:

$$\phi_o(p) = \frac{\omega_o(p)}{p} = \frac{K_O \cdot V_0(p)}{p} = \frac{K_O \cdot [K_D \cdot (\phi_i(p) - \phi_o(p)) + V_m(p)] \cdot F(p)}{p}$$

Comme le signal d'entrée n'est pas modulé, on pose $\phi_i = 0$, et l'on peut tirer:

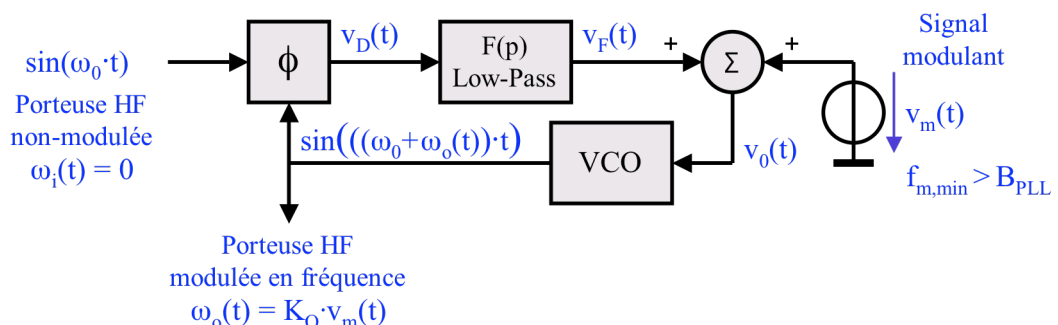
$$\phi_o(p) = \frac{V_m(p)}{K_D} \cdot \frac{1}{1 + \frac{p}{K_O \cdot K_D \cdot F(p)}}$$

Ce qui donne une modulation de phase $\phi_{OUT}(t) = 2\pi \cdot f_o \cdot t + v_m(t)/K_D$, avec une bande passante pour le signal de modulation égale à celle de la PLL.

On peut aussi voir le fonctionnement de ce circuit ainsi: si la PLL est assez rapide, donc avec une bande passante supérieure à celle du signal modulant, avec un filtre intégrateur, elle va maintenir $v_F(t) = 0$, donc $v_D(t) = -v_m(t)$, et donc $\phi_i(t) - \phi_o(t) = -\phi_o(t) = v_D(t)/K_D = -v_m(t)/K_D$.

3.7.2 Modulation FM à PLL

Une modulation FM peut être faite dans la boucle de façon analogique de la façon suivante:



On peut écrire:

$$\omega_o(p) = K_O \cdot V_o(p) = K_O \cdot [K_D \cdot (\phi_i(p) - \phi_o(p)) \cdot F(p) + V_m(p)] = K_O \cdot \left[K_D \cdot \frac{\omega_i(p) - \omega_o(p)}{p} \cdot F(p) + V_m(p) \right]$$

Comme le signal d'entrée n'est pas modulé, on pose $\omega_i = 0$, et l'on peut tirer:

$$\omega_o(p) = K_O \cdot V_m(p) \cdot \frac{p}{p + K_O \cdot K_D \cdot F(p)}$$

C'est une fonction de transfert de type passe-haut, avec $\omega_o(p) = K_O \cdot V_m(p)$ pour des fréquences supérieures à la bande passante de la boucle.

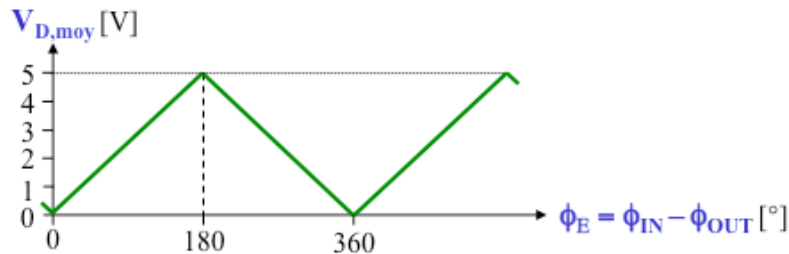
Ce qui donne une modulation de fréquence $f_{OUT}(t) = 2\pi \cdot f_o \cdot t + K_O \cdot v_m(t)$, pour autant que la fréquence la plus basse du signal modulant soit supérieure à la bande passante de la PLL.

On peut aussi voir le fonctionnement de ce circuit ainsi: si la PLL est très lente, donc avec une bande passante inférieure à la fréquence du signal modulant, elle va maintenir $v_F(t) = \text{cst}$, donc $v_o(t) = \text{cst} + v_m(t)$, et donc $f_{OUT}(t) = f_o + K_O \cdot v_m(t)$.

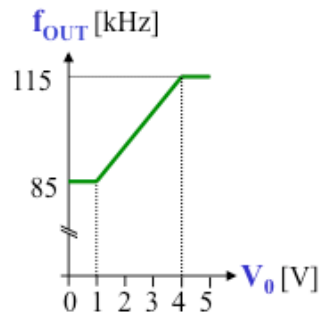
Boucle à verrouillage de phase (PLL)

Soit le circuit intégré 74HC4046 en technologie CMOS alimentée à $V_{DD} = 5\text{ V}$. Il comprend:

- un comparateur de phase PC1 à porte logique XOR, dont la caractéristique est la suivante:



- un VCO à relaxation dont les deux résistances et la capacité externes ont été choisies pour lui donner la caractéristique suivante:



On veut réaliser deux PLLs ayant les caractéristiques:

- une lente avec une bande passante à -3dB: $B_a = 300\text{ Hz}$, par exemple pour reconstituer une porteuse;
- une rapide avec une bande passante à -3dB: $B_b = 10\text{ kHz}$, par exemple pour une démodulation FM;

avec un amortissement correct: $\xi = 0.7$ ($Q = 0.7$) dans les deux cas.

Déterminer le paramètre K_D du détecteur de phase.

Déterminer le paramètre K_O du VCO.

Déterminer la fréquence libre f_0 du VCO lorsque la PLL n'est pas verrouillée.

Déterminer la "Lock Range" théorique avec un filtre passif.

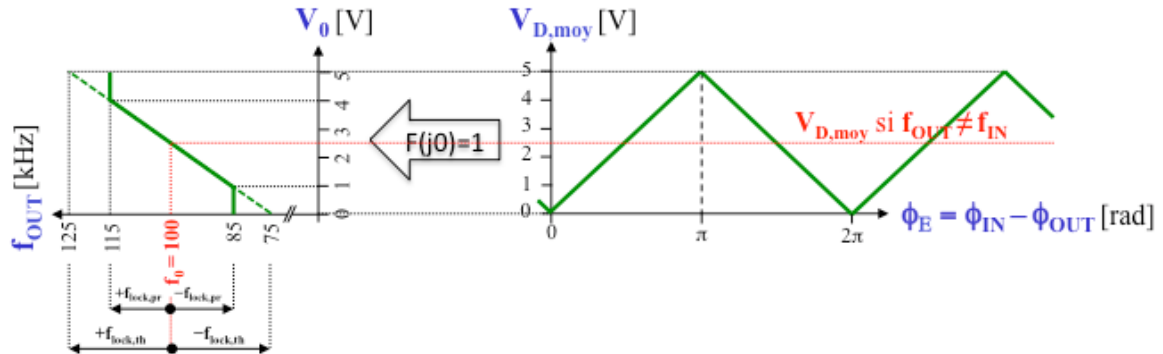
Déterminer la "Lock Range" pratique réelle tenant compte de la dynamique limitée du VCO.

Dans chacun des deux cas, dimensionner les éléments des filtres suivants:

- un filtre passif à un pôle et sans zéro
- un filtre passif à un pôle et un zéro
- un filtre actif intégrateur avec un zéro

CIRCUITS ET SYSTEMES ELECTRONIQUES- CORRIGE

En mettant en correspondance les caractéristiques du détecteur de phase et du VCO, et en supposant un filtre passif avec un gain unitaire en DC, on obtient:



- Détecteur de phase à porte XOR:

Dans la zone montante de sa caractéristique:

$$K_D = \frac{\Delta V_D}{\Delta \phi_E} = \frac{5}{\pi} = 1.6 \text{ V/rad}$$

Lorsque la PLL n'est pas verrouillée, $f_{OUT} \neq f_{IN}$, $\phi_E = 2\pi(f_{IN} - f_{OUT})t$ augmente (ou diminue) constamment, $V_D(t)$ a une allure triangulaire entre 0V et 5V, sa valeur moyenne est indépendante du signe et de la valeur de la différence de fréquence et vaut:

$$V_{D,moy,unlocked} = \frac{5}{2} = 2.5 \text{ V}$$

- VCO

Dans la zone linéaire de sa caractéristique:

$$K_O = \frac{\Delta \omega_{OUT}}{\Delta V_0} = 2\pi \cdot \frac{\Delta f_{OUT}}{\Delta V_0} = 2\pi \cdot \frac{115 \cdot 10^3 - 85 \cdot 10^3}{4 - 1} = 62'800 \text{ rad/s} \cdot \text{V}$$

Lorsque la PLL n'est pas verrouillée, la tension à l'entrée du VCO avec un filtre passif est:

$$V_0 = V_{D,moy,unlocked} \cdot F(j0) = \frac{5}{2} \cdot 1 = 2.5 \text{ V}$$

Ce qui donne la free-running frequency :

$$f_0 = 100 \text{ kHz}$$

- $K_D \cdot K_O$

$$K_D \cdot K_O = 100 \cdot 10^3 \text{ rad/s}$$

- "Lock Range"

Avec un filtre passif la "Lock Range" théorique vaut:

$$\omega_{lock} = \frac{\pi}{2} \cdot K_D \cdot K_O = 157 \cdot 10^3 \text{ rad/s} \quad \Rightarrow \quad f_{lock,th} = 25 \text{ kHz}$$

La dynamique d'entrée du VCO étant plus faible que celle de sortie du détecteur de phase, la "Lock Range" pratique est déterminée par la dynamique de sortie du VCO:

$$f_{\text{lock,pratique}} = 15 \text{ kHz} \Rightarrow \omega_{\text{lock,pratique}} = 2\pi \cdot 15 \cdot 10^3 = 94 \cdot 10^3 \text{ rad/s}$$

0. Sans filtre

Sans filtre, $F(p) = 1$, la PLL est du 1^{er} degré avec une bande passante:

$$\omega_{B-3dB} = K_D \cdot K_O = 100 \cdot 10^3 \text{ rad/s} \Leftrightarrow B_{-3dB} = 16 \text{ kHz}$$

1. Filtre passif à un pôle en ω_1 et sans zéro

Rappel, avec ce filtre:

$$\omega_n = \sqrt{K_D \cdot K_O \cdot \omega_1} \quad \text{et} \quad Q = \sqrt{K_D \cdot K_O / \omega_1} = \frac{\omega_n}{\omega_1} \Rightarrow \omega_n = \frac{K_D \cdot K_O}{Q}$$

Avec ce filtre, pour faire $Q = 0.7$, il faut:

$$\omega_1 = \frac{K_D \cdot K_O}{Q^2} = 2 \cdot K_D \cdot K_O = 200 \cdot 10^3 \text{ rad/s} \Rightarrow \tau_1 = 5 \mu\text{s} \Rightarrow RC = 5 \mu\text{s}$$

Cela implique automatiquement:

$$\omega_n = \frac{K_D \cdot K_O}{Q} = 140 \cdot 10^3 \text{ rad/s}$$

$$\omega_{B-3dB} = 1.4 \cdot K_D \cdot K_O = 140 \cdot 10^3 \text{ rad/s} \text{ (slide 41)} \Leftrightarrow B_{-3dB} = 22 \text{ kHz}$$

Avec ce filtre et le produit $K_D K_O$ donné, on ne peut pas satisfaire le cahier des charges, car pour réduire la bande passante de la PLL il faudrait réduire ω_1 , ce qui augmenterait Q , et donnerait une PLL insuffisamment amortie.

2. Filtre passif avec un pôle en ω_1 et un zéro en ω_2

Rappel, avec ce filtre:

$$\omega_n = \sqrt{K_O \cdot K_D \cdot \omega_1} = \sqrt{K_O \cdot K_D / \tau_1} \quad \text{et} \quad \frac{1}{Q} = \omega_n \cdot \left(\frac{1}{K_O \cdot K_D} + \tau_2 \right)$$

D'après la théorie, avec ce filtre, si $\omega_n \cdot Q \ll K_D \cdot K_O$ et $Q = 0.7$, on a:

$$2\pi \cdot B_{-3dB} = \omega_{B-3dB} \approx 2 \cdot \omega_n \text{ (slide 47)}$$

Pour obtenir $B_a = 300 \text{ Hz}$, avec $Q = 0.7$, il faut:

$$\omega_{n,a} = 940 \text{ rad/s}$$

$$\tau_{1,a} = \frac{K_O \cdot K_D}{\omega_{na}^2} = 113 \text{ ms} \quad \text{et} \quad \tau_{2,a} = \frac{1}{\omega_{na} \cdot Q} - \frac{1}{K_O \cdot K_D} = 1.5 \text{ ms}$$

$$R_{1,a} C_a = \tau_{1,a} - \tau_{2,a} = 111 \text{ ms} \quad \text{et} \quad R_{2,a} C_a = \tau_{2,a} = 1.5 \text{ ms}$$

Pour obtenir $B_b = 10$ kHz, avec $Q = 0.7$, il faut:

$$\omega_{n,b} = 31.4 \cdot 10^3 \text{ rad/s}$$

$$\tau_{1,b} = \frac{K_O \cdot K_D}{\omega_{nb}^2} = 100 \mu\text{s} \quad \text{et} \quad \tau_{2,b} = \frac{1}{\omega_{nb} \cdot Q} - \frac{1}{K_O \cdot K_D} = 35 \mu\text{s}$$

$$R_{1,b}C_b = \tau_{1,b} - \tau_{2,b} = 65 \mu\text{s} \quad \text{et} \quad R_{2,b}C_b = \tau_{2,b} = 35 \mu\text{s}$$

3. Filtre actif avec une intégrale (pôle en $\omega = 0$) et un zéro en ω_2

Rappel, avec ce filtre:

$$\omega_n = \sqrt{K_O \cdot K_D \cdot \omega_1} = \sqrt{K_O \cdot K_D / \tau_1} \quad \text{et} \quad \frac{1}{Q} = \omega_n \cdot \tau_2$$

D'après la théorie, avec ce filtre, pour $Q = 0.7$, on a:

$$2\pi \cdot B_{-3\text{dB}} = \omega_{B-3\text{dB}} \approx 2 \cdot \omega_n \text{ (slide 54)}$$

Pour obtenir $B_a = 300$ Hz, avec $Q = 0.7$, il faut:

$$\omega_{n,a} = 940 \text{ rad/s}$$

$$\tau_{1,a} = \frac{K_O \cdot K_D}{\omega_{na}^2} = 113 \text{ ms} \quad \text{et} \quad \tau_{2,a} = \frac{1}{\omega_{na} \cdot Q} = 1.5 \text{ ms}$$

$$R_{1,a}C_a = \tau_{1,a} = 113 \text{ ms} \quad \text{et} \quad R_{2,a}C_a = \tau_{2,a} = 1.5 \text{ ms}$$

Pour obtenir $B_b = 10$ kHz, avec $Q = 0.7$, il faut:

$$\omega_{n,b} = 31.4 \cdot 10^3 \text{ rad/s}$$

$$\tau_{1,b} = \frac{K_O \cdot K_D}{\omega_{nb}^2} = 100 \mu\text{s} \quad \text{et} \quad \tau_{2,b} = \frac{1}{\omega_{nb} \cdot Q} = 45 \mu\text{s}$$

$$R_{1,b}C_b = \tau_{1,b} = 100 \mu\text{s} \quad \text{et} \quad R_{2,b}C_b = \tau_{2,b} = 45 \mu\text{s}$$

CIRCUITS ET SYSTEMES ELECTRONIQUES II. EXERCICE

Boucle à verrouillage de phase (PLL), démodulation FM

Soit une porteuse V_{IN} dont la fréquence f_{IN} est modulée par un signal sinus de bien plus basse fréquence f_m :

$$V_{IN}(t) = A \cdot \sin[2\pi f_{IN} \cdot t] = A \cdot \sin[2\pi(f_0 + \Delta f \cdot \sin(2\pi f_m t)) \cdot t] = A \cdot \sin[(\omega_0 + \Delta\omega \cdot \sin(\omega_m t)) \cdot t]$$

f_m est la variable, Δf et $f_{m,max}$ les constantes qui définissent les propriétés de la modulation.

On appelle indice de modulation FM :
$$d = \frac{\Delta f}{f_{m,max}} = \frac{\Delta\omega}{\omega_{m,max}}$$

Dans le cas dit "Narrow Band FM", d est voisin de 1, donc Δf est comparable à $f_{m,max}$.

Dans le cas dit "Wide Band FM", d est bien supérieur à 1, donc Δf est bien plus grande que $f_{m,max}$.

Dimensionner une PLL du second degré, avec un comparateur de phase de type multiplicateur de "Gilbert" et un filtre passif à un pôle et un zéro, capable de démoduler ce signal FM. On suppose à priori (à vérifier après coup) que $K_D K_O \gg \omega_n$.

Condition 1 (à priori):

$$K_D \cdot K_O \gg \omega_n$$

Dans une PLL avec un filtre passif à un pôle et un zéro, cette condition garantit que l'on pourra obtenir un amortissement correct avec un τ_2 positif donc réalisable.

Comme pour une PLL de degré 2:

$$\omega_n^2 = K_D \cdot K_O \cdot \omega_1$$

la condition 1 implique que:

$$K_D \cdot K_O \gg \omega_n \gg \omega_1$$

Condition 2:

Pour obtenir un amortissement correct de la PLL, il faut:

$$0.5 \leq Q \leq 1$$

Condition 3:

Pour que la PLL puisse rester verrouillée sur toute la plage de fréquence balayée par le signal FM d'entrée, il faut:

$$\omega_{lock} \geq 2\pi \cdot \Delta f$$

Pour une PLL de degré 2 avec un comparateur de phase de type multiplicateur et un filtre passif à un pôle et un zéro, cela implique:

$$\omega_{lock} = \frac{\pi}{2} \cdot K_D \cdot K_O \geq 2\pi \cdot \Delta f \quad \Rightarrow \quad K_D \cdot K_O \geq 4 \cdot \Delta f$$

Condition 4:

Pour que le signal démodulé, qui est à l'image du signal modulant, donc à la fréquence f_m , apparaisse à la sortie V_0 , il faut que cette fréquence se situe dans la zone où la fonction de transfert V_O/ω_i est constante égale à $1/K_O$, donc dans la bande passante de la PLL:

$$B_{PLL,-3dB} \geq f_{m,max}$$

Pour une PLL de degré 2, avec un filtre passif à un pôle et un zéro, et si $\omega_n Q \ll K_D K_O$ (cette dernière affirmation découle des conditions 1 et 2):

$$2\pi B_{PLL,-3dB} \approx 2 \cdot \omega_n \quad \text{avec } Q = 0.7$$

$$2\pi B_{PLL,-3dB} \approx 2.5 \cdot \omega_n \quad \text{avec } Q = 0.5$$

D'où:

$$2 \cdot \omega_n \geq 2\pi \cdot f_{m,max} \quad \Rightarrow \quad \omega_n \geq \pi \cdot f_{m,max} \quad \text{avec } Q = 0.7$$

$$2.5 \cdot \omega_n \geq 2\pi \cdot f_{m,max} \quad \Rightarrow \quad \omega_n \geq 2.5 \cdot f_{m,max} \quad \text{avec } Q = 0.5$$

Condition 5:

Pour que la PLL reste constamment verrouillée, l'erreur de phase instantanée ne doit jamais dépasser le maximum tolérable par le comparateur de phase de type multiplicateur, soit $\pm\pi/2$ autour de $\pi/2$.

Pour une modulation sinusoïdale de la fréquence d'entrée, l'erreur de phase est sinusoïdale, avec une amplitude crête donnée par:

$$\phi_{e,crête} = \omega_{i,crête} \cdot \left| \frac{\phi_e(j\omega_m)}{\omega_i(j\omega_m)} \right| = 2\pi \cdot \Delta f \cdot \left| \frac{\phi_e(j\omega_m)}{\phi_i(j\omega_m)} \cdot \frac{1}{j\omega_m} \right|$$

En remplaçant p par j ω dans la "fonction d'erreur" de la PLL de degré 2 avec filtre passif à un pôle et un zéro (tirée du cours), on obtient:

$$\phi_{e,crête} = 2\pi \cdot \Delta f \cdot \left| \frac{j\omega_m + \omega_1}{(j\omega_m)^2 + j\omega_m \cdot \frac{\omega_n}{Q} + \omega_n^2} \right| = 2\pi \cdot \Delta f \cdot \left| \frac{j\omega_m + \omega_1}{j\omega_m \cdot \frac{\omega_n}{Q} + \omega_n^2 - \omega_m^2} \right| = 2\pi \cdot \Delta f \cdot \frac{\sqrt{\omega_m^2 + \omega_1^2}}{\sqrt{\omega_m^2 \cdot \frac{\omega_n^2}{Q^2} + (\omega_n^2 - \omega_m^2)^2}}$$

Pour des valeurs de $\omega_m < \omega_1$, donc lorsque la fréquence f_{IN} varie lentement, et sachant que $\omega_1 \ll \omega_n$ (condition 1), cette expression tend vers:

$$\phi_{e,crête} = 2\pi \cdot \Delta f \cdot \frac{\omega_1}{\omega_n^2} = 2\pi \cdot \Delta f \cdot \frac{1}{K_D \cdot K_O} \quad \text{régime quasi-statique}$$

$$\phi_{e,crête} < \frac{\pi}{2} \quad \Rightarrow \quad K_D \cdot K_O > 4 \cdot \Delta f \quad \text{identique à la condition 3}$$

Lorsque la fréquence f_{IN} varie plus rapidement, et que $\omega_m > \omega_1$, ϕ_e peut être approximée par :

$$\phi_{e,crête} = 2\pi \cdot \Delta f \cdot \left| \frac{j\omega_m}{j\omega_m \cdot \frac{\omega_n}{Q} + \omega_n^2 - \omega_m^2} \right| = 2\pi \cdot \Delta f \cdot \frac{1}{\left| \frac{\omega_n}{Q} - j \cdot \frac{\omega_n^2 - \omega_m^2}{\omega_m} \right|}$$

- tant que $\omega_1 < \omega_m < \omega_n$ (ou $\omega_n \cdot Q$ lorsque $Q < 1$), ϕ_e peut se simplifier ainsi :

$$\phi_{e,crête} = 2\pi \cdot \Delta f \cdot \frac{\omega_m}{\omega_n^2}$$

$$\phi_{e,crête,max} < \frac{\pi}{2} \quad \Rightarrow \quad \omega_n > \sqrt{4 \cdot \Delta f \cdot \omega_m}$$

- lorsque $\omega_m = \omega_n$, ϕ_e passe par un maximum :

$$\phi_{e,crête,max} = 2\pi \cdot \Delta f \cdot \frac{Q}{\omega_n}$$

$$\phi_{e,crête,max} < \frac{\pi}{2} \quad \Rightarrow \quad \omega_n > 4 \cdot \Delta f \cdot Q$$

$$\text{on a alors intérêt à prendre } Q = 0.5 \quad \Rightarrow \quad \omega_n > 2 \cdot \Delta f$$

- puis, pour $\omega_m > \omega_n$ (ou ω_n/Q lorsque $Q < 1$), on est alors hors de la bande passante de la PLL, celle-ci n'a plus d'influence sur ϕ_e , qui vaut :

$$\phi_{e,crête} = 2\pi \cdot \Delta f \cdot \frac{1}{\omega_m}$$

Ce cas n'est pas utilisable puisque la condition 4 n'est pas satisfaite et V_0 ne suit plus f_{IN} .

Avec $Q = 0.5$, les conditions 3, 4 et 5 peuvent être réécrites ainsi:

$$\text{Condition 3: } K_D \cdot K_O > 4 \cdot \Delta f \approx 0.64 \cdot \Delta \omega$$

$$\text{Condition 4: } \omega_n \geq 2.5 \cdot f_{m,\max} \approx 0.4 \cdot \omega_{m,\max}$$

$$\text{Condition 5: } \omega_n > 2 \cdot \Delta f \approx 0.32 \cdot \Delta \omega$$

Cas d'une modulation FM "Narrow Band": $\Delta f \approx f_{m,\max}$ (type transmission vocale)

Les conditions 4 et 5 sont à peu près équivalentes.

Dans la pratique, il faudra prendre une marge de sécurité, à cause de l'imprécision des paramètres de la PLL, en particulier la fréquence de "free running" f_0 du VCO. Tout écart de celle-ci par rapport à la fréquence centrale du signal d'entrée provoque une erreur systématique de phase, ce qui réduit d'autant le $\phi_{e,\text{crête},\max}$ tolérable.

Prenons une bonne marge de sécurité, par exemple $\omega_n = \omega_{m,\max} \approx \Delta \omega$

Rappel: $Q = 0.5$

Pour respecter la condition 1: $K_D \cdot K_O \gg \omega_n \cdot Q$, on prendra $K_D \cdot K_O = 4 \cdot \omega_n$, ce qui garanti aussi que la condition 3 est respectée.

$$\text{D'où: } \omega_1 = \frac{\omega_n^2}{K_D \cdot K_O} = 0.25 \cdot \omega_n = 0.25 \cdot \omega_{m,\max}$$

$$\text{et } \omega_2 = \left[\frac{1}{\omega_n \cdot Q} - \frac{1}{K_D \cdot K_O} \right]^{-1} = 0.57 \cdot \omega_n = 0.57 \cdot \omega_{m,\max}$$

$$\text{L'erreur de phase maximale sera: } \phi_{e,\text{crête},\max} = \frac{Q \cdot \Delta \omega}{\omega_n} \approx 0.5 \text{ radians, soit } 30^\circ.$$

Cas d'une modulation FM "Wide Band": $\Delta f \gg f_{m,\max}$

(exemple de la radio FM avec $\Delta f = 5 \cdot f_{m,\max}$)

Dans ce cas, la condition 5 devient dominante, nous obligeant à augmenter ω_n . Toutefois, lorsque $\omega_n > \omega_{m,\max}$, on peut prendre une valeur de ω_n inférieure au minimum donné par cette condition 5, car on atteint jamais le point où ϕ_e passe par un maximum. En supposant alors que $\omega_1 < \omega_{m,\max} < \omega_n \cdot Q$ (à vérifier a posteriori) :

$$\phi_{e,\text{crête},\max} = 2\pi \cdot \Delta f \cdot \frac{\omega_{m,\max}}{\omega_n^2} = \frac{\Delta \omega \cdot \omega_{m,\max}}{\omega_n^2} < \frac{\pi}{2}$$

$$\Rightarrow \omega_n > \sqrt{\frac{2}{\pi} \cdot \Delta \omega \cdot \omega_{m,\max}} \approx 0.8 \cdot \sqrt{\Delta \omega \cdot \omega_{m,\max}}$$

Dans la pratique, il faudra prendre une marge de sécurité, à cause de l'imprécision des paramètres de la PLL, en particulier la fréquence de "free running" f_0 du VCO. Tout écart de celle-ci par rapport à la fréquence centrale du signal d'entrée provoque une erreur systématique de phase, ce qui réduit d'autant le $\phi_{e,\text{crête}}$ tolérable.

Dans le cas de la radio FM où $\Delta \omega = 5 \cdot \omega_{m,\max}$, prenons une bonne marge de sécurité, avec:

$$\omega_n = 3 \cdot \omega_{m,\max} = 0.6 \cdot \Delta \omega$$

Prenons aussi une bonne marge de sécurité sur la "Lock Range" avec :

$$K_D \cdot K_O = 3 \cdot \Delta \omega = 15 \cdot \omega_{m,\max} = 5 \cdot \omega_n$$

Rappel: $Q = 0.5$

L'hypothèse $K_D \cdot K_O \gg \omega_n \cdot Q$ est alors respectée.

D'où:
$$\omega_1 = \frac{\omega_n^2}{K_D \cdot K_O} = 0.2 \cdot \omega_n = 0.6 \cdot \omega_{m,\max} = 0.12 \cdot \Delta\omega$$

et
$$\omega_2 = \left[\frac{1}{\omega_n \cdot Q} - \frac{1}{K_D \cdot K_O} \right]^{-1} = 0.56 \cdot \omega_n = 1.7 \cdot \omega_{m,\max} = 0.34 \cdot \Delta\omega$$

L'erreur de phase maximale sera:
$$\phi_{e,\text{crête},\max} = \frac{\Delta\omega \cdot \omega_{m,\max}}{\omega_n^2} \approx 0.56 \text{ radians, soit } 32^\circ$$

**OSCILLATEURS CONTROLES EN
TENSION
VOLTAGE-CONTROLLED
OSCILLATORS (VCO)**

OSCILLATEURS CONTROLES EN TENSION

VOLTAGE-CONTROLLED OSCILLATORS (VCO)

	page
1. INTRODUCTION	
1.1 DEFINITION	1
2. OSCILLATEURS A RELAXATION	
2.1 PRINCIPE DE BASE	1
2.2 BASCULE DE SCHMITT DE PRECISION	2
2.3 COMMUTATION DE COURANT DE CHARGE/DECHARGE	3
2.4 SOURCE DE COURANT COMMANDEE	3
3. MULTIVIBRATEUR ASTABLE	
3.1 PRINCIPE DU MULTIVIBRATEUR A COUPLAGE PAR LES EMETTEURS	4
3.2 TRANSFORMATION DU MULTIVIBRATEUR A COUPLAGE PAR LES EMETTEURS EN VCO	6
4. MULTIVIBRATEUR ASTABLE A CIRCUITS NUMERIQUES	7
5. VCO A OSCILLATEUR LC	
5.1 L'OSCILLATEUR SINUS LC VU COMME UNE BOUCLE A REACTION POSITIVE	10
5.2 L'OSCILLATEUR SINUS LC VU COMME UN RESON- NATEUR ASSOCIE A UNE RESISTANCE NEGATIVE	11
5.3 TRANSFORMATION DE L'OSCILLATEUR LC EN VCO	13
6. VCO A OSCILLATEUR EN ANNEAU	
6.1 L'OSCILLATEUR EN ANNEAU	15
6.2 TRANSFORMATION DE L'OSCILLATEUR EN ANNEAU EN VCO	16

1. INTRODUCTION

1.1 Définition

Un oscillateur contrôlé en tension (VCO) est un convertisseur tension-fréquence. C'est un quadripôle, qui génère, à sa sortie, un signal périodique, dont la fréquence f_{OSC} est fonction de la tension V_0 appliquée à son entrée. Les paramètres principaux d'un VCO sont:

- ◆ la linéarité de la caractéristique fréquence f_{OSC} en fonction de la tension d'entrée V_0
- ◆ le coefficient de transfert $K_O = \Delta\omega_{OSC}/\Delta V_0$, parfois appelé "gain" du VCO
- ◆ la fréquence maximale $f_{OSC,max}$
- ◆ la dynamique maximale de la tension d'entrée et l'écart $f_{OSC,max} - f_{OSC,min}$, ou le rapport $f_{OSC,max}/f_{OSC,min}$ correspondant
- ◆ la forme du signal de sortie
- ◆ pour un signal de sortie sinus, le taux de distorsion
- ◆ le bruit de phase
- ◆ le coût.

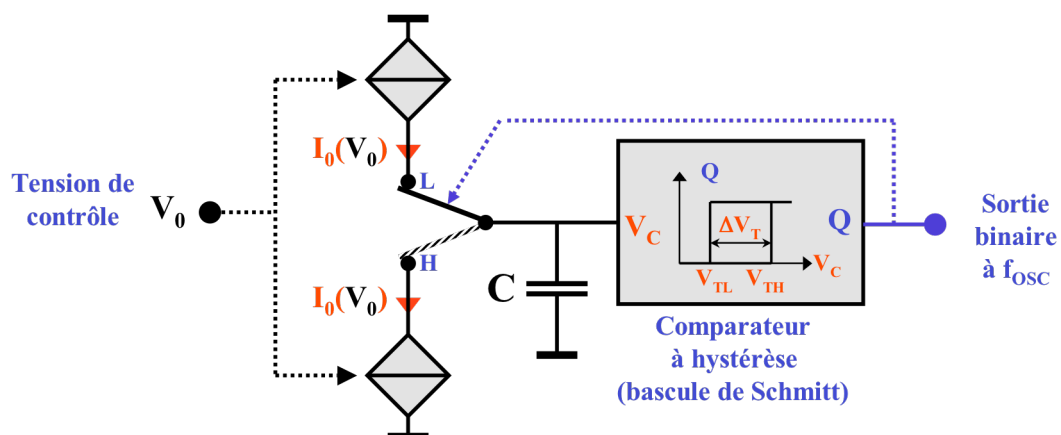
Plusieurs principes sont utilisés, qui correspondent à des technologies différentes, celles-ci étant liées aux fréquences de fonctionnement. Citons:

- ◆ les boucles à intégrateur et bascule de Schmitt ou oscillateurs à relaxation
- ◆ les multivibrateurs astables à transistors et couplage par condensateur
- ◆ les multivibrateurs astables à circuits numériques.
- ◆ les oscillateurs sinus à circuits accordés LC avec ou sans quartz
- ◆ les oscillateurs en anneau

2. OSCILLATEURS A RELAXATION

2.1 PRINCIPE DE BASE

Le principe d'un oscillateur à relaxation est illustré par le schéma suivant :

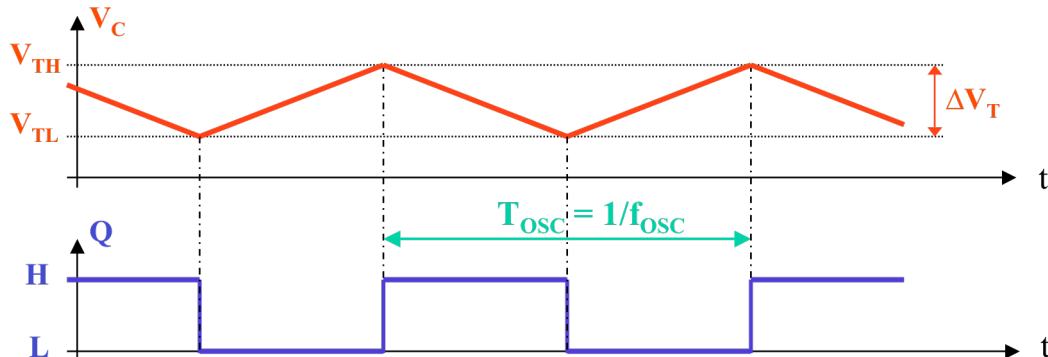


Il s'agit du schéma de base de tout générateur de fonctions. Il comporte trois éléments:

- ◆ deux sources de courant commandées par la tension d'entrée V_0
- ◆ un condensateur périodiquement chargé et déchargé par ces sources de courant (ces éléments forment un intégrateur)

- ♦ une bascule de Schmitt (comparateur à hystérèse) dont la sortie binaire Q, fonction de la tension aux bornes du condensateur V_C selon une caractéristique à hystérèse, commande la charge ou la décharge de celui-ci.

La sortie de cet ensemble génère un signal carré à la sortie de la bascule et un signal triangulaire aux bornes du condensateur, comme illustrés à la figure suivante:



Il est possible de générer un signal pseudo-sinusoïdal, par déformation du triangle dans un circuit non-linéaire additionnel.

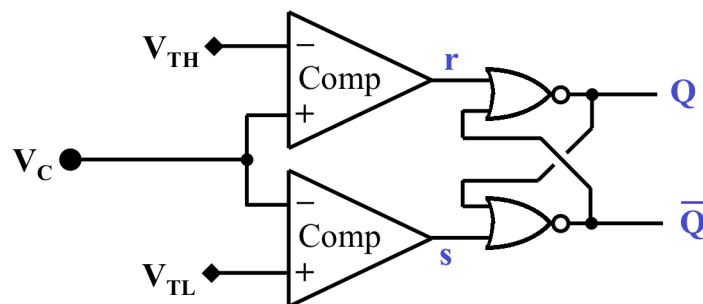
La fréquence d'oscillation est donnée par:

$$f_{\text{osc}} = \frac{1}{T_{\text{osc}}} = \frac{I_0(V_0)}{2 \cdot \Delta V_T \cdot C}$$

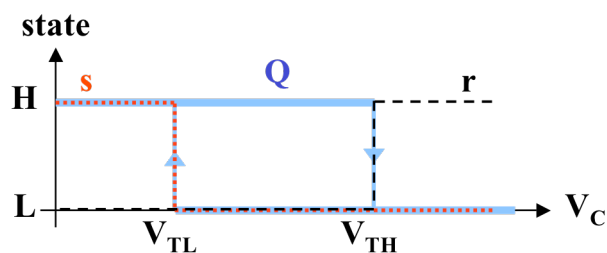
Si la relation liant I_0 à V_0 est linéaire, la fréquence d'oscillation sera une fonction linéaire de la tension de contrôle.

2.2 BASCULE DE SCHMITT DE PRECISION

Le schéma de principe d'une bascule de Schmitt avec des tensions de seuils précises est le suivant:



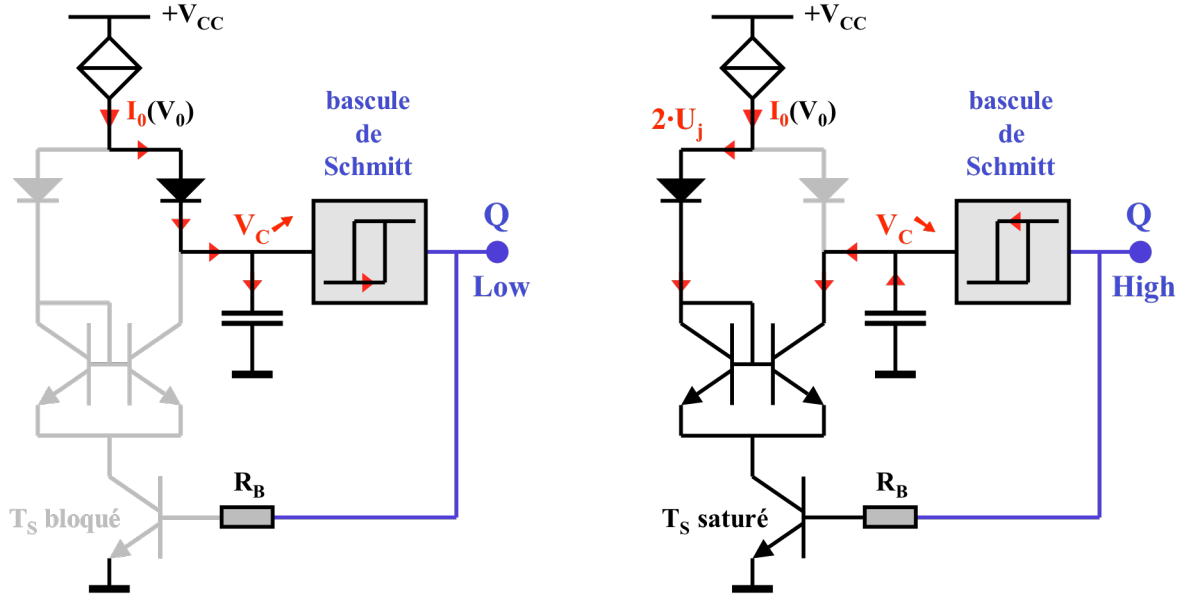
Sa caractéristique de transfert est la suivante:



2.3 COMMUTATION DE COURANT DE CHARGE/DECHARGE

Divers principes sont utilisables pour commuter entre charge et décharge d'une capacité par un courant imposé.

L'un d'eux est illustré par le circuit ci-dessous représenté dans ses deux états: charge et décharge de la capacité.

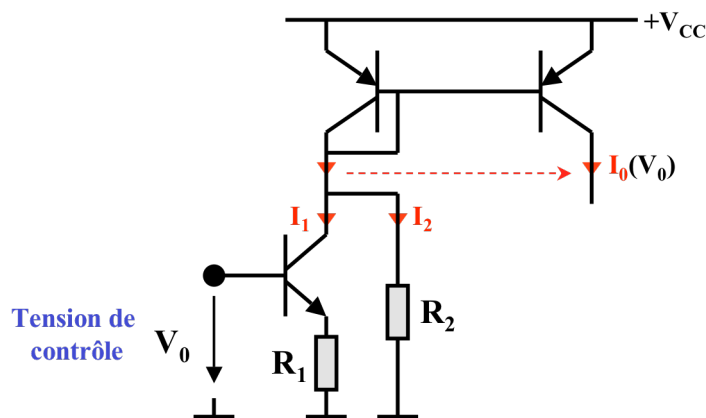


Le transistor T_S joue le rôle d'un interrupteur commandé par la bascule de Schmitt. Lorsque ce transistor est bloqué, le courant I_0 passe par la diode de droite et charge la capacité. La tension $v_C(t)$ croît donc linéairement, jusqu'à atteindre le seuil de basculement supérieur V_{TH} . Lorsque le transistor T_S est saturé, le potentiel d'anode des deux diodes est inférieur à V_C et la diode de droite est bloquée. Le courant I_0 passe alors dans la diode de gauche et traverse le transistor d'entrée du miroir de courant. Le transistor de sortie du miroir soutire donc le même courant I_0 de la capacité, qui se décharge. La tension $v_C(t)$ décroît donc linéairement, jusqu'à atteindre le seuil de basculement inférieur V_{TL} . Ce cycle charge-décharge se répète périodiquement.

2.4 SOURCE DE COURANT COMMANDEE

Divers principes sont utilisables pour réaliser la source de courant commandée par V_0 , selon une loi linéaire.

Le schéma d'un circuit simple est le suivant:



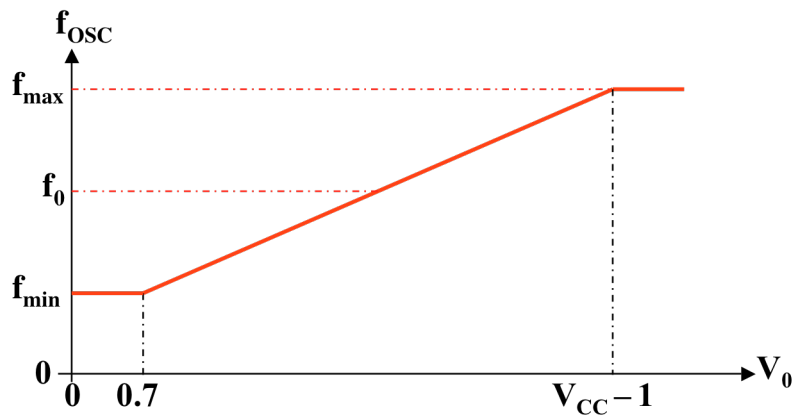
Le courant I_0 en sortie du miroir de courant, est la copie de son courant total en entrée:

$$I_0 = I_2 + I_1 = \frac{V_{CC} - U_j}{R_2} + \frac{V_0 - U_j}{R_1}$$

On en déduit la relation tension – fréquence du VCO:

$$f_{OSC} = \frac{I_0}{2 \cdot C \cdot \Delta V_T} = \frac{1}{2 \cdot R_2 \cdot C} \cdot \frac{V_{CC} - U_j}{\Delta V_T} + \frac{1}{2 \cdot R_1 \cdot C} \cdot \frac{V_0 - U_j}{\Delta V_T}$$

Cette caractéristique à l'allure suivante:



Dans la zone linéaire de la caractéristique, le "gain" du VCO est donné par:

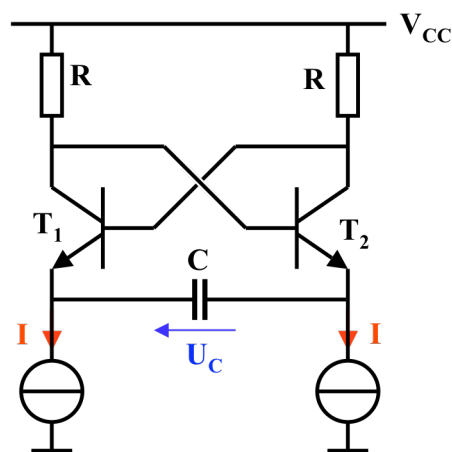
$$K_O = \frac{d\omega_{OSC}}{dV_0} = \frac{\pi}{\Delta V_T \cdot R_1 \cdot C}$$

En conclusion, on a deux constantes de temps, $R_1 C$ et $R_2 C$, pour déterminer deux paramètres du VCO, f_0 et K_O .

3. MULTIVIBRATEUR ASTABLE

3.1 PRINCIPE DU MULTIVIBRATEUR ASTABLE A COUPLAGE PAR LES EMETTEURS

Le multivibrateur astable est très répandu dans les circuits intégrés analogiques. Sa conception et son emploi sont particulièrement aisés. Il en existe de nombreux types. L'un des plus simples est le multivibrateur à couplage par les émetteurs, dont le schéma de principe est le suivant:



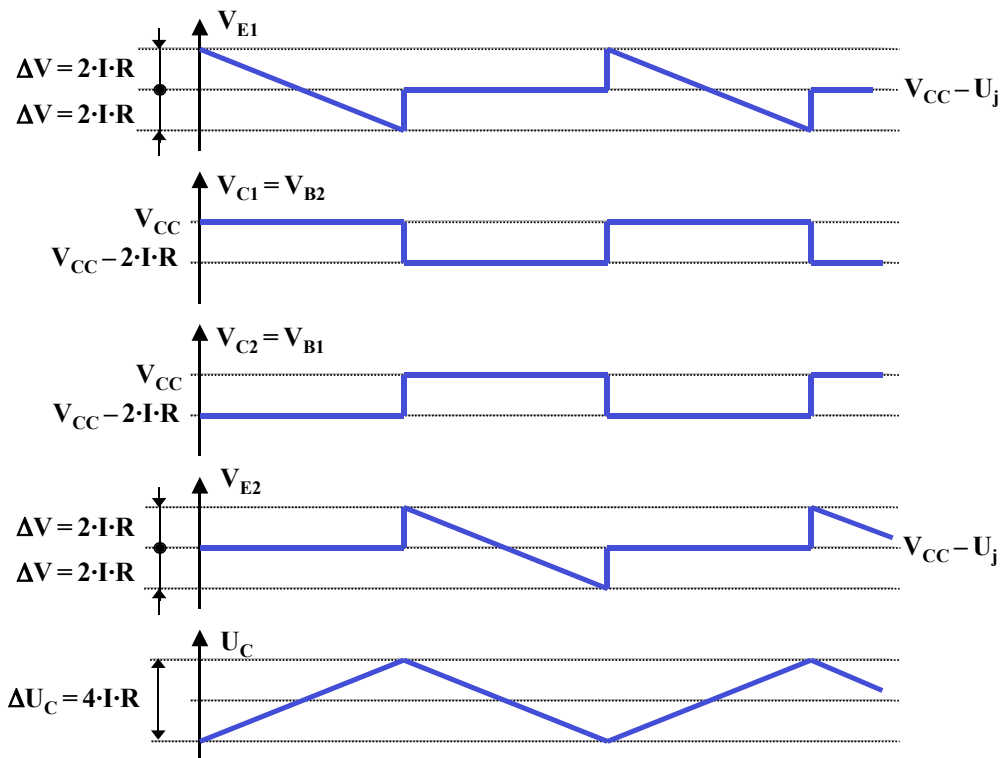
On impose que $2 \cdot I \cdot R < U_j$, pour éviter la saturation du transistor conducteur.

Ce circuit possède deux états temporairement stables:

- Si T_2 conduit et T_1 est bloqué: $2 \cdot I$ passe par T_2 , et aucun courant par T_1
 $\Rightarrow V_{C1} = V_{B2} \cong V_{CC}$ $V_{B1} = V_{C2} = V_{CC} - 2 \cdot I \cdot R$ et $V_{E2} = V_{B2} - U_j \cong V_{CC} - U_j$
le courant I de la source de gauche traverse C
 $\Rightarrow U_C$ augmente linéairement et $V_{E1} = V_{E2} - U_C$ baisse linéairement
 T_1 reste bloqué tant que $V_{E1} > V_{B1} - U_j = V_{CC} - 2 \cdot I \cdot R - U_j \Leftrightarrow U_C < 2 \cdot I \cdot R$
- Si T_1 conduit et T_2 est bloqué: $2 \cdot I$ passe par T_1 , et aucun courant par T_2
 $\Rightarrow V_{C2} = V_{B1} \cong V_{CC}$ $V_{B2} = V_{C1} = V_{CC} - 2 \cdot I \cdot R$ et $V_{E1} = V_{B1} - U_j \cong V_{CC} - U_j$
le courant I de la source de droite traverse C
 $\Rightarrow U_C$ diminue linéairement et $V_{E2} = V_{E1} + U_C$ baisse linéairement
 T_2 reste bloqué tant que $V_{E2} > V_{B2} - U_j = V_{CC} - 2 \cdot I \cdot R - U_j \Leftrightarrow -U_C < 2 \cdot I \cdot R$

La transition d'un état à l'autre arrive lorsque $|U_C| \approx 2 \cdot I \cdot R$ et que le transistor jusque là bloqué commence à conduire. Le système étant bouclé avec un gain positif, il évolue rapidement vers l'état opposé. Lors des transistions, la tension U_C ne varie pas et tous les potentiels font un saut de $\pm 2 \cdot I \cdot R$.

En résumé, les différents signaux sont les suivant:



La fréquence d'oscillation est donnée par:

$$f_{osc} = \frac{I}{2 \cdot C \cdot \Delta U_C} = \frac{I}{2 \cdot C \cdot 4 \cdot I \cdot R} = \frac{1}{8 \cdot R \cdot C}$$

La fréquence d'oscillation est indépendante de I . Il n'est donc pas possible de faire un VCO avec ce circuit de base.

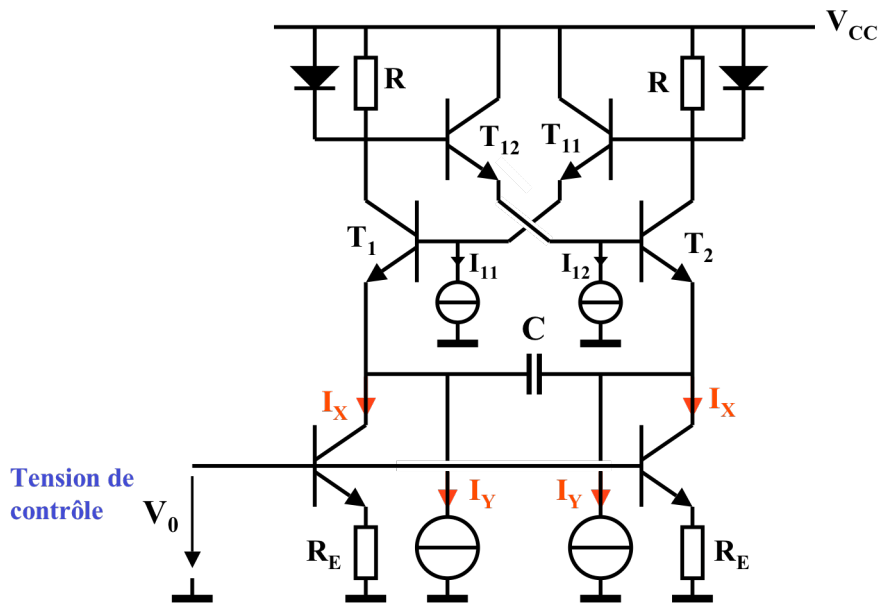
3.2 TRANSFORMATION DU MULTIVIBRATEUR ASTABLE A COUPLAGE PAR LES EMETTEURS EN VCO

A partir de la version de base du multivibrateur astable à couplage par les émetteurs, dont la fréquence d'oscillation est:

$$f_{OSC} = \frac{I}{2 \cdot C \cdot \Delta U_C} = \frac{I}{2 \cdot C \cdot 4 \cdot I \cdot R} = \frac{1}{8 \cdot R \cdot C}$$

on peut obtenir un VCO dont la fréquence est dépendante du courant I , qui sera lui-même contrôlée par une tension V_0 , si l'on fait en sorte que la chute de tension $\Delta V = 2 \cdot I \cdot R$ soit remplacée par une constante, par exemple une tension de jonction U_j .

Ce principe est appliqué dans le circuit ci-dessous.



Dans ce circuit:

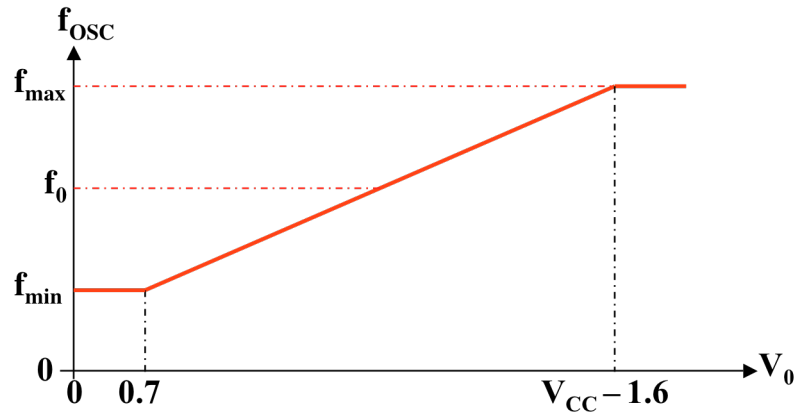
- ◆ Chacune des deux diodes impose une chute de tension $\Delta V = U_j$ constante, lorsque le transistor correspondant conduit. Chacune des deux résistances R permet le passage du courant de base de T_{11} ou T_{12} avec une chute de tension négligeable, lorsque la diode correspondante ne conduit pas.
- ◆ Pour éviter la saturation du transistor T_1 ou T_2 conducteur, on abaisse de U_j le potentiel de chaque base par rapport à celui du collecteur opposé. Ceci est fait au moyen des deux émetteurs suiveurs T_{11} et T_{12} , polarisés par I_{11} et I_{12} .
- ◆ Chacune des deux sources de courant I du circuit de base est remplacée par l'addition de deux sources, une constante et une commandée par la tension V_0 .

La fréquence d'oscillation est alors:

$$f_{OSC} = \frac{I_Y + I_X}{4 \cdot C \cdot U_j} = \frac{I_Y}{4 \cdot C \cdot U_j} + \frac{V_0 - U_j}{4 \cdot R_E \cdot C \cdot U_j}$$

La tension V_0 doit être supérieure à U_j pour que les transistors en sources de courant commandées conduisent, mais inférieure à $V_{E1/2,min}$ pour que ces mêmes transistors ne saturent pas (en pratique, on peut monter ≈ 0.5 V au dessus de cette limite théorique).

Le VCO dont le schéma est représenté à la page précédente a la caractéristique tension – fréquence suivante:



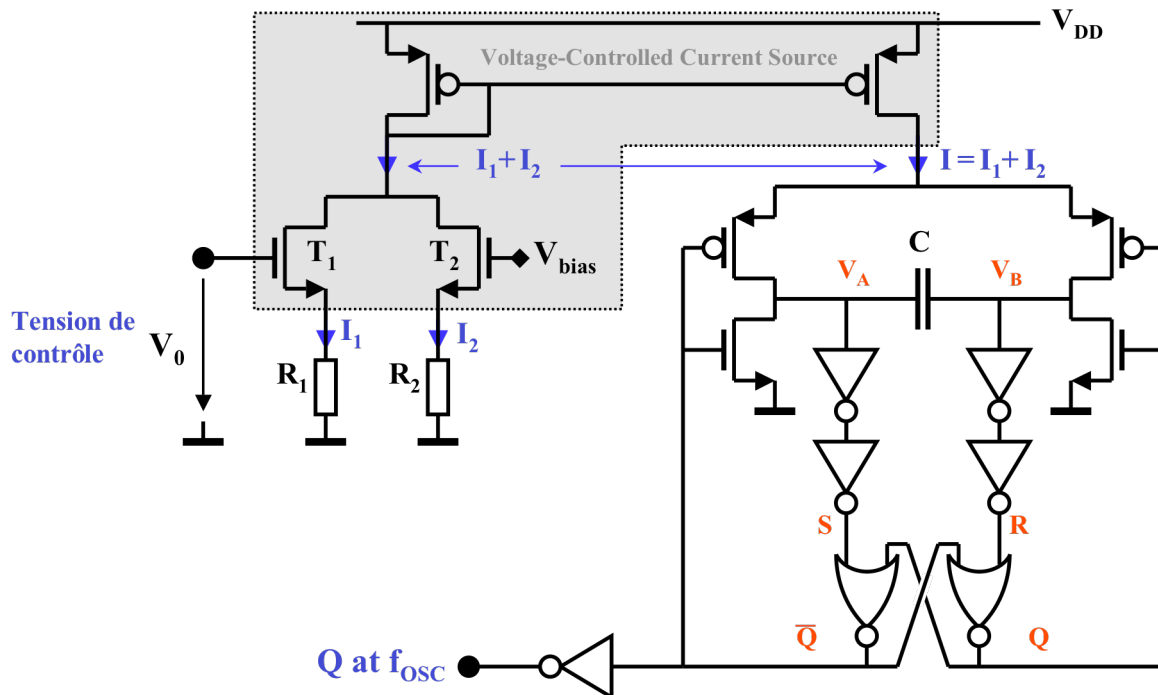
Dans la zone linéaire de la caractéristique, le "gain" du VCO est donné par:

$$K_O = \frac{d\omega_{OSC}}{dV_0} = \frac{\pi}{2 \cdot U_j \cdot R_E \cdot C}$$

En conclusion, on a deux constantes de temps, $R_E C$ et $C U_j / I_Y$, pour déterminer deux paramètres du VCO, f_0 et K_O .

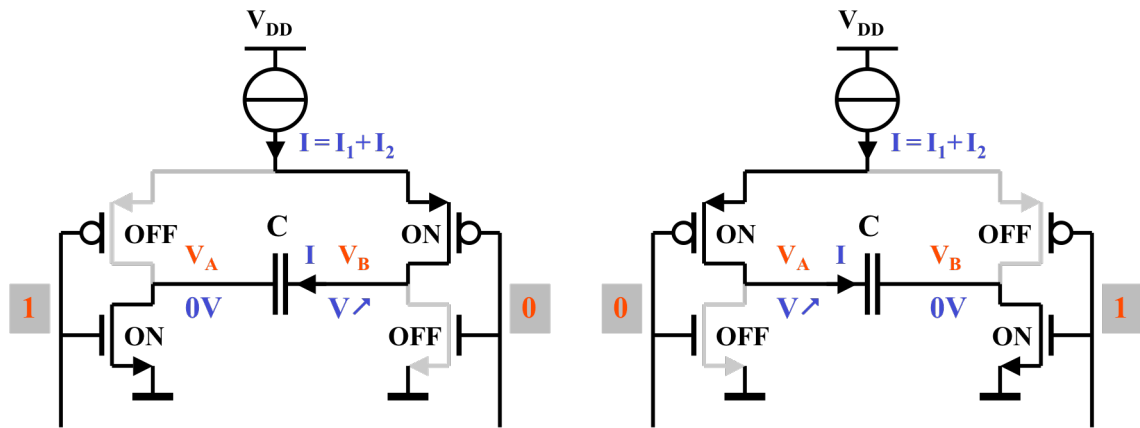
4. MULTIVIBRATEUR ASTABLE A CIRCUITS NUMERIQUES

Le VCO de la très populaire PLL 74HC4046 est réalisé dans une technologie CMOS, avec des transistors et des blocs fonctionnels logiques. Le schéma de principe simplifié est le suivant:



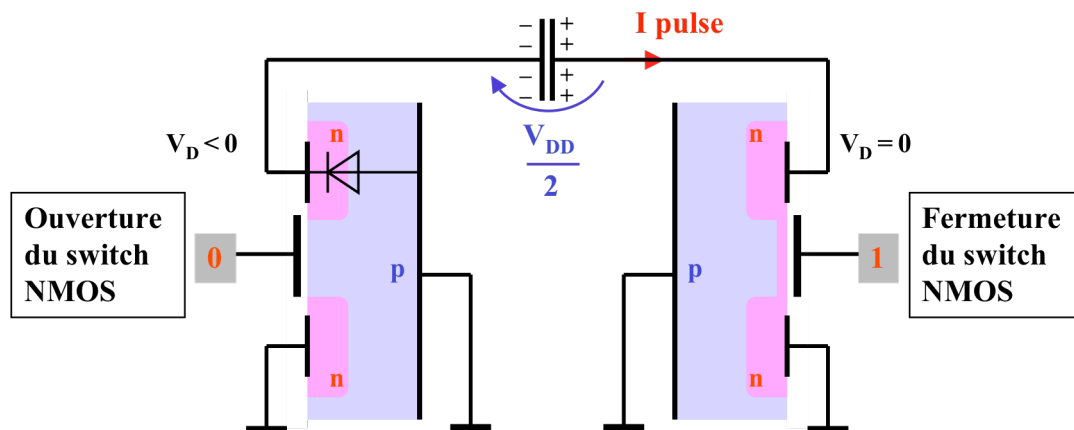
Les éléments externes de réglage sont R_1 , R_2 et C . Le principe de fonctionnement se rapproche de celui de l'oscillateur à relaxation, c'est-à-dire charge puis décharge d'une capacité par un courant I commandé par la tension V_0 .

Les phases de charge et décharge de la capacité, suivant l'état de la bascule RS formée par les deux portes NOR, sont illustrées par les deux schémas suivants:

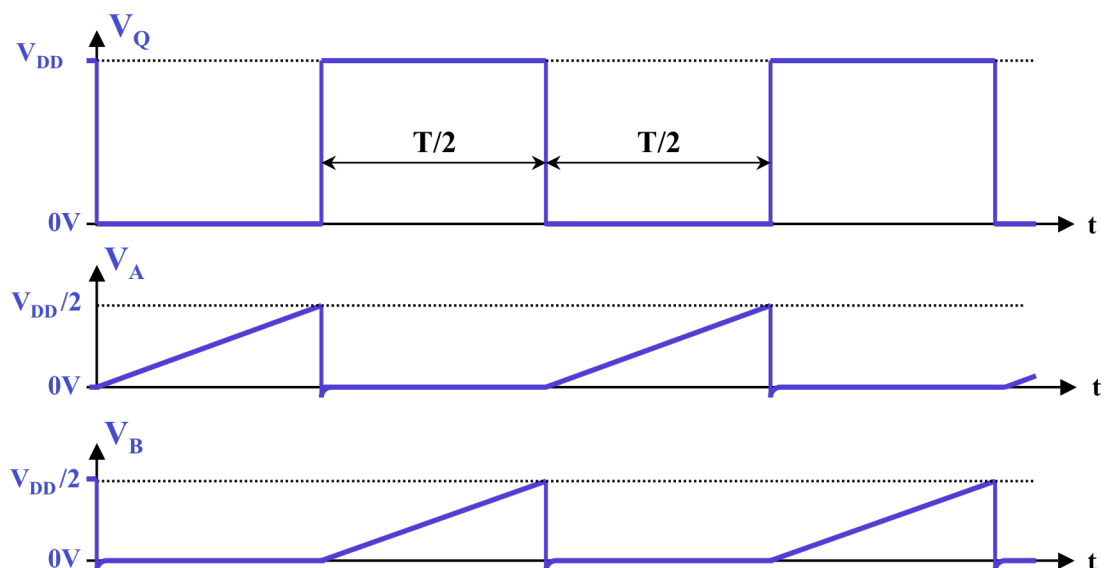


Le changement d'un état à l'autre survient lorsque V_A , respectivement V_B , atteint le seuil des inverseurs, soit environ $V_{DD}/2$, qui font SET, respectivement RESET, de la bascule.

Juste avant le changement d'état, la capacité est chargée à $V_{DD}/2$. Juste après, il se produit un bref transitoire durant lequel la capacité est déchargée rapidement à travers la jonction drain-substrat du NMOS qui vient d'être bloqué. La transition de l'état de gauche ci-dessus, à l'état de droite, est illustrée par la figure suivante:



Les principaux signaux dans ce VCO sont finalement les suivants:



La fréquence d'oscillation est donnée par:

$$f_{OSC} = \frac{I}{2 \cdot C \cdot V_{DD}/2}$$

Le courant de charge/décharge I est la somme de I_1 et I_2 . La tension V_{GS} des transistors T_1 et T_2 de la source de courant contrôlée, est donnée par:

$$V_{GS} = V_{Tn} + \sqrt{\frac{I_D}{\mu_n \cdot C_{ox} \cdot W/L}}$$

En considérant grossièrement que le terme en racine est négligeable, on peut écrire:

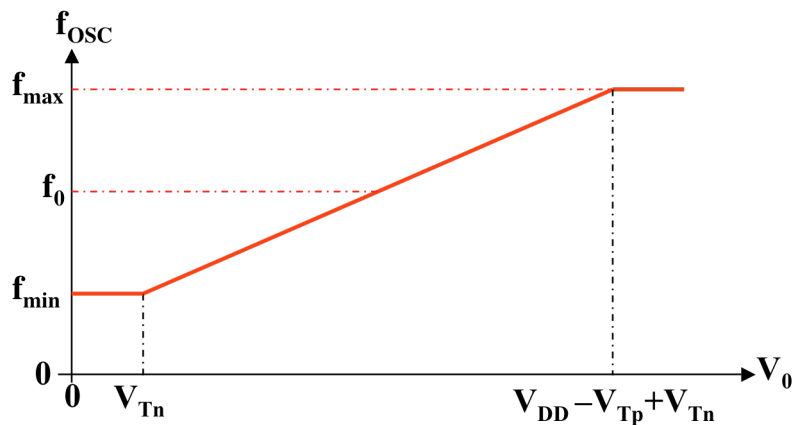
$$I = I_2 + I_1 \cong \frac{V_{bias} - V_{Tn}}{R_2} + \frac{V_0 - V_{Tn}}{R_1}$$

La fréquence d'oscillation est alors:

$$f_{OSC} \cong \frac{V_{bias} - V_{Tn}}{2 \cdot R_2 \cdot C \cdot V_{DD}/2} + \frac{V_0 - V_{Tn}}{2 \cdot R_1 \cdot C \cdot V_{DD}/2}$$

La tension V_0 doit être supérieure à V_{Tn} pour que T_1 conduisent.

La caractéristique tension – fréquence du VCO est la suivante:



Cette caractéristique sature au dessus d'environ $(V_{DD} - V_{Tp} + V_{Tn})$ à cause de la tension V_{SG} nécessaire aux transistors PMOS du miroir de courant pour fonctionner.

Dans la zone linéaire de la caractéristique, le "gain" du VCO est donné par:

$$K_O = \frac{d\omega_{OSC}}{dV_0} = \frac{2\pi}{V_{DD} \cdot R_1 \cdot C}$$

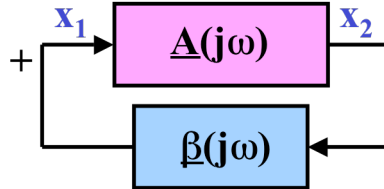
En conclusion, on a deux constantes de temps, R_1C et R_2C , pour déterminer deux paramètres du VCO, f_0 et K_O .

5. VCO A OSCILLATEUR LC

5.1 L'OSCILLATEUR LC VU COMME UNE BOUCLE A REACTION POSITIVE

5.1.1 Principe de base

Un oscillateur sinus peut être considéré comme un circuit en réaction positive:



Ce système bouclé est le siège d'une oscillation sinusoïdale entretenue (amplitude constante) de pulsation ω_{OSC} , si la condition de Barkhausen est satisfaite:

$$\underline{A}(j\omega_{OSC}) \cdot \underline{\beta}(j\omega_{OSC}) = 1$$

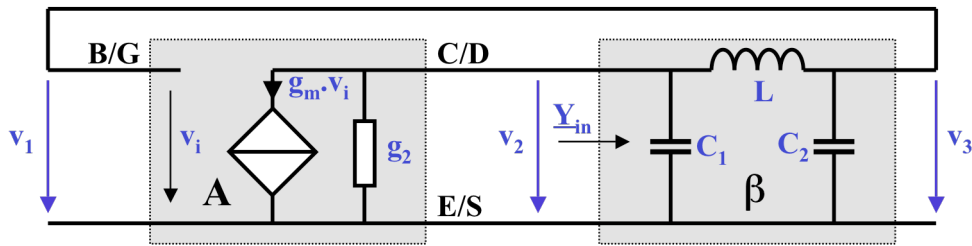
Les deux conditions pour que l'oscillation démarre sont:

$$\arg(\underline{A}(j\omega_{OSC}) \cdot \underline{\beta}(j\omega_{OSC})) = 0 \quad \text{et} \quad |\underline{A}(j\omega_{OSC}) \cdot \underline{\beta}(j\omega_{OSC})| > 1$$

Dans la pratique, β est un circuit LC présentant une résonance marquée qui va fixer la fréquence d'oscillation, et A un dispositif actif, le plus souvent une transconductance, qui va permettre le démarrage puis l'entretien de l'oscillation, en fournissant le gain en puissance qui compense les inévitables pertes dans les éléments passifs.

5.1.2 Oscillateur "Colpitts" et dérivés

Le schéma de principe de l'oscillateur "Colpitts" est le suivant:



On peut écrire:

$$\underline{A}(j\omega) = \frac{V_2}{V_1} = -\frac{g_m}{g_2 + \underline{Y}_{in}} \quad \text{avec:} \quad \underline{Y}_{in} = j\omega C_1 + \frac{1}{j\omega L + \frac{1}{j\omega C_2}} = j\omega C_1 + \frac{j\omega C_2}{1 - \omega^2 LC_2}$$

$$\underline{\beta}(j\omega) = \frac{V_3}{V_2} = -\frac{\frac{1}{j\omega C_2}}{j\omega L + \frac{1}{j\omega C_2}} = \frac{1}{1 - \omega^2 LC_2}$$

On en tire:

$$\underline{A}(j\omega) \cdot \underline{\beta}(j\omega) = -\frac{g_m}{g_2 \cdot (1 - \omega^2 LC_2) + j\omega \cdot (C_1 + C_2 - \omega^2 LC_1 C_2)}$$

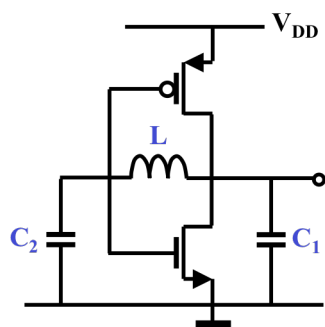
La pulsation possible d'oscillation à laquelle $\underline{A}\cdot\underline{\beta}$ est réelle (argument nul) est:

$$\omega_{OSC} = \frac{1}{\sqrt{L \frac{C_1 \cdot C_2}{C_1 + C_2}}}$$

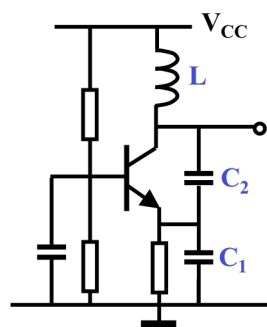
Le démarrage de l'oscillation est assuré si le gain de boucle $\underline{A}(j\omega_{OSC}) \cdot \underline{\beta}(j\omega_{OSC})$, qui doit être réel positif, a une valeur supérieure à 1, ce qui implique:

$$\frac{g_m}{g_2} > \frac{C_2}{C_1}$$

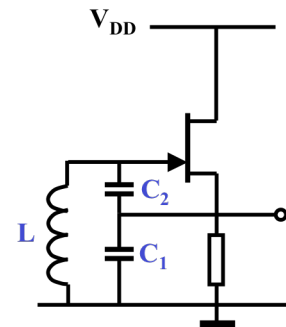
La transconductance g_m peut être un simple transistor bipolaire, JFET ou MOS. N'importe lequel des trois nœuds E/S, B/G ou C/D du schéma "petits signaux" précédent peut être la masse du circuit. Les trois schémas simplifiés ci-dessous sont des exemples de réalisation pratique.



MOS en Source Commune



NPN en Base Commune



JFET en Drain Commun

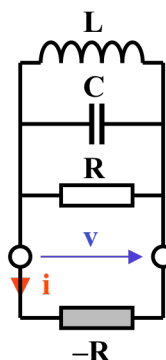
On peut montrer aisément que les conditions d'oscillation sont aussi satisfaites si, dans la structure "Colpitts", on remplace l'inductance par un circuit LC série (oscillateur "Clapp"), ou encore par un quartz. Une autre variante consiste à remplacer L par une capacité, et C_1 et C_2 par des inductances, ou une seule inductance avec prise intermédiaire (oscillateur "Hartley").

Il existe un nombre considérable de réalisations finales possibles suivant le principe et le type de transistor(s) utilisés, la polarisation, ainsi que le point d'extraction du signal.

5.2 L'OSCILLATEUR LC VU COMME UN RESONNATEUR ASSOCIE A UNE RESISTANCE NEGATIVE

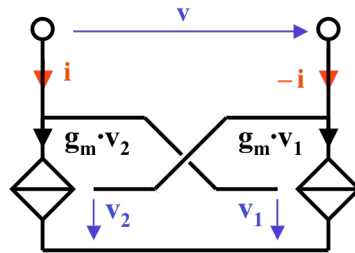
5.2.1 Principe de base

Un circuit accordé LC parallèle peut être le siège d'une oscillation entretenue si les pertes d'énergie, que l'on modélise par une résistance parallèle, sont compensées par un circuit actif, équivalent à une résistance négative, égale à la résistance de perte et placée en parallèle sur celle-ci.



5.2.2 Réalisation de la résistance négative

Une résistance négative peut être réalisée de la façon suivante:



Ce circuit est décrit par les équations:

$$v = v_1 - v_2$$

$$g_m \cdot v_2 + g_m \cdot v_1 = 0 \quad \Rightarrow \quad v_1 = -v_2 = \frac{v}{2}$$

$$i = g_m \cdot v_2 = -g_m \cdot v_1 = -g_m \cdot \frac{v}{2}$$

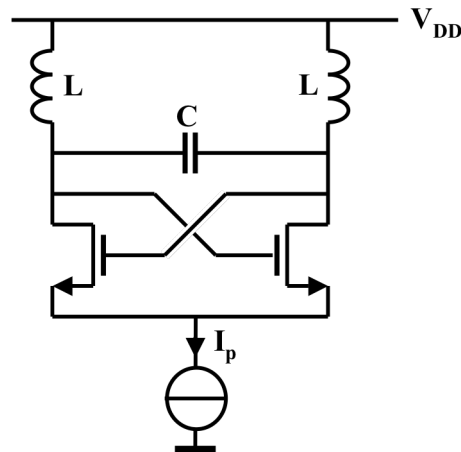
La résistance équivalente vaut donc:

$$R = \frac{v}{i} = -\frac{2}{g_m}$$

Les transconductances peuvent être réalisées avec des transistors MOS ou bipolaires.

5.2.3 Oscillateur LC symétrique à transistors MOS

Le schéma d'un tel oscillateur est le suivant:



Les deux transconductances sont réalisées avec une paire différentielle, dont la polarisation est assurée par la source de courant I_p .

Les deux inductances dans les drains sont nécessaires pour permettre le passage du courant de repos de chaque transistor. Elles sont souvent remplacées par une seule inductance avec une prise médiane reliée à V_{DD} .

Cette solution se prête bien à une intégration totale d'un oscillateur micro-ondes. A ces fréquences l'inductance nécessaire est alors assez faible pour être intégrée sous forme plane sans nécessiter trop de surface.

5.3 TRANSFORMATION DE L'OSCILLATEUR LC EN VCO

5.3.1 Principe de base

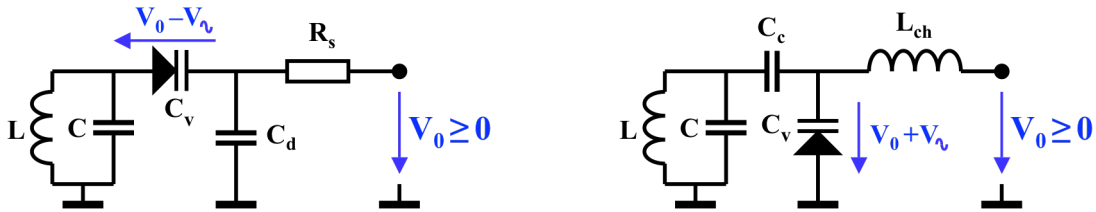
Pour commander la fréquence d'un oscillateur LC par une tension V_0 , on va faire varier la capacité globale d'accord du circuit LC résonnant en fonction de V_0 . Dans ce but, on utilise le plus souvent une diode polarisée en inverse, dont la capacité de jonction dépend de la tension inverse U_R selon la loi:

$$C_j = \frac{K}{(U_R + U_j)^n}$$

K est un paramètre dépendant de la géométrie de la diode, et n peut varier de 0.33 à 0.68 suivant les profils de dopage.

Les diodes optimisées pour cette application sont appelées "Varicap".

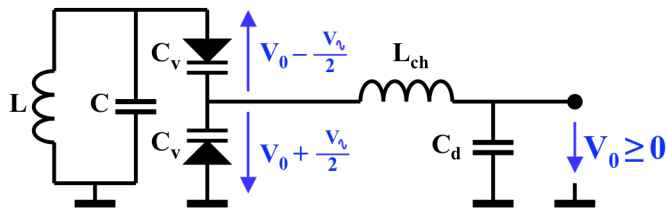
La façon d'utiliser la diode "Varicap" est illustrée par les deux schéma suivants:



Les capacités de couplage C_c et de découplage C_d doivent avoir une impédance minimum à la fréquence d'oscillation, pour se comporter comme des quasi court-circuits pour le signal oscillatoire. L'inductance dite "choke" L_{ch} doit avoir une impédance maximale à cette même fréquence, pour se comporter comme un quasi circuit ouvert pour le signal oscillatoire. Ainsi, pour les signaux à la fréquence d'oscillation, la capacité variable C_v de la "Varicap" se retrouve en parallèle sur le circuit résonnant LC.

Pour la composante continue, la tension inverse aux bornes de la "Varicap" est égale à V_0 .

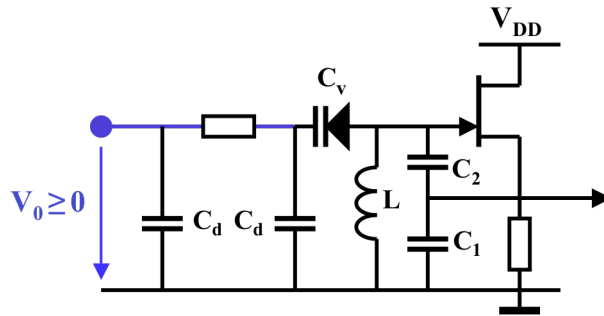
Une autre solution utilise deux diodes "Varicap" tête-bêche, selon le schéma suivant:



Pour les signaux à la fréquence d'oscillation, les deux capacités variables sont en série, donc leur effet est réduit de moitié. Cette solution a par contre l'avantage de supporter des tensions sinus supérieures et de générer moins de distorsion, car chaque diode est soumise à la moitié du signal oscillatoire, et en opposition de phase l'une par rapport à l'autre.

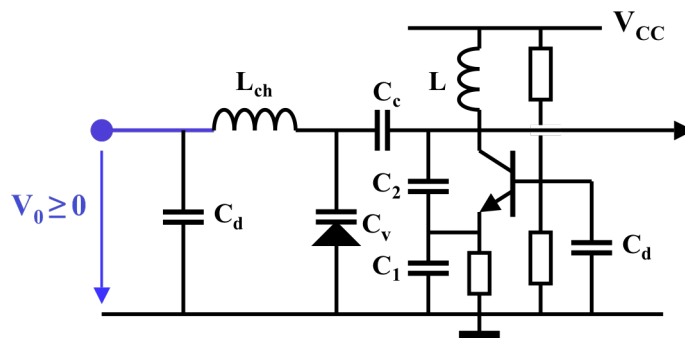
5.3.2 Exemple de VCO à FET

Le schéma de ce VCO est le suivant:



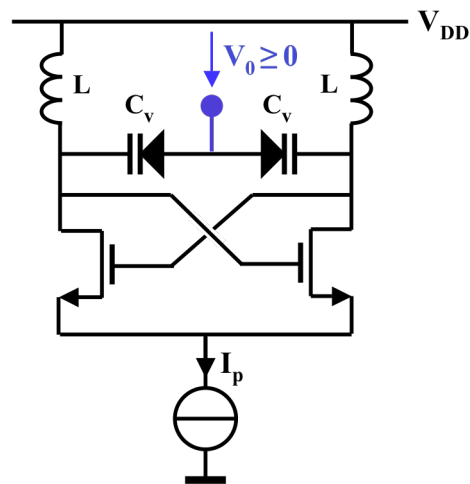
5.3.3 Exemple de VCO à transistor bipolaire

Le schéma de ce VCO est le suivant:



5.3.4 Exemple de VCO entièrement intégré en technologie MOS

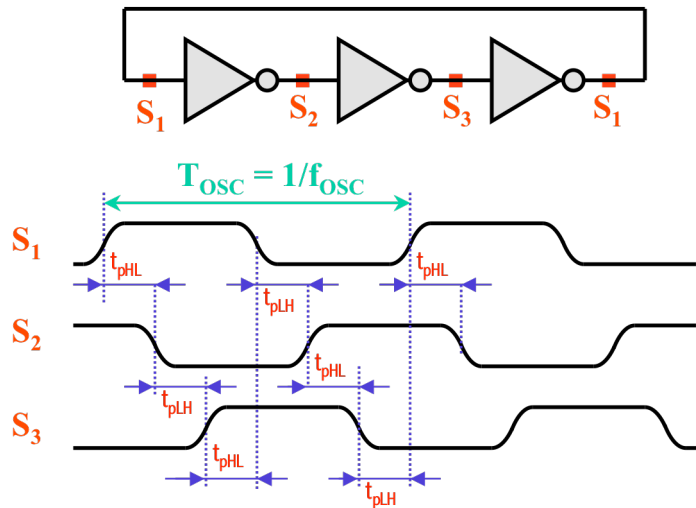
Le schéma de ce VCO est le suivant:



6. VCO A OSCILLATEUR EN ANNEAU

6.1 L'OSCILLATEUR EN ANNEAU

Le schéma de principe d'un oscillateur en anneau formé d'inverseurs logiques, ainsi que les signaux à la sortie de chaque étage, sont les suivants (exemple à trois étages):

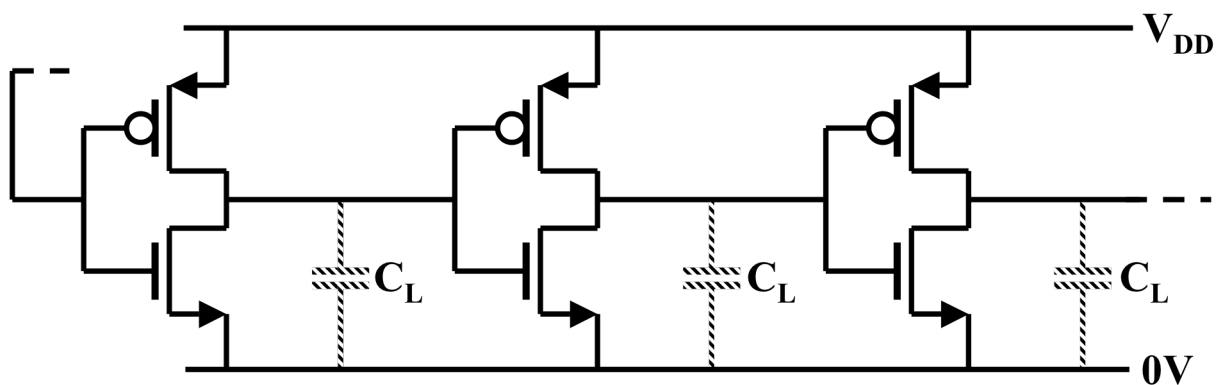


La fréquence d'oscillation est donnée par:

$$f_{osc} = \frac{1}{N \cdot (t_{pHL} + t_{pLH})} \quad \text{avec : } N \text{ entier impair } \geq 3$$

où t_{pHL} et t_{pLH} sont les temps de propagation de chaque inverseur, et N le nombre d'étages. Celui-ci doit être impair, sinon le circuit reste stable dans l'un des deux états possibles, et supérieur ou égal à trois, car un seul inverseur rebouclé sur lui-même est en général stable, polarisé dans sa zone de transition.

En technologie CMOS, le schéma, tout simple, est le suivant:

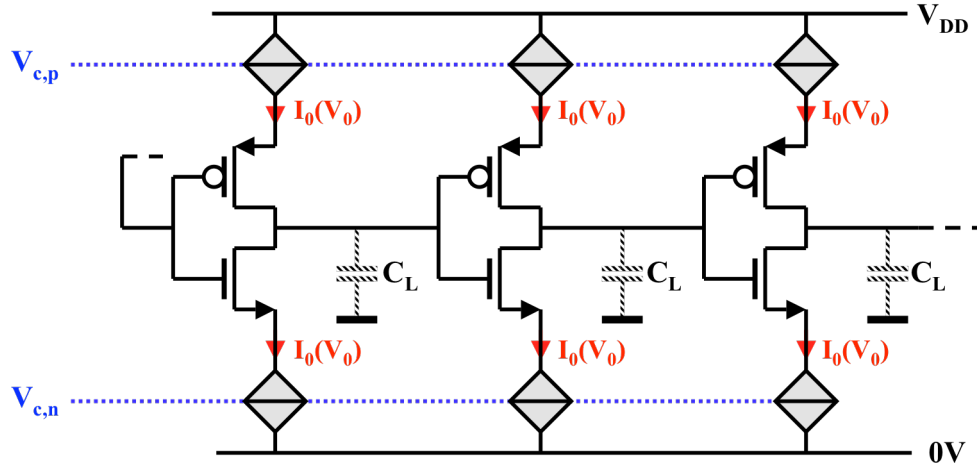


Les temps de propagation sont proportionnels à la capacité totale de charge C_L de chaque inverseur.

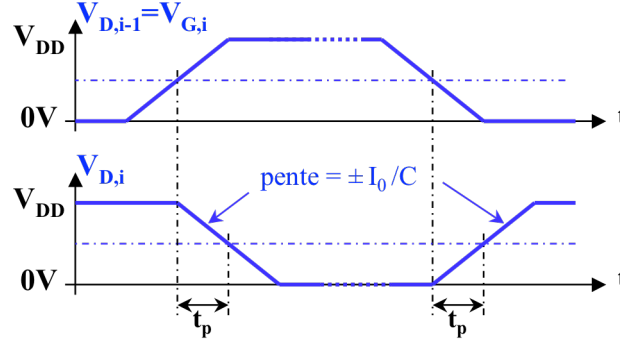
6.2 TRANSFORMATION DE L'OSCILLATEUR EN ANNEAU EN VCO

6.2.1 VCO à oscillateur en anneau "Current Starved"

Le principe dit "Current Starved" consiste à contrôler le courant de charge/décharge de la capacité C_L par des sources de courant, commandée par la tension V_0 , placées en série avec les transistors formant l'inverseur. Le schéma de principe est le suivant:



La charge et la décharge de C_L est alors linéaire, avec une pente $\pm I_0/C_L$. En considérant de façon très simplifiée, que les transistors sont de simples interrupteurs qui commutent lorsque leur potentiel de grille franchit le seuil $V_{DD}/2$, les potentiels de sortie des inverseurs ont alors l'allure simplifiée suivante:



Le temps de propagation moyen est de:

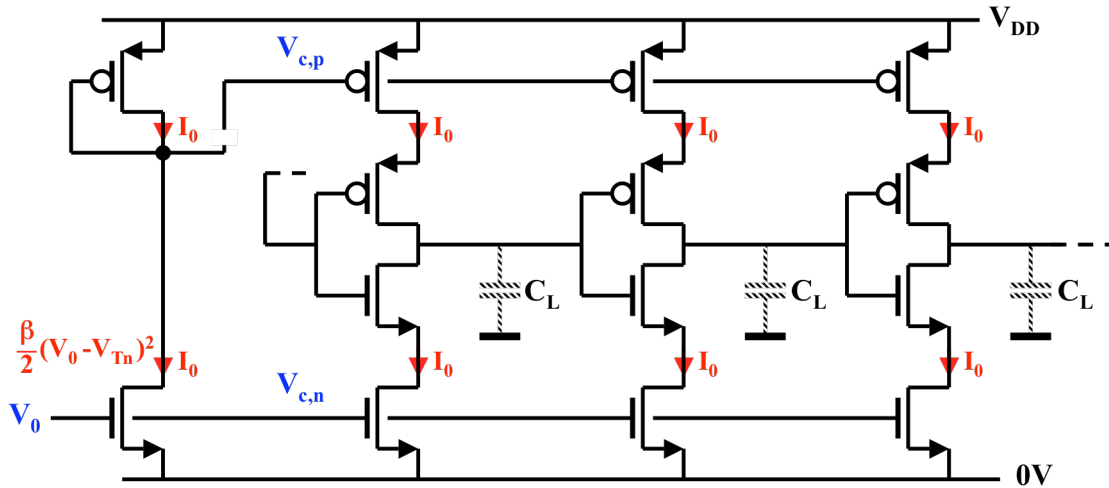
$$t_p = \frac{V_{DD}}{2} \cdot \frac{C_L}{I_0}$$

La fréquence d'oscillation dépend de I_0 selon la loi:

$$f_{OSC} = \frac{1}{2 \cdot N \cdot t_p} = \frac{I_0}{N \cdot C_L \cdot V_{DD}} \quad \text{avec : } N \text{ entier impair } \geq 3$$

Les sources de courant toutes égales peuvent être faites par deux miroirs de courant à sortie multiple. Le schéma à la page suivante illustre ce principe, avec une commande simple par la tension de contrôle V_0 .

Le schéma simplifié d'un VCO à oscillateur en anneau "Current Starved" est le suivant:



Le courant I_0 est donné par:

$$I_0 = \frac{\beta_n}{2} \cdot (V_0 - V_{Tn})^2$$

La fréquence d'oscillation est donnée par:

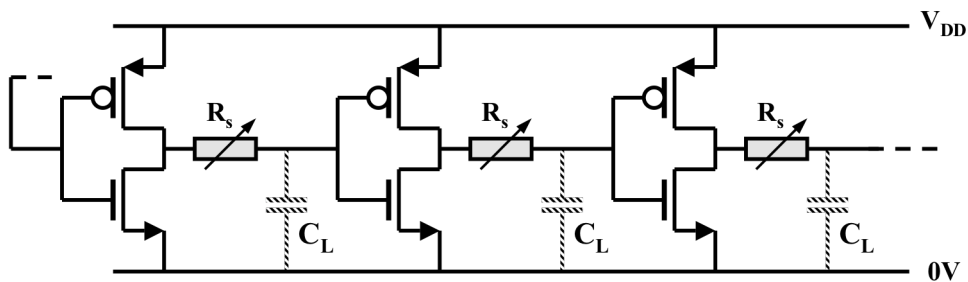
$$f_{OSC} = \frac{\beta_n}{2} \cdot \frac{(V_0 - V_{Tn})^2}{N \cdot C_L \cdot V_{DD}} \quad \text{avec : } N \text{ entier impair } \geq 3$$

Le "gain" du VCO autour d'une valeur de repos $V_{0,q}$ vaut:

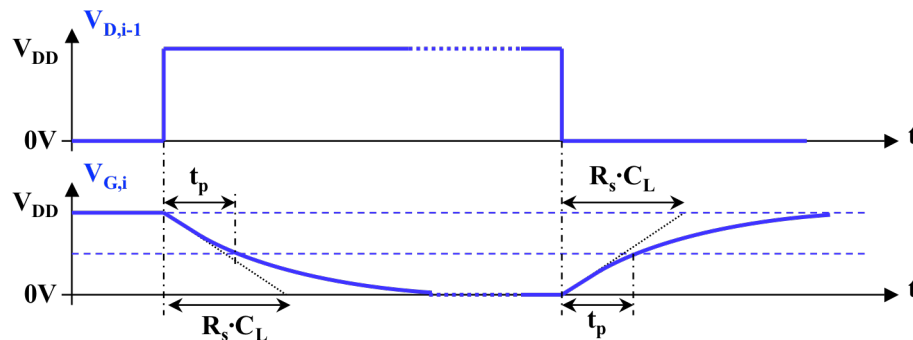
$$K_O = \frac{d\omega_{OSC}}{dV_0} = 2\pi \cdot \beta_n \cdot \frac{V_{0,q}}{N \cdot C_L \cdot V_{DD}} \quad \text{avec : } N \text{ entier impair } \geq 3$$

6.2.2 VCO à oscillateur en anneau à résistance série contrôlée

Le principe consiste à insérer une résistance série à la sortie de chaque inverseur pour ralentir la charge/décharge de la capacité C_L qui est principalement composée de la capacité des grilles de l'étage suivant. Le schéma de principe est le suivant:



En considérant de façon très simplifiée, que les transistors sont de simples interrupteurs avec une résistance $r_{on} \ll R_s$, les potentiels des drains et des grilles alors l'allure simplifiée suivante:



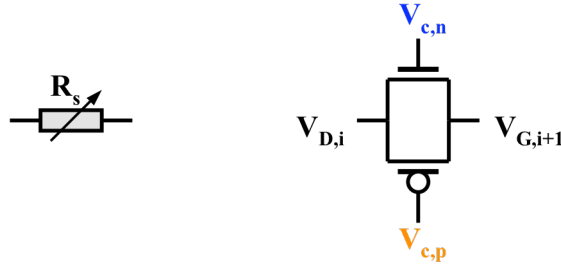
Le temps de propagation moyen est de:

$$t_p = R_s \cdot C_L \cdot \ln 2$$

La fréquence d'oscillation dépend de I_0 selon la loi:

$$f_{OSC} = \frac{1}{2 \cdot N \cdot t_p} = \frac{1}{N \cdot R_s \cdot C_L \cdot \ln 2} \quad \text{avec : } N \text{ entier impair } \geq 3$$

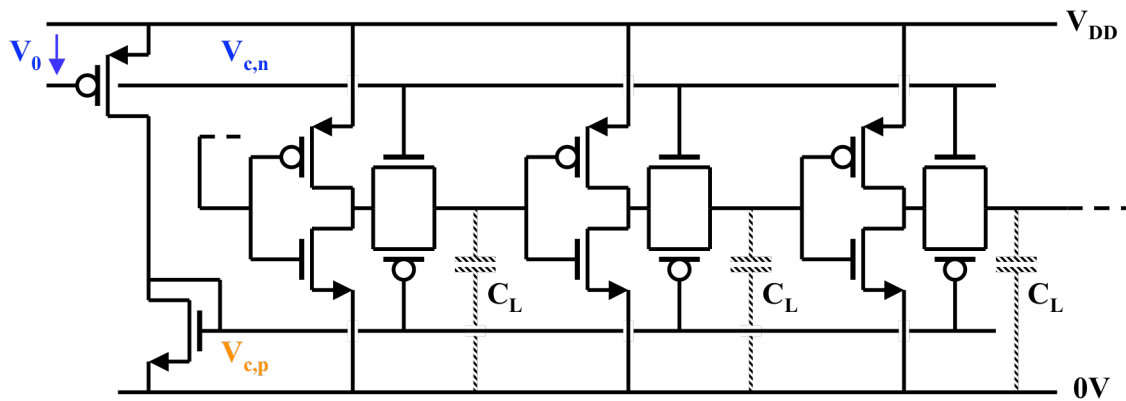
Chaque résistance série variable peut être réalisée selon le schéma suivant:



La résistance équivalente est donnée par (cours Structures analogiques, Prof. M. Kayal):

$$R_s = \frac{1}{\beta_n \cdot (V_{c,n} - V_{Tn} - V_{in}) + \beta_p \cdot (V_{in} - V_{c,p} - V_{Tp})}$$

Le principe d'une commande simple R_s par la tension de contrôle V_0 est illustré par le schéma suivant:



Si $V_{Tn} \approx V_{Tp} = V_T$ et $\beta_n \approx \beta_p = \beta$, la fréquence d'oscillation est donnée par:

$$f_{OSC} = \frac{\beta \cdot (2 \cdot V_0 - 2 \cdot V_T - V_{DD})}{2 \cdot N \cdot C_L \cdot \ln 2} \quad \text{avec : } N \text{ entier impair } \geq 3$$

Le "gain" du VCO vaut:

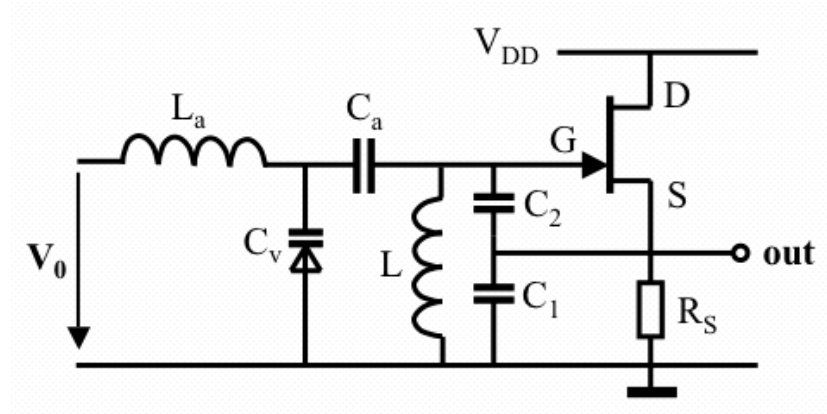
$$K_O = \frac{d\omega_{OSC}}{dV_0} = 2\pi \cdot \beta \cdot \frac{1}{N \cdot C_L \cdot \ln 2} \quad \text{avec : } N \text{ entier impair } \geq 3$$

6.2.3 Caractéristiques des VCOs à oscillateur en anneau à inverseurs CMOS

- Totalement intégrables en technologies CMOS numériques avancées.
- Grande souplesse dans le choix de la gamme de fréquence par simple changement du nombre d'étages.
- Amplitude de sortie (sur les drains) constante en fonction de la fréquence.
- Relation approximativement linéaire entre la tension de contrôle et la fréquence.
- En pratique, rapport de plus de 2 décades entre $f_{\text{OSC,min}}$ et $f_{\text{OSC,max}}$.

VCO LC à diode varicap

Soit l'oscillateur LC ci-dessous, dont la fréquence est commandée en tension :



transistor FET : $I_D = I_{DSS} \cdot (1 + V_{GS}/V_p)^2$ avec : $I_{DSS} = 5 \text{ mA}$ $V_p = 3 \text{ V}$

diode varicap : $C_v = K \cdot (U_j + V_R)^{-1/2}$ avec : $K = 22 \text{ pF} \cdot \text{V}^{1/2}$

tension de contrôle : $0.5 \text{ V} \leq V_0 \leq 4.5 \text{ V}$

$L = 1.5 \mu\text{H}$ $C_1 = 33 \text{ pF}$ $C_2 = 10 \text{ pF}$

$R_S = 1 \text{ k}\Omega$ $L_a = 100 \mu\text{H}$ $C_a = 2.2 \text{ nF}$

a) Point de repos.

Déterminer le courant de repos dans le FET ainsi que la transconductance g_m correspondante.

b) Schéma petit signaux.

Etablir le schéma petit signaux, en supposant, qu'à la fréquence d'oscillation l'impédance de C_a est négligeable et que celle de L_a est très grande, par rapport à celle de C_v .

Montrer que l'on peut faire apparaître un oscillateur à la structure Colpitts.

c) Fréquence d'oscillation.

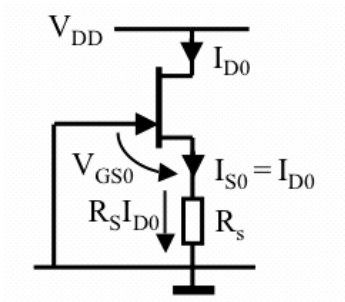
Etablir la relation entre la fréquence d'oscillation f_{osc} et la tension de commande V_0 . Déterminer les fréquences minimale et maximale.

Etablir la relation entre le gain K_{VCO} du VCO et la tension de commande V_0 . Déterminer les valeurs minimale et maximale de K_{VCO} , ainsi que sa valeur autour de $f_{osc,0} = 27.5 \text{ MHz}$

Vérifier que la condition de démarrage des oscillations est satisfaite.

a) Courant de repos I_{D0} et transconductance g_m .

Le schéma en courant continu est le suivant :



$$I_{D0} = I_{DSS} \cdot \left(1 + \frac{V_{GS0}}{V_p}\right)^2 \quad \text{et} \quad V_{GS0} = -R_S \cdot I_{D0}$$

$$\frac{-V_{GS0}}{R_S} = I_{DSS} \cdot \left(1 + \frac{2V_{GS0}}{V_p} + \frac{V_{GS0}^2}{V_p^2}\right)$$

$$\frac{-V_{GS0}}{R_S \cdot I_{DSS}} = 1 + \frac{2V_{GS0}}{V_p} + \frac{V_{GS0}^2}{V_p^2}$$

$$\frac{1}{V_p^2} \cdot V_{GS0}^2 + \left(\frac{2}{V_p} + \frac{1}{R_S \cdot I_{DSS}}\right) \cdot V_{GS0} + 1 = 0$$

$$V_{GS0}^2 + \left(2V_p + \frac{V_p^2}{R_S \cdot I_{DSS}}\right) \cdot V_{GS0} + V_p^2 = 0$$

Avec les valeurs numériques donnés :

$$V_{GS0}^2 + 7.8 \cdot V_{GS0} + 9 = 0 \quad \text{solutions : } V_{GS0} = -6.4 \text{ et } -1.4$$

L'unique solution valable est celle comprise entre $-V_p$ et 0 :

$$V_{GS0} = -1.4 \text{ V} \quad \text{et donc} \quad I_{D0} = 1.4 \text{ mA}$$

La transconductance vaut :

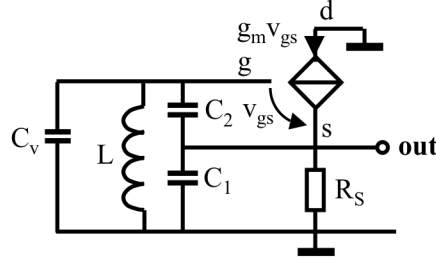
$$g_m = \frac{dI_D}{dV_{GS}} = \frac{2 \cdot I_{DSS}}{V_p} \cdot \left(1 + \frac{V_{GS0}}{V_p}\right) = 1.8 \text{ mA/V}$$

b) Schéma petits signaux

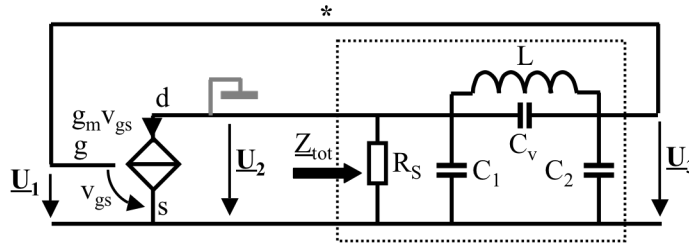
Pour des fréquences autour de 27.5 MHz :

$$1/\omega C_a = 2.6 \, \Omega \ll \omega L = 260 \, \Omega \ll \omega L_a = 17 \, \text{k}\Omega$$

Sur le schéma pour petits signaux à cette fréquence, C_a est un court-circuit et L_a un circuit ouvert :



Ce schéma peut aussi être représenté ainsi, ce qui rappelle la structure Colpitts :



En ouvrant la boucle en *, on peut établir la fonction de transfert en boucle ouverte :

$$\underline{H}(j\omega) = \frac{\underline{U}_3}{\underline{U}_1} = \frac{\underline{U}_2}{\underline{U}_1} \cdot \frac{\underline{U}_3}{\underline{U}_2} = -g_m \cdot \underline{Z}_{\text{tot}} \cdot \frac{\underline{Z}_{C2}}{\underline{Z}_{C2} + (\underline{Z}_{Cv} \parallel \underline{Z}_L)}$$

$$\underline{H}(j\omega) = -g_m \cdot (R_S \parallel \underline{Z}_{C1} \parallel (\underline{Z}_{C2} + (\underline{Z}_{Cv} \parallel \underline{Z}_L))) \cdot \frac{\underline{Z}_{C2}}{\underline{Z}_{C2} + (\underline{Z}_{Cv} \parallel \underline{Z}_L)}$$

$$\underline{H}(j\omega) = -g_m \cdot \frac{1}{\frac{1}{R_S} + j\omega C_1 + \frac{1}{\frac{1}{\frac{1}{j\omega L} + j\omega C_v} + \frac{1}{j\omega C_2}}} \cdot \frac{1}{\frac{1}{j\omega L} + j\omega C_v + \frac{1}{j\omega C_2}}$$

$$\underline{H}(j\omega) = \frac{-g_m}{\frac{1}{R_S} + j\omega C_1 + \frac{1}{\frac{j\omega L}{1 - \omega^2 LC_v} + \frac{1}{j\omega C_2}}} \cdot \frac{1}{\frac{j\omega L}{1 - \omega^2 LC_v} + \frac{1}{j\omega C_2}}$$

$$\underline{H}(j\omega) = \frac{-g_m}{\frac{1}{R_S} + j\omega C_1 + \frac{j\omega C_2 \cdot (1 - \omega^2 LC_v)}{1 - \omega^2 L(C_v + C_2)}} \cdot \frac{1 - \omega^2 LC_v}{1 - \omega^2 L(C_v + C_2)}$$

$$\underline{H}(j\omega) = \frac{-g_m R_S \cdot (1 - \omega^2 LC_v)}{1 - \omega^2 L(C_v + C_2) + j\omega R_S(C_1 + C_2) - j\omega^3 R_S L(C_v C_1 + C_2 C_1 + C_v C_2)}$$

$$\underline{H}(j\omega) = \frac{-g_m R_S \cdot (1 - \omega^2 L C_v)}{1 - \omega^2 L (C_v + C_2) + j\omega R_S (C_1 + C_2 - \omega^2 L (C_v C_1 + C_2 C_1 + C_v C_2))}$$

c) Fréquence d'oscillation

$$\arg \underline{H}(j\omega_{OSC}) = 0 \quad \text{si} \quad C_1 + C_2 - \omega_{OSC}^2 L (C_v C_1 + C_2 C_1 + C_v C_2) = 0$$

$$\omega_{OSC}^2 = \frac{C_1 + C_2}{L(C_v C_1 + C_2 C_1 + C_v C_2)} = \frac{1}{L \left(C_v + \frac{C_1 C_2}{C_1 + C_2} \right)}$$

$$f_{OSC} = \frac{\omega_{OSC}}{2\pi} = \frac{1}{2\pi \sqrt{LC}} \quad \text{avec : } C = C_v + \frac{C_1 C_2}{C_1 + C_2}$$

On peut aussi reprendre directement les résultats du circuit Colpitts classique:

$$\omega_{OSC}^2 = \frac{1}{L_{equ} \frac{C_1 C_2}{C_1 + C_2}}$$

avec une inductance L_{equ} dont l'admittance (imaginaire négative) est égale à celle de l'inductance L du circuit (imaginaire négative) plus celle de C_v (imaginaire positive) en parallèle sur L .

$$\frac{1}{j\omega L_{equ}} = \frac{1}{j\omega L} + j\omega C_v \quad \Rightarrow \quad L_{equ} = \frac{L}{1 - \omega^2 L C_v}$$

$$\omega_{OSC}^2 = \frac{1}{\frac{L}{1 - \omega_{OSC}^2 L C_v} \cdot \frac{C_1 C_2}{C_1 + C_2}} = \frac{1 - \omega_{OSC}^2 L C_v}{L \cdot \frac{C_1 C_2}{C_1 + C_2}}$$

$$\omega_{OSC}^2 L \frac{C_1 C_2}{C_1 + C_2} = 1 - \omega_{OSC}^2 L C_v$$

$$\omega_{OSC}^2 L \left(C_v + \frac{C_1 C_2}{C_1 + C_2} \right) = 1$$

$$\omega_{OSC}^2 = \frac{1}{L \left(C_v + \frac{C_1 C_2}{C_1 + C_2} \right)}$$

La diode varicap est polarisée en inverse à la tension V_0 , la capacité de jonction varie selon la loi :

$$C_v = \frac{K}{\sqrt{U_j + V_0}}$$

$$\omega_{OSC} = \left[L \left(C_v + \frac{C_1 C_2}{C_1 + C_2} \right) \right]^{-1/2} = \left[L \left(K(U_j + V_0)^{-1/2} + \frac{C_1 C_2}{C_1 + C_2} \right) \right]^{-1/2} \quad \text{courbe page suivante}$$

Le "gain" du VCO vaut :

$$K_{VCO} = \frac{d\omega_{OSC}}{dV_0} = \frac{-1}{2} \left[L \left(K(U_j + V_0)^{-1/2} + \frac{C_1 C_2}{C_1 + C_2} \right) \right]^{-3/2} \cdot \frac{-1}{2} L K (U_j + V_0)^{-3/2}$$

$$K_{VCO} = \frac{LK}{4} \left[(U_j + V_0) L \left(K(U_j + V_0)^{-1/2} + \frac{C_1 C_2}{C_1 + C_2} \right) \right]^{-3/2} \quad \text{courbe 2 pages plus loin}$$

Pour $V_{0,min} = 0.5 \text{ V}$ $f_{OSC,min} = 24.5 \text{ MHz}$ et $K_{VCO,max} = 23 \cdot 10^6 \text{ rad/sV}$.

Pour $V_{0,max} = 4.5 \text{ V}$ $f_{OSC,max} = 31.2 \text{ MHz}$ et $K_{VCO,min} = 5.2 \cdot 10^6 \text{ rad/sV}$.

Pour obtenir $f_{OSC,0} = 27.5 \text{ MHz}$, soit $\omega_{OSC,0} = 2\pi \cdot 27.5 \cdot 10^6 \text{ rad/s}$, il faut :

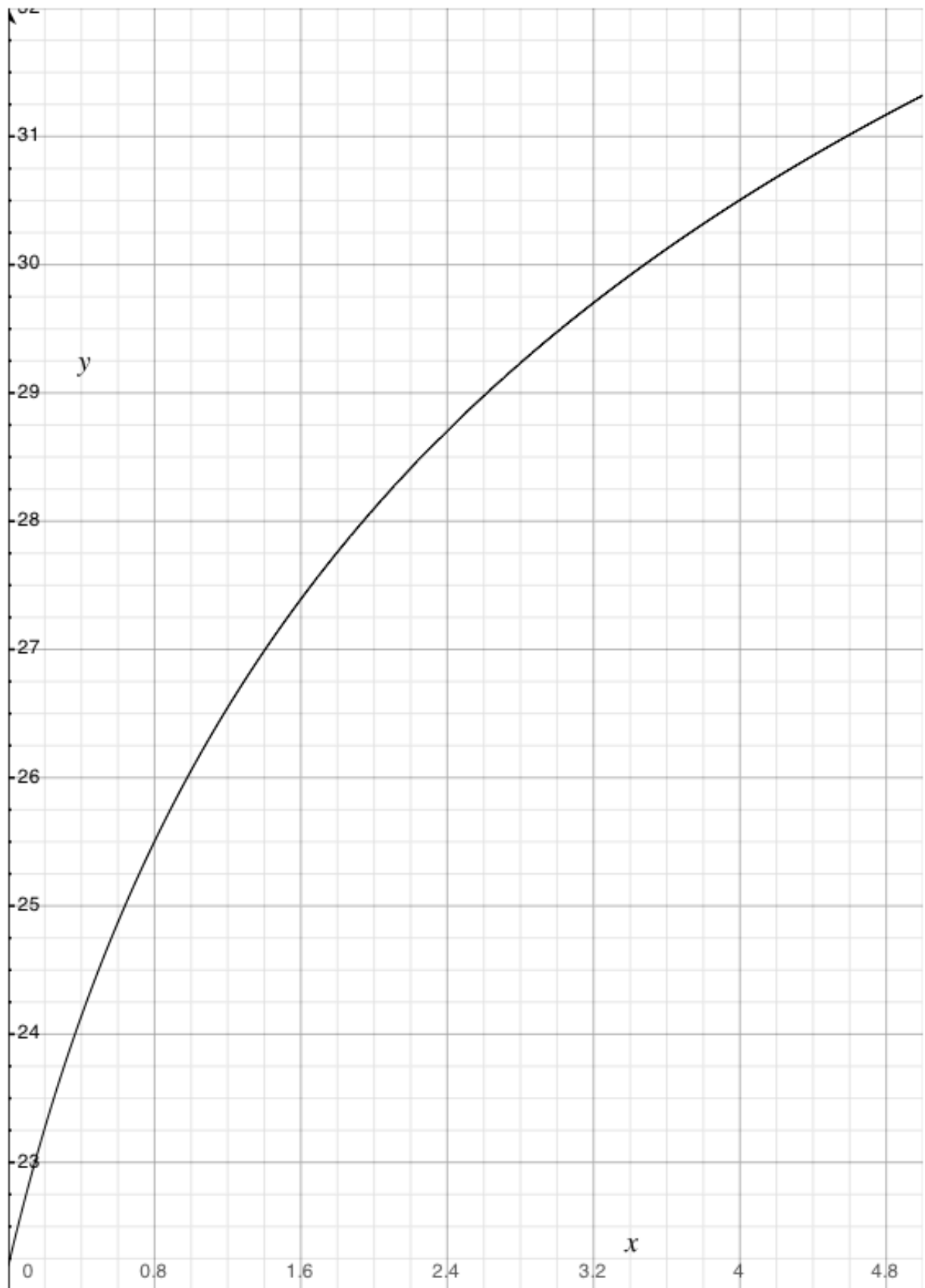
$$C = \frac{1}{\omega_{OSC,0}^2 L} = 22.3 \text{ pF} \Rightarrow C_v = C - \frac{C_1 C_2}{C_1 + C_2} = 14.3 \text{ pF} \Rightarrow V_0 = \frac{K^2}{C_v^2} - U_j \approx 1.7 \text{ V}$$

Pour $V_0 \approx 1.7 \text{ V}$ $f_{OSC,0} \approx 27.5 \text{ MHz}$ et $K_{VCO} \approx 12 \cdot 10^6 \text{ rad/sV}$.

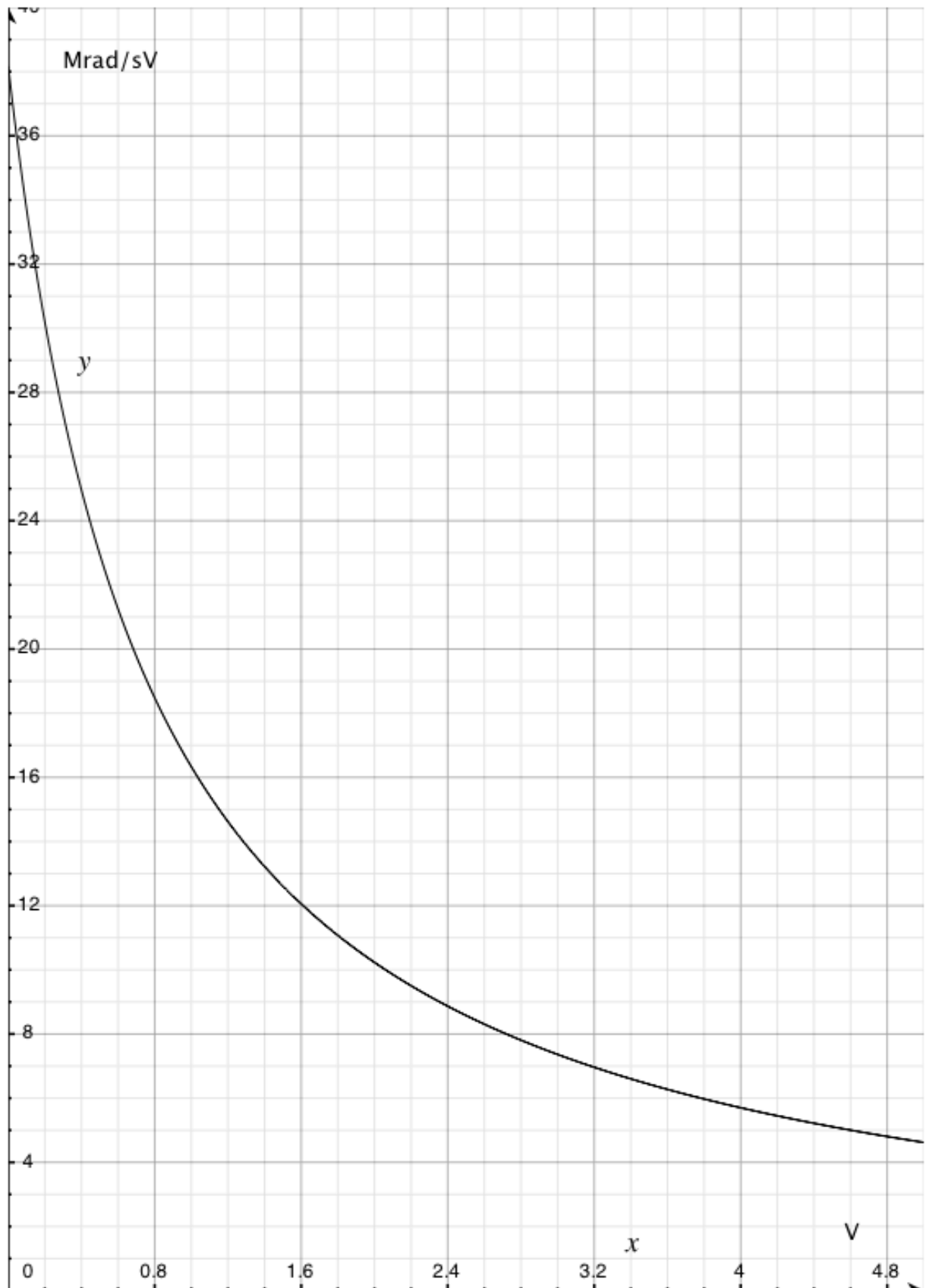
A la pulsation d'oscillation, le gain en boucle ouverte vaut :

$$\underline{H}(j\omega_{OSC}) = \frac{-g_m R_S \cdot (1 - \omega_{OSC}^2 L C_v)}{1 - \omega_{OSC}^2 L (C_v + C_2)} = +g_m R_S \frac{C_1}{C_2} \approx 6$$

Ce gain supérieur à l'unité assure que l'oscillateur démarre.



Fréquence f_{osc} générée par le VCO en MHz en fonction de la tension de commande V_0 en Volts



"Gain" du VCO K_{VCO} en Mrad/sV en fonction de la tension de commande V_0 en Volts

SYNTHESE DE FREQUENCE A PLL

SYNTHESE DE FREQUENCE A PLL

	page
1. INTRODUCTION	1
2. SYNTHESE INDIRECTE A PLL	
2.1 PRINCIPE DE BASE	1
2.2 SYNTHESE A PREDIVISEUR	4
2.3 SYNTHESE A DIVISEUR FRACTIONNAIRE	7
2.4 MESURE DE PERFORMANCE D'UN SYNTHETISEUR DE FREQUENCE A PLL	9

SYNTHESE DE FREQUENCE A PLL

1. INTRODUCTION

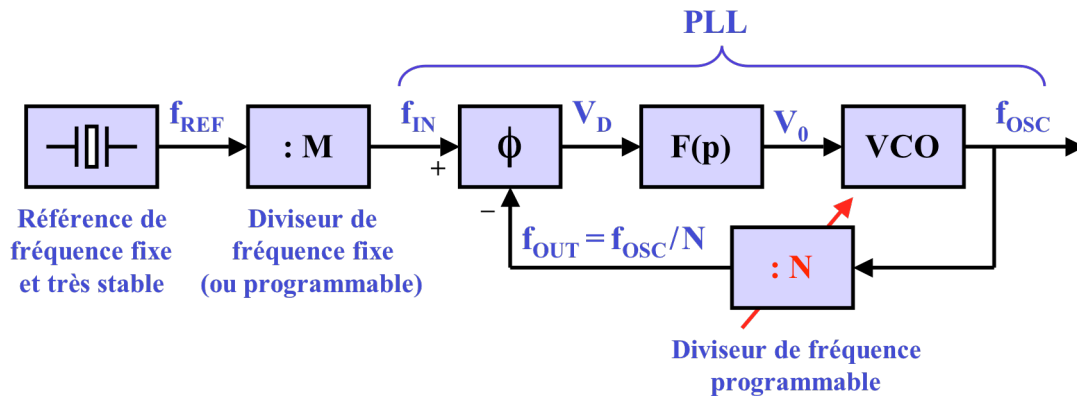
La synthèse de fréquence consiste à générer un signal, généralement sinusoïdal, dont la fréquence est programmable avec la meilleure précision possible. De tels signaux sont utilisés comme référence dans les systèmes d'émission-réception radio, et plus généralement dans les systèmes utilisant une modulation-démodulation.

Deux techniques sont généralement utilisées, la synthèse à base de PLL, dite synthèse indirecte, et la synthèse directe (DDS) exécutée de manière numérique.

2. SYNTHESE INDIRECTE A PLL

2.1 PRINCIPE DE BASE

La structure la plus simple est illustrée par la figure suivante:



Le principe est de réaliser une boucle PLL incluant un diviseur programmable dans la réaction, entre la sortie du VCO et l'entrée – du comparateur de phase. Cette structure de base est appelée multiplicateur de fréquence à PLL, car, lorsque la boucle est verrouillée:

$$f_{OUT} = \frac{f_{OSC}}{N} = f_{IN} \Rightarrow f_{OSC} = N \cdot f_{IN} \quad \text{avec } N \text{ entier}$$

La fréquence d'entrée de la PLL est obtenue par division d'une fréquence de référence donnée par un oscillateur à quartz:

$$f_{IN} = \frac{f_{REF}}{M} \quad \text{avec } M \text{ entier}$$

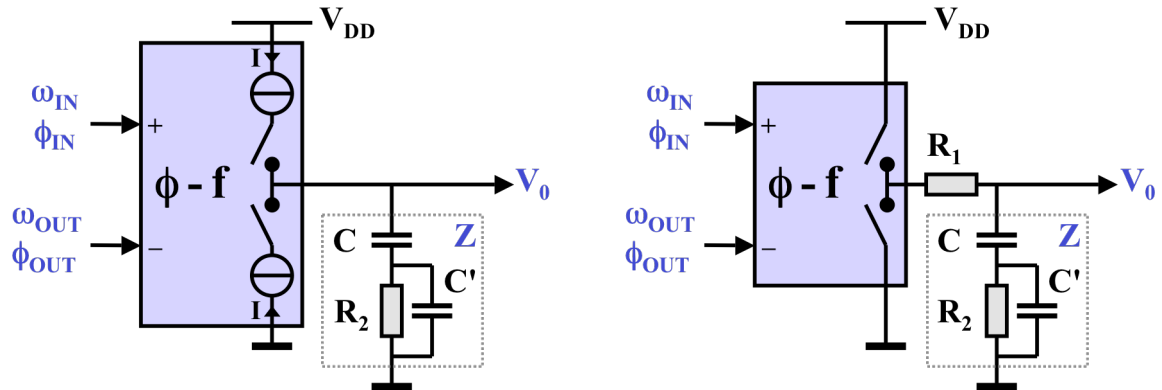
Donc, lorsque la PLL est verrouillée, on a:

$$f_{OSC} = \frac{N}{M} \cdot f_{REF} \quad \text{avec } M \text{ et } N \text{ entiers}$$

Si le facteur de division N est programmable par pas unitaires, la résolution de fréquence est:

$$\Delta f_{OSC} = \frac{f_{REF}}{M} \quad \text{avec } M \text{ entier}$$

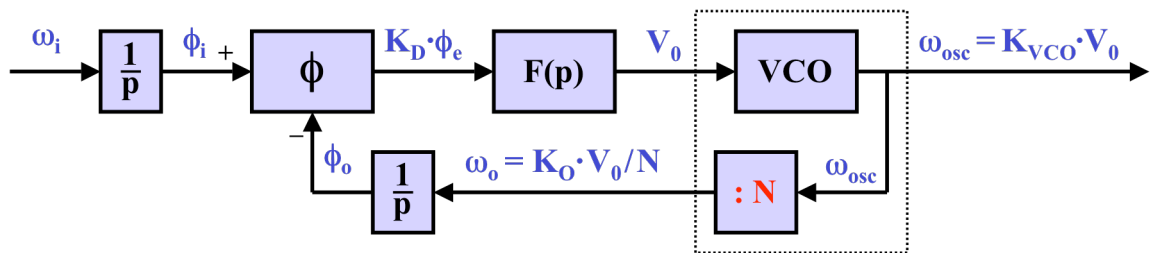
Dans la PLL d'un synthétiseur de fréquence, on utilise généralement un comparateur de phase-fréquence, le plus souvent avec une sortie à pompe de charge complète ou sa version simplifiée, toutes deux représentées ci-dessous.



Le "Lock Range" et le "Capture Range" sont alors égaux et maximums, déterminés par la dynamique en fréquence du VCO ou la dynamique de sortie du filtre (la plus petite des deux).

Dans les cas les plus courants, le filtre est du type intégrateur avec un zéro et un pôle secondaire, ce qui donne une PLL du 3^e ordre.

Le modèle linéaire de la boucle à verrouillage de phase est le suivant:



On peut reprendre toutes les résultats établis dans l'étude de la PLL en remplaçant simplement K_O par K_{VCO}/N . Les fonctions de transfert de cette boucle sont donc:

$$\text{"gain" de la PLL: } \frac{V_0(p)}{\omega_i(p)} = \frac{K_D \cdot F(p)}{p + K_D \cdot F(p) \cdot K_{VCO}/N} = \frac{N}{K_{VCO}} \cdot \frac{K_D \cdot F(p) \cdot K_{VCO}/N}{p + K_D \cdot F(p) \cdot K_{VCO}/N}$$

$$\text{rapport entré/sortie: } \frac{\omega_o(p)}{\omega_i(p)} = \frac{K_D \cdot F(p) \cdot K_{VCO}/N}{p + K_D \cdot F(p) \cdot K_{VCO}/N}$$

$$\text{fonction "d'erreur": } \frac{\phi_e(p)}{\phi_i(p)} = \frac{p}{p + K_D \cdot F(p) \cdot K_{VCO}/N}$$

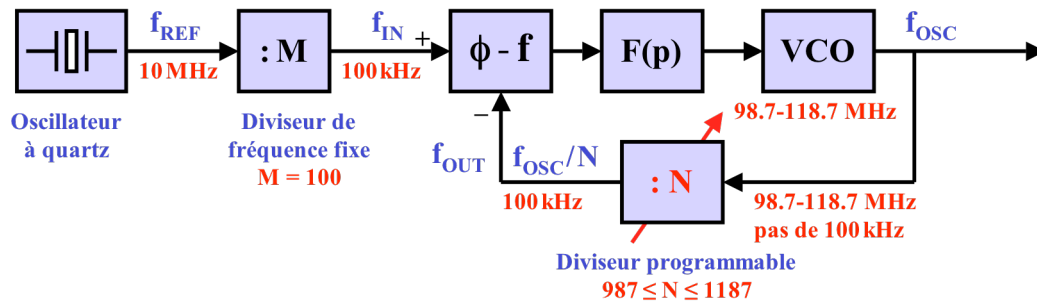
Le facteur de division programmable N a donc le même effet sur les paramètres de la PLL (stabilité, bande passante, amortissement) qu'une variation de K_O . Pour que le comportement de la boucle reste satisfaisant, sans modification du filtre en fonction de N , le rapport $N_{\max}/N_{\min}$ doit rester limité.

2.1.1 Exemple : oscillateur local d'un récepteur FM.

Synthèse de fréquence de 98.7 MHz à 118.7 MHz par pas de 100 kHz (200 fréquences).

Solution 1: synthèse à PLL simple

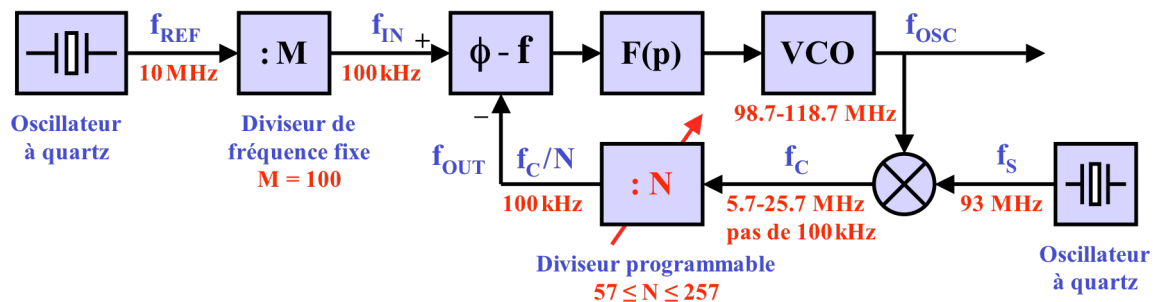
Le schéma de principe, avec les valeurs extrêmes des fréquences et du facteur de division, est le suivant:



L'élément critique, dans cette solution, est le diviseur programmable, dont la fréquence maximum d'entrée admissible doit être de 120 MHz ou plus.

Solution 2: changement de fréquence dans la boucle

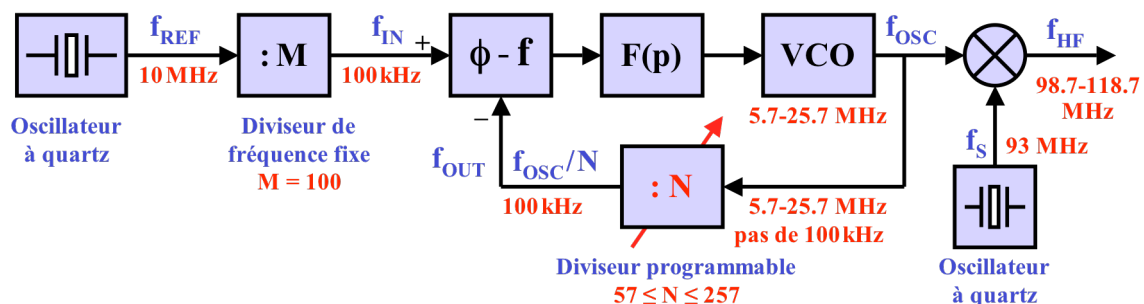
Pour abaisser la fréquence de travail du diviseur programmable, on effectue un changement de fréquence (mixing) entre le VCO et le diviseur. Le schéma de principe, avec les valeurs extrêmes des fréquences et du facteur de division, est le suivant:



Le facteur K_{VCO} est inchangé. Par contre, le rapport N_{max}/N_{min} est proche de 5, et $K_O = K_{VCO}/N$ varie dans les mêmes proportions. Avec un filtre fixe, le comportement transitoire de la boucle (amortissement et temps d'établissement) sera très différent selon la fréquence générée.

Solution 3: changement de fréquence hors de la boucle

On effectue la synthèse d'une fréquence plus basse que l'on transpose ensuite en HF par un changement de fréquence (mixing). Le schéma de principe, avec les valeurs extrêmes des fréquences et du facteur de division, est le suivant:

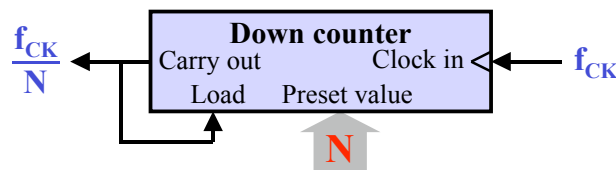


Le facteur K_{VCO} est toujours inchangé. Par contre, le rapport N_{max}/N_{min} est proche de 5, et $K_O = K_{VCO}/N$ varie dans les mêmes proportions. Avec un filtre fixe, le comportement transitoire de la boucle (amortissement et temps d'établissement) sera très différent selon la fréquence générée.

De plus, le VCO doit avoir une grande dynamique de fréquence, exigence qui peut être difficile à satisfaire avec les VCOs courants.

2.2 SYNTHÈSE A PRÉDIVISEUR

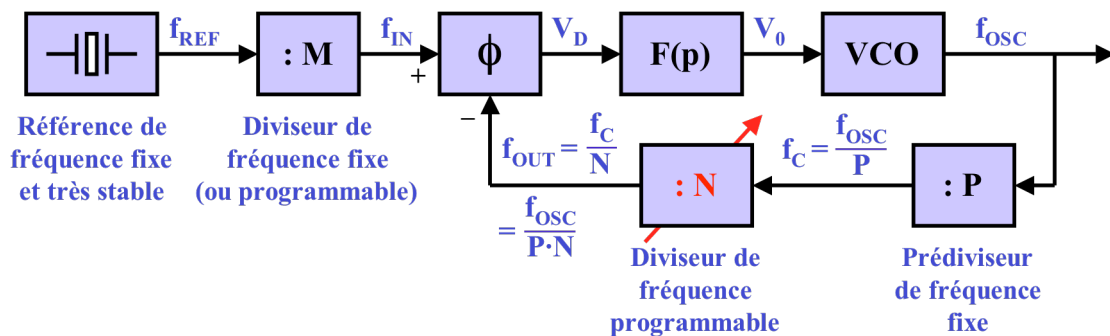
Comme on vient de le voir, lorsque la fréquence du VCO est très élevée (quelques centaines de MHz), il peut être très coûteux d'utiliser une technologie permettant la réalisation du diviseur programmable N capables de travailler à ces cadences élevées. En effet, les diviseurs programmables sont généralement réalisés sous forme d'un compteur à auto-rechargement, selon le schéma de principe suivant:



La limitation en fréquence provient surtout du temps de rechargement du facteur de division N lorsque l'état du compteur vaut zéro ou 1, suivant les modèles, (quelques dizaines de nanosecondes pour les circuits logiques CMOS standards).

2.2.1 Synthétiseur de fréquence à prédiviseur fixe.

Une variante du synthétiseur simple à PLL utilise un *prédiviseur* de fréquence par une valeur P fixe, placé entre le VCO et le diviseur de fréquence par N programmable. Le schéma de principe d'un synthétiseur à prédiviseur fixe est le suivant:



Lorsque la PLL est verrouillée, on a :

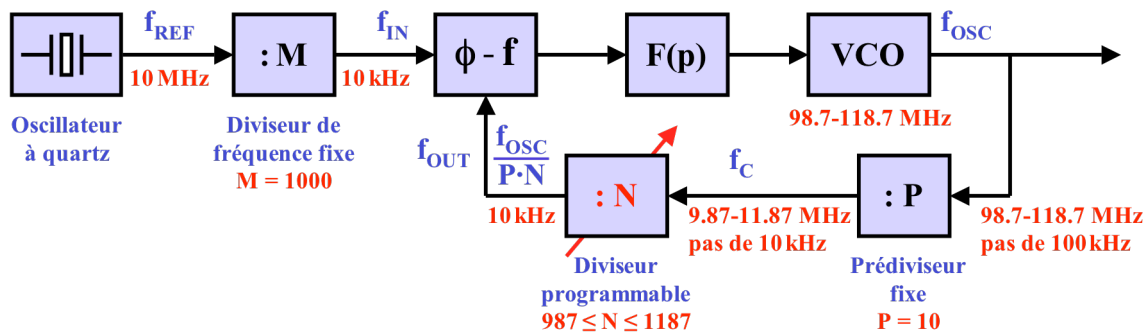
$$f_{OSC} = \frac{P \cdot N}{M} \cdot f_{REF} \quad \text{avec } M, N \text{ et } P \text{ entiers}$$

Si le facteur de division N est programmable par pas unitaires, la résolution de fréquence est :

$$\Delta f_{OSC} = P \cdot \frac{f_{REF}}{M} = P \cdot f_{IN} \quad \text{avec } M \text{ et } P \text{ entiers}$$

Application à l'oscillateur local d'un récepteur FM (même exemple qu'en 2.1.1)

Le schéma de principe, avec les valeurs extrêmes des fréquences et du facteur de division, est le suivant:



C'est la meilleure solution dans ce cas précis.

Comme le montre l'expression de la résolution, et comme on le voit dans l'exemple précédent, le comparateur de phase, et donc la boucle de phase, travaille à une fréquence P fois inférieure à la résolution sur la fréquence générée. Ceci rend le dimensionnement du filtre de boucle très délicat du fait des contraintes suivantes:

- ♦ il est nécessaire de limiter la bande passante du filtre pour atténuer la composante parasite à f_{IN} provenant du détecteur de phase. En effet cette composante résiduelle provoque une modulation parasite de la fréquence générée;
- ♦ avec un amortissement correct voisin de 1, une plus faible bande passante du filtre de boucle entraîne une réduction de la bande passante de la PLL. Le temps verrouillage, lors d'un saut de fréquence important, et le temps d'établissement, lors d'un changement de fréquence sans perte de verrouillage, sont alors augmentés. En résumé, la réponse à un changement de la consigne N est plus lente.

Dans un synthétiseur à prédiviseur fixe, un compromis doit être adopté entre le temps de verrouillage et la résolution sur la fréquence générée. *Plus le pas de fréquence diminue, plus le temps de verrouillage augmente.*

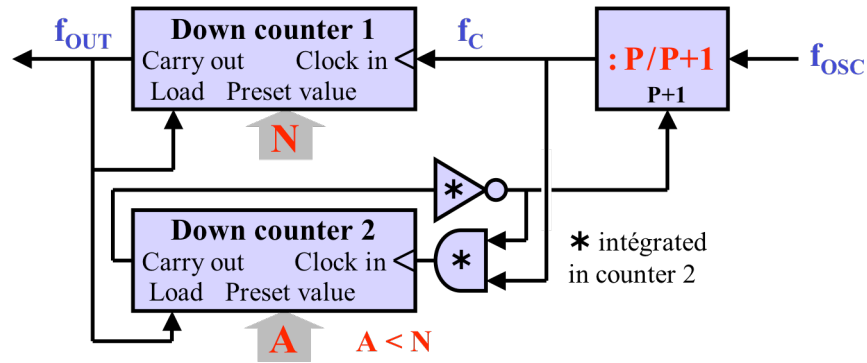
De plus, le bruit de phase du signal généré par multiplication de fréquence à PLL est d'autant plus important que le facteur de division de la boucle est élevé.

Ces problèmes peuvent être atténués par l'utilisation d'un prédiviseur à double modulo, capable de diviser par P ou par $P+1$, à la demande. Une gestion ingénieuse de cette capacité permet d'utiliser une fréquence f_{IN} égale à la résolution Δf_{OSC} , comme dans un synthétiseur sans prédiviseur, et donc de construire des synthétiseurs de fréquence à la fois agiles et à pas fin.

2.2.2 Synthétiseur de fréquence à prédiviseur à double modulo.

Un prédiviseur à double modulo est capable de diviser sa fréquence d'entrée soit par P , soit par $P+1$, suivant l'état d'une entrée de contrôle du modulo. On trouve sur le marché de nombreux circuits-intégrés accomplissant cette fonction (division par 10/11, 16/17, 20/21, 32/33, 64/65, 128/129, etc.). Certains fonctionnent jusqu'à des fréquences de plusieurs GHz.

Ce prédiviseur à double modulo est utilisé dans une structure à deux compteurs programmables dont le schéma est le suivant:



Une période T_{OUT} est formée de N périodes T_C . Durant les A premières périodes T_C , f_{OSC} est prédivisée par $P+1$, donc $T_C = (P+1) \cdot T_{OSC}$. Durant les $(N-A)$ périodes T_C restantes, f_{OSC} est prédivisée par P , donc $T_C = P \cdot T_{OSC}$. Finalement, T_{OUT} vaut:

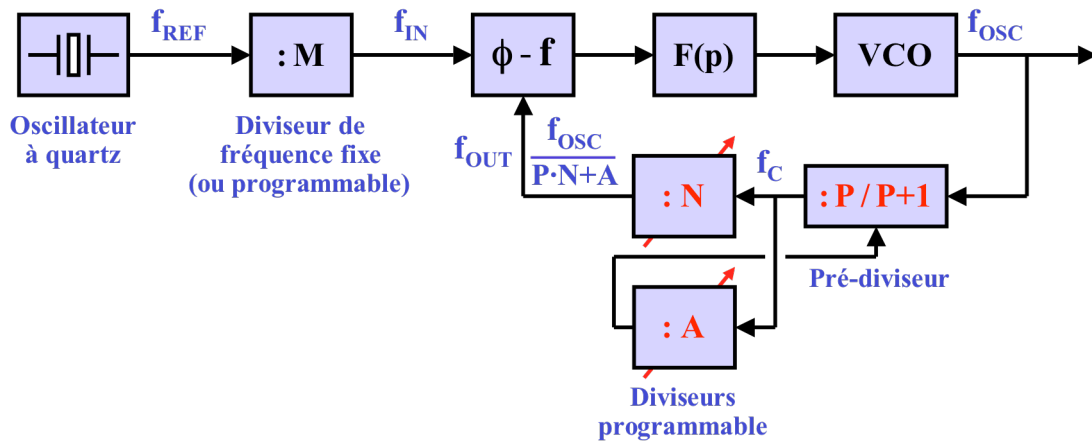
$$T_{OUT} = A \cdot (P+1) \cdot T_{OSC} + (N-A) \cdot P \cdot T_{OSC} = (N \cdot P + A) \cdot T_{OSC} \quad \text{avec : } A < N$$

En fréquence, cela donne la relation:

$$f_{OUT} = \frac{f_{OSC}}{N \cdot P + A} \quad \text{avec : } A < N$$

On constate qu'il est ainsi possible d'avoir un facteur de division programmable par pas de 1, et non plus de P , comme c'est le cas avec un diviseur simple à prédiviseur fixe.

Le schéma de principe du synthétiseur avec prédiviseur à double modulo est le suivant:



Lorsque la PLL est verrouillée $f_{IN} = f_{OUT}$, et f_{OSC} est liée à f_{REF} par:

$$f_{OSC} = (N \cdot P + A) \cdot \frac{f_{REF}}{M} \quad \text{avec : } A < N$$

Si le facteur de division A est programmable par pas unitaires, la résolution de fréquence est:

$$\Delta f_{OSC} = \frac{f_{REF}}{M} = f_{IN} \quad \text{avec } M \text{ entier}$$

Lorsque la boucle de phase est verrouillée, $f_{OUT} = f_{IN} = f_{REF} = f_{CK}$, ce qui donne:

$$f_{OSC} = f_{REF} \cdot \left(P + \frac{K}{2^L}\right) \quad \text{avec } P, L \text{ et } K \text{ entiers et } K < 2^L$$

Le facteur de division f_{OSC}/f_{OUT} est fractionnaire, compris entre P et $P+1$.

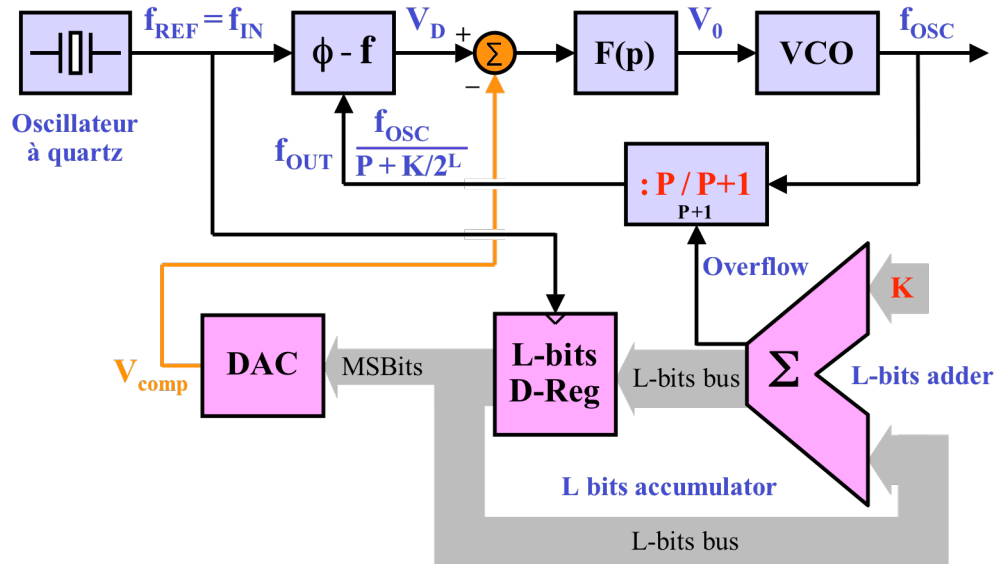
La résolution de fréquence est liée au nombre de bits de l'accumulateur par:

$$\Delta f_{OSC} = f_{REF} \cdot \frac{K}{2^L} \quad \text{avec } L \text{ et } K \text{ entiers et } K < 2^L$$

Avec ce principe, le facteur de division instantané vaut parfois P et parfois $P+1$. La fréquence instantanée du VCO saute entre $P \cdot f_{REF}$ et $(P+1) \cdot f_{REF}$. Tant que le facteur de division est P , le signal à la sortie du diviseur prend une avance de phase croissante, qui est brusquement annulée lors de la division par $(P+1)$. Ces erreurs de phase répétitives, de fréquence $f_{REF} \cdot K/2^L$, induisent à la sortie du comparateur de phase une composante parasite, dont les "restes", après le filtre de boucle, modulent le VCO en fréquence. Dans les cas où cet effet est gênant, il est possible de le réduire en utilisant une technique appelée *interpolation automatique de phase* ou en remplaçant l'accumulateur par un modulateur Σ - Δ numérique d'ordre élevé.

2.3.2 Synthétiseur à diviseur fractionnaire et interpolation automatique de phase (API)

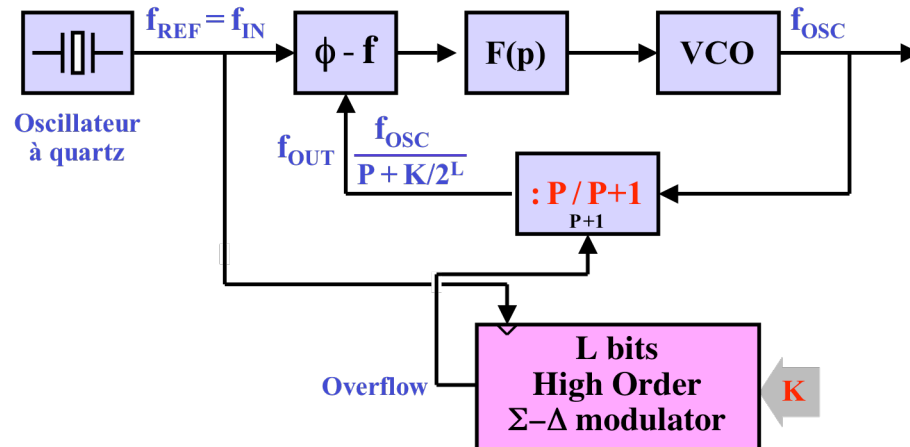
Le contenu numérique de l'accumulateur est une image de l'avance de phase du signal de sortie du diviseur par rapport à celui de référence. Puisque la sortie du détecteur de phase est une tension proportionnelle à l'erreur de phase, il est possible d'y injecter un signal de compensation produit par conversion A/N de l'état de l'accumulateur, comme illustré par le schéma suivant:



Cette technique permet d'abaisser le niveau des parasites à 70 dB en dessous du signal désiré à f_{OSC} . Sa complexité et son coût en font toutefois une technique réservée à des applications à hautes performances, telles que les équipements de test.

2.3.3 Synthétiseur à diviseur fractionnaire à contrôle $\Sigma-\Delta$

L'accumulateur est un modulateur $\Sigma-\Delta$ numérique d'ordre 1. En remplaçant celui-ci par un modulateur d'ordre plus élevé, l'erreur de phase va perdre son caractère périodique, pour être distribuée de façon aléatoire, avec un effet de "Noise Shapping", qui va réduire sa puissance dans les basses fréquences, celles que le filtre de boucle ne peut atténuer. Le schéma d'un tel synthétiseur est le suivant:



Cette solution, bien que complexe, est entièrement numérique, et peut être totalement intégrée dans une technologie CMOS actuelle, ce qui la rend finalement bien moins coûteuse que l'interpolation de phase.

2.4 MESURE DE PERFORMANCE D'UN SYNTHETISEUR DE FREQUENCE A PLL

La qualité d'un synthétiseur de fréquence se mesure au moyen de 4 paramètres.

2.4.1 Bruit de phase

Il s'agit de variations aléatoires de la phase du signal de sortie. Le bruit de phase se traduit par des bandes latérales (de bruit) autour de la fondamentale. Le bruit de phase contribue de ce fait au bruit global du signal transmis par le système qui utilise une telle porteuse ou horloge.

Si le signal idéal est donné par:

$$v(t) = A_0 \cdot \sin(\omega \cdot t)$$

Le signal réel est:

$$v(t) = (A_0 + \varepsilon(t)) \cdot \sin(\omega_0 \cdot t + \phi_n(t))$$

Le bruit $\varepsilon(t)$ en amplitude peut être éliminé par écrêtage, tandis que $\phi_n(t)$ correspond à une incertitude sur la phase, qui se traduit dans le spectre par un élargissement du pied de la raie à la fréquence synthétisée.

Le bruit de phase est défini par:

$$L(f) = 10 \cdot \log\left(\frac{\text{Densité spectrale de Puissance hors porteuse}}{\text{Puissance de la porteuse}}\right), \text{ exprimé en dBc/Hz}$$

2.4.2 Parasites (spurs)

Il s'agit de variations de phase déterministes, se traduisant dans le spectre par des raies parasites à des fréquences fixes distantes de la fréquence synthétisée. Dans le cas des systèmes radio, ces parasites réduisent la qualité du signal ou interfèrent avec d'autres signaux radio. Ils réduisent ainsi la sensibilité des récepteurs.

2.4.3 Erreurs de phase

Dans le cas de systèmes où une horloge est reconstituée à partir d'un signal (transmissions sérieuses, par exemple), des erreurs de phase peuvent apparaître sur les flancs de l'horloge reconstituée. Ces erreurs de phase peuvent être estimées à partir du bruit de phase et des parasites.

2.4.4 Temps de réponse

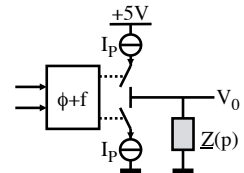
Il s'agit du temps entre un changement de la consigne et le moment où la fréquence du signal généré est égale à la fréquence souhaitée, à une certaine erreur près. Ce temps est essentiellement fonction de la bande passante et de l'amortissement de la PLL.

Synthétiseur de fréquence à PLL pour la bande CB à 27 MHz

En utilisant le VCO étudié dans l'exercice série 6, on veut réaliser un synthétiseur de fréquence pour un système de transmission CB.

Cahier des charges

Fréquence centrale des canaux:	26.965 MHz à 27.925 MHz
Bande passante d'un canal:	10 kHz
Modulation:	NFM, AM, SSB
Circuit intégré synthétiseur à PLL avec:	
Oscillateur à quartz	4.096 MHz
Diviseur de référence par M	$M = 2^i$ i programmable de 1 à 14
Diviseurs programmables de boucle	
diviseur principal par N	binaire 13 bits
diviseur secondaire par A	binaire 5 bits
Pré-diviseur à double modulo P / P+1	8 / 9
Comparateur de phase-fréquence	-2π à $+2\pi$
Courant de sortie I_p de la pompe de charge	1 mA



Circuits et systèmes électroniques Exercice série

- Déterminer la relation entre f_{OSC} et f_{REF} que l'on peut réaliser avec le circuit donné.
- Déterminer la résolution de fréquence nécessaire.
- Proposer une solution avec $M = \text{cst}$, N et A variables. Calculer les valeurs extrêmes pour couvrir la plage demandée.

Dimensionner le filtre d'ordre 1 pour obtenir un amortissement voisin de 1 et un temps d'établissement $t_s = 30$ ms lors d'un changement de fréquence.

Augmenter l'ordre du filtre à 2 sans modifier la largeur de bande, ni la marge de phase de la boucle.

Circuits et systèmes électroniques , corrigé

Avec le circuit proposé, on peut faire: $f_{OSC} = f_{IN} \cdot (P \cdot N + A) = \frac{f_{REF}}{M} \cdot (P \cdot N + A) = \frac{f_{REF}}{2^i} \cdot (P \cdot N + A)$

Pour minimiser le bruit de phase, on a avantage à avoir un facteur total de division ($P \cdot N + A$) aussi petit que possible, donc f_{IN} aussi grande que possible.

Les temps d'établissement et de capture sont inversement proportionnels à f_{IN} , autre raison de rechercher une valeur de celle-ci aussi grande que possible.

Pour générer la fréquence centrale de chaque canal, on doit synthétiser $f_{OSC} = 26'965, 26'975, 26'985, \dots, 27'895, 27'905, 27'915, 27'925$ kHz. Ces valeurs sont des multiples entiers impairs successifs de 5 kHz.

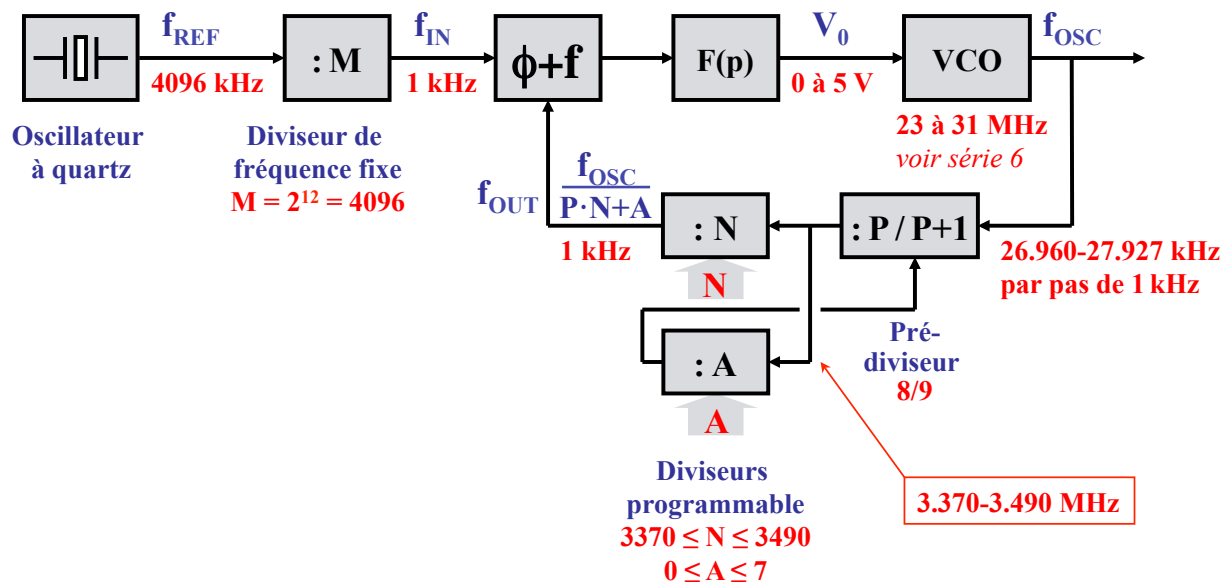
Comme le facteur ($P \cdot N + A$) est un entier programmable par pas unitaire, la valeur maximale possible de f_{IN} est 5 kHz.

Avec un diviseur par M en puissance de 2, il faudrait un oscillateur à quartz à $f_{REF} = 5000 \cdot 2^i$, par exemple 5.12 MHz.

Toutefois, avec l'oscillateur à quartz à 4.096 MHz imposé, qui est un composant commercial standard, et le diviseur par M en puissance de 2, il n'est pas possible faire $f_{IN} = 5$ kHz. On cherche alors le plus grand sous-multiple entier de 5 kHz que l'on puisse obtenir, soit 1 kHz.

$$f_{OSC} = \frac{f_{REF}}{M} \cdot (P \cdot N + A) = \frac{f_{REF}}{2^i} \cdot (P \cdot N + A) = \frac{4096 \cdot 10^3}{2^{12}} \cdot (8 \cdot N + A) = 1000 \cdot (8 \cdot N + A)$$

Circuits et systèmes électroniques , corrigé



$$f_{OSC} = 1000 \cdot (8 \cdot N + A)$$

$$N = \text{entier} \left(\frac{f_{OSC}}{8000} \right)$$

$$A = \frac{f_{OSC}}{1000} - 8 \cdot N$$

Circuits et systèmes électroniques II, Exercice série 7 , corrigé

Avec un comparateur de phase-fréquence et une sortie de type "charge-pump" le filtre sera intégrateur.

Filtre de degré 1 intégrateur avec un zéro

La PLL sera de degré 2 avec:

$$\omega_n = \sqrt{\frac{K_O \cdot K_D}{\tau_1}} = \sqrt{\frac{K_O \cdot K_D}{R_1 \cdot C}} \quad \text{et} \quad \frac{1}{Q} = 2\xi = \omega_n \cdot \tau_2 = \omega_n \cdot R_2 \cdot C$$

Pour un amortissement optimum, on impose: $\xi = 1 \Leftrightarrow Q = 0.5$

Avec un tel amortissement, la réponse à un saut de fréquence est stabilisée après un temps d'établissement: $t_s \approx 5/\omega_n$

$$\omega_n = \frac{5}{t_s} = \frac{5}{0.03} = 167 \text{ [rad/s]}$$

Le facteur de division moyen est de:

$$D_{\text{moyen}} = \frac{26'965 + 27'925}{2} = 27'445$$

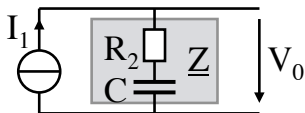
Circuits et systèmes électroniques , corrigé

Le VCO étudié dans la série 6 a un "gain" autour de 27.5 MHz de:

$$K_{\text{VCO}} \approx 12 \cdot 10^6 \text{ [rad/sV]} \quad \Rightarrow \quad K_O = \frac{K_{\text{VCO}}}{D_{\text{moy}}} \approx \frac{12 \cdot 10^6}{27445} \approx 437 \text{ [rad/sV]}$$

Le comparateur de phase a une sortie en courant avec un rapport:

$$\frac{I_{1,\text{moy}}}{\phi_E} = \frac{I_P}{2\pi} = \frac{10^{-3}}{2\pi} \approx 160 \cdot 10^{-6} \text{ [A/rad]}$$



$$\frac{V_0(p)}{\phi_E(p)} = \frac{I_1(p)}{\phi_E(p)} \cdot Z(p) = \frac{I_P}{2\pi} \cdot \left(R_2 + \frac{1}{pC}\right) = \frac{I_P}{2\pi} \cdot \frac{1 + pCR_2}{pC}$$

Le filtre ne contient pas de résistance R_1 , mais par analogie avec la même relation pour un filtre intégrateur classique :

$$\frac{V_0(p)}{\phi_E(p)} = K_D \cdot \frac{1 + pCR_2}{pCR_1}$$

... on peut considérer un paramètre :

$$\left(\frac{K_D}{R_1}\right) = \frac{I_P}{2\pi} = \frac{10^{-3}}{2\pi} \approx 160 \cdot 10^{-6} \text{ [A / rad]}$$

Circuits et systèmes électroniques

$$C = \frac{K_O}{\omega_n^2} \cdot \left(\frac{K_D}{R_1} \right) = \frac{K_O}{\omega_n^2} \cdot \frac{I_P}{2\pi} \approx \frac{437 \cdot 160 \cdot 10^{-6}}{167^2} \approx 2.5 \cdot 10^{-6} \text{ [F]} = 2.5 \text{ }\mu\text{F}$$

... ou introduire une R_1 fictive et le K_D classique du comparateur de phase-fréquence logique :

$$R_1 = \frac{V_{DD}/2}{I} = 2500 \text{ }[\Omega] \quad \text{et} \quad K_D = \frac{V_{DD}}{4\pi} = \frac{5}{4\pi} \approx 0.4 \text{ [V/rad]}$$

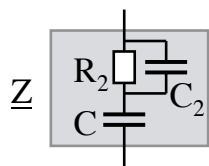
$$\tau_1 = \frac{K_O \cdot K_D}{\omega_n^2} \approx \frac{437 \cdot 0.4}{167^2} \approx 6.3 \cdot 10^{-3} \text{ [s]} \Rightarrow C = \frac{\tau_1}{R_1} \approx \frac{6.3 \cdot 10^{-3}}{2500} \approx 2.5 \cdot 10^{-6} \text{ [F]} = 2.5 \text{ }[\mu\text{F}]$$

$$\tau_2 = \frac{1}{\omega_n \cdot Q} \approx \frac{1}{167 \cdot 0.5} \approx 12 \cdot 10^{-3} \text{ [s]} \Rightarrow R_2 = \frac{\tau_2}{C} \approx \frac{12 \cdot 10^{-3}}{2.5 \cdot 10^{-6}} \approx 4800 \text{ }[\Omega]$$

Résultat: la tension $v_O(t)$ sera constituée d'une composante continue comprise entre environ 1.4 V et 2 V, suivant la fréquence synthétisée, plus des impulsions positives ou négatives d'amplitude $I_P \cdot R_2 = 4.8 \text{ V}_{\text{crête}}$. De telles impulsions vont saturer la sortie de la pompe de charge, puisque le circuit est alimenté avec $V_{DD} = 5 \text{ V}$, ce qui modifie le comportement dynamique de la boucle. De plus ces impulsions provoquent une modulation parasite indésirable de la fréquence f_{OSC} .

D'où l'intérêt d'ajouter un second pôle au filtre !

Filtre de degré 2, intégrateur avec un zéro et un pôle non-nul, variante a



$$\underline{Z}(p) = \frac{1}{pC} + \frac{1}{\frac{1}{R_2} + pC_2} = \frac{1}{pC} + \frac{R_2}{1 + pC_2R_2} = \frac{1 + pR_2(C + C_2)}{pC \cdot (1 + pC_2R_2)}$$

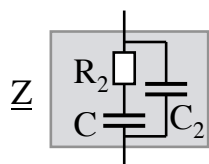
La fonction de transfert de la boucle PLL ouverte est :

$$\left. \frac{\phi_0(p)}{\phi_I(p)} \right|_{\text{open}} = \frac{I_P}{2\pi} \cdot \underline{Z}(p) \cdot K_O \cdot \frac{1}{p} = \frac{I_P \cdot K_O}{2\pi} \cdot \frac{1 + p(C + C_2)R_2}{p^2 C \cdot (1 + pC_2R_2)} = \frac{I_P \cdot K_O}{2\pi} \cdot \frac{1 + p\tau_2}{p^2 C \cdot (1 + p\tau_3)}$$

Pour avoir une marge de phase suffisante, il faut $\tau_3 \ll \tau_2$ donc $C_2 \ll C$:

$$\underline{H}_{\text{open}} \approx \frac{I_P \cdot K_O}{2\pi} \cdot \frac{1 + pCR_2}{p^2 C \cdot (1 + pC_2R_2)} = \frac{1}{\frac{p^2}{\omega_n^2}} \cdot \frac{1 + \frac{p}{\omega_2}}{1 + \frac{p}{\omega_3}} \quad \text{avec} \quad \omega_3 = \frac{1}{\tau_3} = \frac{1}{R_2 \cdot C_2}$$

Filtre de degré 2, intégrateur avec un zéro et un pôle non-nul, variante b



$$\underline{Z}(p) = \frac{1}{\frac{1}{R_2} + \frac{1}{pC}} = \frac{1}{\frac{pC}{1 + pCR_2} + pC_2} = \frac{1 + pCR_2}{p(C + C_2) \cdot (1 + p\frac{C \cdot C_2}{C + C_2} R_2)}$$

La fonction de transfert de la boucle PLL ouverte est :

$$\left. \frac{\phi_0(p)}{\phi_I(p)} \right|_{\text{open}} = \frac{I_P}{2\pi} \cdot \underline{Z}(p) \cdot K_O \cdot \frac{1}{p} = \frac{I_P \cdot K_O}{2\pi} \cdot \frac{1 + pCR_2}{p^2 (C + C_2) \cdot (1 + p\frac{C \cdot C_2}{C + C_2} R_2)} = \frac{I_P \cdot K_O}{2\pi} \cdot \frac{1 + p\tau_2}{p^2 C_{\text{tot}} \cdot (1 + p\tau_3)}$$

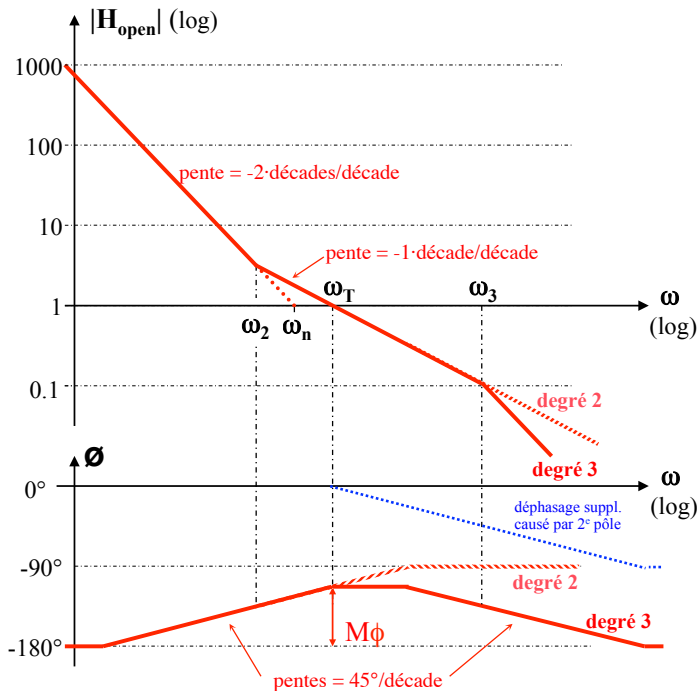
Pour avoir une marge de phase suffisante, il faut $\tau_3 \ll \tau_2$ donc $C_2 \ll C$:

$$\underline{H}_{\text{open}} \approx \frac{I_P \cdot K_O}{2\pi} \cdot \frac{1 + pCR_2}{p^2 C \cdot (1 + pC_2R_2)} = \frac{1}{\frac{p^2}{\omega_n^2}} \cdot \frac{1 + \frac{p}{\omega_2}}{1 + \frac{p}{\omega_3}} \quad \text{avec} \quad \omega_3 = \frac{1}{\tau_3} = \frac{1}{R_2 \cdot C_2}$$

Circuits et systèmes électroniques II, Exercice série 7 , corrigé

On veut garder $\omega_n = 167$ [rad/s] et $\omega_2 = 1/\tau_2 = 83$ [rad/s]

$$\Rightarrow \omega_T = \frac{\omega_n^2}{\omega_2} = 336 \text{ [rad/s]} \quad M\phi = 45^\circ + 45^\circ \log \frac{\omega_T}{\omega_2} = 72^\circ$$



Pour ne pas réduire $M\phi$, il faut :
 $\omega_3 = 10 \cdot \omega_T = 3360$ [rad/s]
 $\Rightarrow C_2 = 62$ [nF]

Le filtrage des impulsions de courant est moyen :

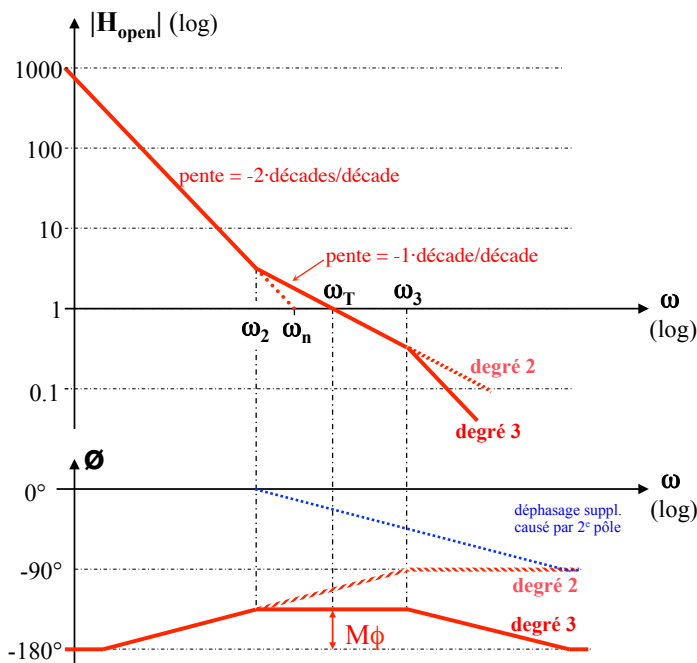
$$\frac{\Delta V_0}{\Delta t} \approx \frac{I_P}{C_2} = 0.016 \text{ [V/}\mu\text{s]}$$

Une erreur de phase transitoire de 23° provoquera $\Delta V_0 \approx 1$ V

Circuits et systèmes électroniques II, Exercice série 7 , corrigé

On veut garder $\omega_n = 167$ [rad/s] et $\omega_2 = 1/\tau_2 = 83$ [rad/s]

$$\Rightarrow \omega_T = \frac{\omega_n^2}{\omega_2} = 336 \text{ [rad/s]}$$



En acceptant de réduire $M\phi$ à 45° , ce qui est encore correct pour une PLL, il faut :
 $\omega_3 = 10 \cdot \omega_2 = 830$ [rad/s]
 $\Rightarrow C_2 = 250$ [nF]

Le filtrage des impulsions de courant est meilleur :

$$\frac{\Delta V_0}{\Delta t} \approx \frac{I_P}{C_2} = 0.004 \text{ [V/}\mu\text{s]}$$

Une erreur de phase transitoire de 90° provoquera $\Delta V_0 \approx 1$ V